

PISTAS

Educativas

NUEVA ÉPOCA • No. 112 • NOVIEMBRE 2015 • ISSN 1405-1249

SENIE 2015

XI Semana de Ingeniería Electrónica



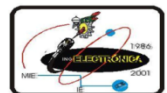
SEP
SECRETARÍA DE
EDUCACIÓN PÚBLICA



TECNOLÓGICO NACIONAL DE MÉXICO
INSTITUTO TECNOLÓGICO DE CELAYA



40
Casa abierta al tiempo
UNIVERSIDAD AUTÓNOMA METROPOLITANA



TECNOLÓGICO NACIONAL DE MÉXICO

Manuel Quintero Quintero
Director

Ignacio López Valdovinos
Encargado Secretaría Académica

DIRECTORIO ITC

M.E.D. Ignacio López Valdovinos
Director

M.C. Martha Carreño Juárez
Subdirectora Académica

M.F. Martín Campos Moreno
Subdirector de Servicios Administrativos

M.C. Julián Ferrer Guerra
Subdirector de Planeación y Vinculación

MDPH Teresita de las Nieves Armengol Rico
Jefa del Departamento de Desarrollo Académico



PISTAS EDUCATIVAS

pistaseducativas@itcelaya.edu.mx

COMITÉ EDITORIAL

Juan José Martínez Nolasco

Luis Alberto López González

COMITÉ TÉCNICO

Dra. Abascal Mena Ma. del Rocío - UAM-Cuajimalpa

Dr. Alfaro Ruiz Víctor M. - Universidad de Costa Rica

Dr. Anzures Marín Juan - Universidad Michoacana de San Nicolás de Hidalgo

Dr. Arechiga Martínez René - New Mexico Tech Electrical Engineering Department, U.S.A.

Dr. Astorga Zaragoza Carlos - CENIDET-Cuernavaca

Dr. Aviles Cruz Carlos - UAM-Azcapotzalco

M. C. Borrero Guerrero Henry - Universidad de Sao Paulo

Dr. Bonilla Gutiérrez Isela - Universidad Autónoma de San Luis Potosí

Dra. Bravo Contreras Maricela - UAM-Azcapotzalco

Dr. Campos Delgado Daniel Ulises - Universidad Autónoma de San Luis Potosí

PISTAS EDUCATIVAS

• No. 112 • Noviembre 2015

Contenido

Editorial.....	3
Presentación.....	6
Simulación de la sístole y diástole utilizando el modelo del autómatas híbrido Braulio Cruz Jiménez, Jannette Contreras Rivero, Ricardo Peón Escalante.....	8-21
Diseño, construcción y control de un sistema de levitación neumática Irving Ulises Hernández Miguel, Eufracia Mendoza Monjaraz, Jesús Pacheco Mendoza, José Alberto Cruz Tolentino, Alejandro Jarillo Silva.....	22-42
On model parameter estimation methods of DC electric motors José Jiménez González, Francisco Beltrán Carbajal, Felipe González Montañez, Irvin López García.....	43-60
Modelado y control de un generador de SAGS basado en un convertidor back to back Gabriel Calderón Zavala, Jesús Darío Mina Antonio, Adolfo Rafael López Núñez, Leodan Robisel Martínez Flores.....	61-80
Close loop step test used for tuning PID controller by genetic algorithms Rubén Lagunas Jiménez, Alonzo González Aguilar, Víctor Lanz Gutiérrez De Velasco.....	81-98
Control de ganancias variables para robots de n-grados de libertad Oscar Ramos Arroyo, Fernando Reyes Cortés, María Aurora Diczorca Vargas Treviño, Sergio Vergara Limón.....	99-114
Modelado de un sistema máquina bus infinito usando transformada de Laplace Irma Martínez Carrillo, Carlos Juárez Toledo.....	115-117
Diseño y simulación de un controlador analógico para el convertidor cd-cd reductor Alberto Martínez Barbosa, Esteban Osvaldo Guerrero Ramírez.....	118-143
Control del módulo de calentamiento e instrumentación de una máquina para ensayos de torsión en caliente Gustavo Aquino Mendieta, Miguel Magos Rivera, Juana Eloina Mancilla Tolama.....	144-163
Control de la velocidad de un motor de cd a través de un convertidor cd-cd reductor alimentado mediante paneles solares Alberto Martínez Barbosa, Esteban Osvaldo Guerrero Ramírez.....	164-178
Ocupación espectral de la banda ISM de 2.4 GHz para aplicaciones de radio cognoscitivo Miguel Ángel Díaz Ibarra, Marco Aurelio Cárdenas Juárez, Ulises Pineda Rico, Enrique Stevens Navarro.....	179-194
Sistema de comunicaciones para mini UGVs/UAVs en tareas de protección civil mediante COTS Dulce Mayra Janet Martínez García, Emmanuel Ruiz López, Marco Aurelio Cárdenas Juárez, Enrique Stevens Navarro, Ulises Pineda Rico.....	198-234
Red avanzada de comunicaciones mediante Raspberry Pi para aplicaciones en vehículos aéreos no tripulados Luis Fernando Hernández Medina, Marco Aurelio Cárdenas Juárez, Enrique Stevens Navarro, Armando Arce Casas, Ulises Pineda Rico.....	215-234
Caracterización de canal para sistemas de comunicación por luz visible en interiores A. M. Ramírez Aguilera, J. M. Luna Rivera, R. Pérez Jiménez.....	235-251
Diseño de radiocomunicación de CanSat didáctico Andrés Calvillo Téllez, José Cruz Núñez Pérez, Teodoro Álvarez Sánchez, Ricardo Cárdenas Valdez, Antonio Gómez Roa, Raúl Rascón Carmona.....	252-262
Design, characterization and modeling of a tunneling break-down photodiode integrated in a standard 0.5µm CMOS technology Juan J. Ocampo Hidalgo, J. Alex Zenteno Hernández, Rosnelly Cruz Cecilio, David Flores-Montoya, Olaf E. Duran-Nava, Armando Gómez-Vieyra.....	263-281
Implementación de un circuito caótico memresistivo Moisés Torres Rivera.....	282-301
Delta-Sigma Converter Processing: aplicación de herramienta de software libre para el análisis y caracterización de convertidores $\Sigma\Delta$. Javier Alducin Castillo, Juan Jesús Ocampo Hidalgo, Iván Vázquez Álvarez.....	302-319

PISTAS EDUCATIVAS

• No. 112 • Noviembre 2015

Contenido

Filtro CMOS pasa bajas con parámetros variantes en el tiempo Edgar López Delgadillo, Luis Alejandro Flores Oropeza, Alfonso Vela Rivera.....	320-333
Configuración óptima para un enfriador termoelectrico de dos etapas usando BiTe y PbTe en cada etapa Karen Anaíd Rendón Cortés, Miguel Angel Olivares Robles.....	334-350
Análisis de la conductividad térmica efectiva en un generador termoelectrico segmentado usando Bi2Te3 y PbTe Ana Lilia Nieto Magdaleno, Miguel Ángel Olivares Robles, José Jorge Chanona Pérez.....	351-367
Análisis térmico de un enfriador termoelectrico para bebidas impulsado por rueda mecánica Gerardo Plata Medina, Miguel Ángel Olivares Robles.....	368-387
Influencia del dopante de In_2O_3 en las propiedades eléctricas de varistores a base de $SnO_2-Co_3O_4-Nb_2O_5-Cr_2O_3$ Julio Cesar Martínez Ramírez, A.N. Bondarchuk, A.B. Glot.....	388-398
Optimización geométrica de un MEMS tipo Hot-Arm María Teresa Orvañanos Guerrero, Jorge Varona Salazar, Ramiro Velázquez Guerrero.....	399-421
Virtualización tridimensional interactiva de un parque eólico con fines didácticos Karla del Rosario Trujillo González, A. Guadalupe Toledo Toledo, J. Jesús Arellano Pimentel, Miguel Ángel Hernández López, María de los Angeles Alonso Lavernia, Verónica Martínez Lazcano, Iliana Castillo Pérez, Yira Muñoz Sánchez.....	422-441
Desarrollando competencias digitales en los docentes María de los Angeles Alonso Lavernia, Verónica Martínez Lazcano, Iliana Castillo Pérez, Yira Muñoz Sánchez.....	442-463
Diseño y desarrollo de una red social de aprendizaje colaborativo para dispositivos móviles María Lucía Barrón Estrada, Ramón Zatarain Cabada, Rodrigo Beltrán Lugo.....	464-485
Videojuego didáctico empleando el kinect para la manipulación virtual de un aerogenerador Martín Hernández Reyna, Miguel Ángel Hernández López, J. Jesús Arellano Pimentel, A. Guadalupe Toledo Toledo.....	486-507
Metodología de diseño de osciladores LC con componentes discretos: una propuesta Edgar Omar Lara Alemán, F. Sandoval Ibarra, Esaú Villatoro-Tello, Carlos R. Jaimez-González.....	508-532
Diseño e implementación de Applets como material didáctico de apoyo para cursos de estructuras de datos Betzalet García-Mendoza, Pablo A. Ruiz-Mendoza, Gerardo Real-Flores, Carlos R. Jaimez-González, Esaú Villatoro-Tello.....	533-553
Experiencia de Didáctica Lúdica para Incentivar el Aprendizaje Sergio Zepeda-Hernández, Rocío Abascal-Mena, Erick López-Ornelas.....	554-572
Programación de mini robots para el desarrollo de aprendizaje significativo Margarita Elizabeth Gómez Mayorga, Luz Noé Oliva Moreno.....	573-584
Optimización de un prototipo de sistema fotovoltaico autónomo para iluminación de anuncios espectaculares Pedro Manuel Rodrigo Cruz, José Sebastián Gutiérrez Calderón, Arturo de la Torre Infante.....	585-606
Nuevo inversor fotovoltaico integrado sin transformador Jeziel Vázquez, Nimrod Vázquez, Claudia Hernández, Héctor López, Joaquín Vaquero.....	607-627
Evaluación del desempeño de un transformador monofásico mediante software Hiram Alberto Canseco García, José Jiménez González, Eduardo Campero Littlewood, Irvin López García, Juan Carlos Olivares Galván.....	628-642
Sistema de calentamiento por inducción electromagnética para pruebas experimentales en laboratorios de Físico-Química Julio Ortega Alejos, Leonel Estrada Rojo, Carlos A. Fuentes Hernández, Elías J. J. Rodríguez Segura, Israel Álvarez Ariza, José Jesús Arizaga Ibarra, Diego Díaz López.....	643-665
Sistemas de detección de modo isla en inversores conectados a la red eléctrica: análisis del estado del arte Carlos Javier Camacho Márquez, Nimrod Vázquez Nava, Claudia Verónica Hernández Gutiérrez, Héctor Juan Carlos López Tapia.....	666-683
Análisis del rendimiento de TEG's utilizando una teoría de circuitos térmicos y eléctricos Vargas Almeida Alexander, Olivares Robles Miguel Ángel.....	684-696

COMITÉ TÉCNICO

Dr. Correa Gómez Javier - Instituto Tecnológico de Morelia
 M. C. Cruz Roa Ángel Alfonso - Universidad Nacional de Colombia
 Dra. Cuevas Rasgado Alma Delia - Universidad Autónoma del Estado de México-Texcoco
 Dr. Díaz Carmona José Javier - Instituto Tecnológico de Celaya
 Dr. Espinosa Calderón Alejandro - Instituto Tecnológico de Celaya
 Dr. Esquit Hernández Carlos A. - Universidad del Valle de Guatemala
 Dr. Fallad Chávez Jalil - Centro Universitario de la Costa Sur
 Dra.Félix Aviña Vanessa Guadalupe - Universidad Politécnica de Sinaloa
 M. C. Fuentes Covarrubias Ricardo - Universidad de Colima
 Dr. Gutiérrez Calderón Sebastián - Universidad Panamericana-Aguascalientes
 Dr. Gutiérrez Díaz de León Carlos Adrian Universidad Autónoma de San Luis Potosí
 Dr. Herrera Alcántara Oscar - UAM-Azcapotzalco
 Dr. Incera Diéguez José Alberto D. - Instituto Tecnológico Autónomo de México
 Dr. Jiménez Alaniz Juan Ramón - UAM-Iztapalapa
 M. T. Jiménez Orozco Gabriel - ITESM Cd de México
 Dr. López Ornelas Erick - UAM-Cuajimalpa
 Dr. Magos Rivera Miguel - UAM-Azcapotzalco
 Dr. Martínez Pelaez Rafael - Universidad de la Sierra Sur
 Dr. Mena Camare Luis Javier - Universidad Politécnica de Sinaloa
 Dr. Mendoza Gutiérrez Marco Octavio - Universidad Autónoma de San Luis Potosí
 Dr. Monroy Borja Raúl - ITESM Edo de México
 Dr. Morales Alanis Eduardo - New England Baptist Hospital
 Dr. Parra Michel Ramón - CINVESTAV-GDL
 Dr. Peña Campos Fernando - CINVESTAV-GDL
 Dr. Potes Cristhian M. - Philips Research North America
 Dr. Ramírez Treviño Alberto - Instituto Tecnológico Superior de Cajeme
 M. C. Reider Burstin Jerry - Universidad Anáhuac – México Norte
 Dr. Reyes Ortiz José Alejandro - UAM-Azcapotzalco
 Dr. Rivas Araiza Edgar - Universidad Autónoma de Querétaro
 Dr. Rizo Domínguez Luis - Universidad del Caribe
 Dr. Rodrigo Cruz Pedro - Universidad Panamericana Aguascalientes
 Dr. Rodríguez García José G. - CINVESTAV-Zacatenco
 Dr. Rodríguez Segura Elías José J. - Instituto Tecnológico de Celaya
 M. C. Sanchez Gomez Claudia Nallely - Universidad Panamericana-Aguascalientes
 M. C. Santiago Espinosa Felipe - Sanviago Tecnológica de la Mixteca
 Dr. Tecpanecatí Xihuitl Jose Luis - Universidad Autónoma de San Luis Potosí
 Dr. Toral Cruz Homero - Universidad de Quintana Roo
 Dr. Torres Román Deni Librado - CINVESTAV-GDL
 Dr. Vargas Rubio Juan Gaspar - UAM-Azcapotzalco
 Dr. Vázquez Álvarez Iván - UAM-Azcapotzalco
 Dr. Vázquez Castillo Javier - Universidad de Quintana Roo
 Dr. Vázquez Cerón Ernesto R. - UAM-Azcapotzalco
 M.C. Velázquez Buendía Francisco - Universidad Panamericana Aguascalientes
 Dr. Velázquez Guerrero Ramiro - Universidad Panamericana Aguascalientes
 Dr. Villegas Cortez Juan - UAM-Azcapotzalco

Pistas Educativas es una publicación impresa del Departamento de Desarrollo Académico del Instituto Tecnológico de Celaya. Los artículos y ensayos son responsabilidad de sus autores y no expresan necesariamente la ideología de la institución ni de la revista. En caso de citar la información de los contenidos se agradecerá dar los créditos a los autores, sus obras, así como a esta fuente.

Dirección: Antonio García Cubas Pte. No. 600 Esq. Av. Tecnológico, C.P. 38010, Celaya, Gto. Tel. 01-(461)-61- 175-75. Fax. 01-(461)-61-179-79. Certificado de Licitud y Contenido 6216 y 4777, respectivamente. Registro de Derecho de Autor, Expediente de Reserva: 6 98 92. ISSN 1405-1249.

Editorial

En su edición 112 la revista Pistas Educativas publica con agrado la Memoria de la Décimo Primera Semana Nacional de Ingeniería Electrónica –SENIE 2015-, que se llevó a efecto entre el 7 y el 9 de octubre bajo la organización conjunta de la División de Ciencias Básicas e Ingeniería de la Universidad Autónoma Metropolitana Azcapotzalco así como la Facultad de Ciencias de la Universidad Autónoma de San Luis Potosí, fungiendo esta última institución como anfitriona del evento.

Cada uno de los artículos que aquí se publican fueron sometidos a la consideración de un grupo evaluador constituido por dos investigadores expertos en el tema y es del Comité Técnico de SENIE 2015 la responsabilidad en lo que se refiere a su calidad técnica. Por su parte, Pistas Educativas tuvo bajo su cuidado la edición de los textos de acuerdo, como siempre, con sus normas de publicación.

A través de esta edición, el Instituto Tecnológico de Celaya, por medio de Pistas Educativas, avanza en su cometido de ser un vehículo para la difusión del conocimiento, albergando en esta ocasión las experiencias y logros de los que dan cuenta en sus artículos los estudiantes, profesores e investigadores de buena parte del sistema educativo nacional que se congregaron en SENIE 2015.

PISTAS EDUCATIVAS

• No. 112 • Noviembre 2015

Contenido

Sistema fotovoltaico multifuncional conectado a la red eléctrica controlado por medio de modos deslizantes	
Iván Méndez, Nimrod Vázquez, Claudia Hernández, Héctor López, Joaquín Vaquero.....	697-715
Análisis del proceso de balanceo de voltaje en un arreglo de supercapacitores	
Edgar Peralta Sánchez, Pedro Celestino Castellanos Morales, Nayeli Itzel Hernández Zárate, Gerardo Mino Aguilar, Beatriz E. Graniel García.....	716-734
Estudio comparativo del coeficiente de potencia y de torque presentados en diversas turbinas eólicas	
Viviana Reyes Andrade, Oscar Carranza Castillo, Jaime José Rodríguez Rivas.....	735-756
Sistema para el control y prueba de motores síncronos con base en el procesador digital de señales TMS320	
Fermin Hugo Ramírez Leyva, Mónica Edith García García, Felipe Santiago Espinosa, Gerardo Cruz González.....	757-774
Medida experimental y modelado matemático de módulos fotovoltaicos	
Raúl Castillo Meraz, Roberto Carlos Martínez Montejano, Isaac Campos Cantón, Misael Francisco Martínez Montejano.....	775-796
Modelado, control y simulación de elementos básicos que componen una micro red de CD	
Arturo De los Santos Vázquez, Elías José Juan Rodríguez Segura, Nancy Visairo Cruz.....	797-817
Tarjeta didáctica de control para tiristores	
Luis Alejandro Flores Oropeza, Eduardo Anguiano Mendieta, Edgar López Delgado.....	818-838
Medición de velocidad sin sensor en motores de inducción sumergibles conectados directamente a la línea	
Antonio Zamarrón Ramírez, Salomón Rodríguez Carrera, Daniel Zamarrón Barrón, Francisco Valdivia.....	839-852
Convertidores balanceadores de voltaje: Estado del arte	
Fidel Alejandro Castro Espinosa, Elías José Juan Rodríguez Segura, Ciro Alberto Núñez Gutiérrez.....	853-872
Desarrollo de un medidor portátil para la detección de metales pesados disueltos en medios acuosos utilizando principios de fluorescencia	
Marco Antonio González Cantellano, Luis Manuel Montaña Zetina.....	873-894
Sistema integral de software y hardware para el aprendizaje del funcionamiento y manejo de los sensores	
Javier Silvestre Zavala, José Nicolás Márquez Márquez.....	895-917
Desarrollo de un sistema de electro estimulación transcutánea de bajo costo	
Miriam C. Reyes Fernández, Ruben Posada Gómez, Albino Martínez Sibaja, Oscar O. Sandoval González, Mario Alberto García Martínez, Luis H. Sánchez Medel.....	918-934
Método para la medición de la inductancia bajo condiciones reales de operación	
Jerry Nathan Reider Burstin.....	935-953
Estimación de la humedad y resistencia a compresión final, de una mezcla de concreto fresco utilizando microondas.	
Gerardo Calva Olmos, Rafael Prieto Meléndez, Alberto Herrera Becerra, Alejandro Padrón Godínez, Mario Pacchiano de la Garza.....	954-976
Plataforma de adquisición y monitoreo para el estudio de las condiciones ambientales externas y de confort en casas prototipo para la validación de un control térmico por medio de un sistema de muro verde y aislante térmico	
Cesar Agustín Corona Patricio, Cesar Alberto Dueñas Sosa, Jesús Iván Castro Enríquez, José Luis Avendaño Juárez, Jorge Adán Sánchez Reséndiz, Eusebio JR. Ventura Ramos, Francesca Olivieri.....	977-997
Mejora de la resolución espectral de un monocromador usando un controlador de micropasos	
Ricardo Castro García, Luis Felipe Lastras Martínez.....	998-1019
Efectos de holgura de una banda trapezoidal de acoplamiento de un sistema electromecánico sobre magnitudes mecánicas y eléctricas	
Jorge Iván Ramírez López, Efraín Ramos Buenfil, Marco Antonio Rodríguez Blanco, Javier Torres Jurado.....	1020-1035

PISTAS EDUCATIVAS

• No. 112 • Noviembre 2015

Contenido

Registrador de energía fotovoltaica inyectada a la red eléctrica mediante LabView Luis Carlos Gallegos Hernández, Mariela Serna Serna, Eduardo Salinas Rodríguez, Antonio García Narvaez, Guillermo Reséndez Morales, Pedro Casillas Ríos.....	1036-1049
Monitoreo del consumo doméstico de agua potable utilizando tecnología ZigBee Pedro Alvarado Medellín, Job Daniel Rodríguez Hernández, Ruperto Ortiz Gómez, Blanca Esthela Solís Recendez.....	1050-1064
Sistema teleoperado para estimulación eléctrica transcorneal de señales múltiples Juan Jaime Salinas Lara, Eric Simancas Acevedo, Daniel Robles Camarillo, Luis Niño de Rivera y Oyarzabal.....	1065-1086
Interpolación polinomial para determinar el tiempo óptimo de tratamiento criogénico para acero AISI D2 en medio básico Irma Hernández Casco, Carlos Juárez Toledo, Irma Martínez Carrillo, Rubén Herrera Galicia, José David Arroyo Pérez, Manuel de Jesús Hernández Gutiérrez, Miriam Roxana Vázquez Flores, Tania Berenice Palacios Molina	1087-1100
Monitoreo y Control de Procesos Basado en Arduino y Raspberry Vía Internet Rubén Herrera Galicia, José David Arroyo Pérez, Manuel de Jesús Hernández Gutiérrez, Miriam Roxana Vázquez Flores, Tania Berenice Palacios Molina.....	1101-1120
Análisis para el diseño de circuitos osciladores de Colpitts con sensores de gas QCM Juan Jesús Jiménez Arellano, Severino Muñoz Aguirre, Georgina Beltrán Pérez, Juan Castillo Mixcoatl, José Lorenzo Muñoz Mata	1121-1135
Análisis cinemático y síntesis de un sistema de palancas para la sub-actuación de un dedo artificial con 3 articulaciones Jesús Alberto Ordaz Rivera, Emilio Miguel Soto García, José Eligio Moisés Gutiérrez Arias, José Eladio Flores Mena, María Monserrat Morín Castillo....	1136-1156
Una propuesta de arquitectura para el control de un robot guía Karla Lourdes Luna Gallegos, Elvia Ruth Palacios Hernández, Antonio Marín Hernández.....	1157-1173
Fault detection in VSD-fed induction motors through Park's impedance and fuzzy systems Arturo Mejía Barron, Armando Guadalupe García Ramírez, Roque Alfredo Osornio Ríos, Rene de Jesus Romero Troncoso.....	1174-1192
Diseño e implementación de tele operación de un robot móvil diferencial programado con Python desde un dispositivo Android Josué Cirilo Cruz, Arturo Zúñiga López, Juan Villegas Cortez, Carlos Avilés Cruz.....	1193-1209
Control en tiempo real de un mecanismo XY virtual por medio de un joystick Gustavo Aquino Mendieta, Miguel Magos Rivera, Ricardo Godínez Bravo.....	1210-1231
Inicialización de un robot humanoide tipo BIOLOID para tareas de caminado Antonio Benitez Ruiz, María Auxilio Medina Nieto, Jorge de la Calleja Mora, Emmanuel Baleón Flores, Carmina Cruz Ochoa, Ivonne López Cuacuas.....	1232-1253
Diseño de un sistema de desarrollo para la emulación de tráfico en una intersección vial con vehículos autónomos Andrés Ferreyra Ramírez, Arturo Zúñiga López, Roberto A. Alcántara Ramírez.....	1254-1274
Renderizado háptico para el Novint Falcon Enrique Linares Ramírez, Jorge Gudiño Lau, Saida Miriam Charre Ibarra, Miguel Duran Fonseca.....	1275-1287
Caracterización de los sonidos implicados en el ciclo cardíaco mediante un fonocardiograma Braulio Cruz Jiménez, Jannette Contreras Rivero, Luis Ricalde Castellanos.....	1288-1308
El invisible y asombroso proceso de la comunicación oral: bases sobre reconocimiento de voz Ángel David Pedroza Ramírez, José Ismael de la Rosa Vargas.....	1309-1329
Deconvolución óptima de mediciones de fluorescencia Gerardo Ibarra Vázquez, Daniel U. campos Delgado, Edgar R. Arce Santana, Javier A. Jo.....	1330-1349
Descomposición de datos multi-espectrales: interfaz gráfica para Matlab Omar Gutiérrez Navarro, Daniel U. Campos Delgado, Edgar R. Arce Santana, Javier A. Jo.....	1350-1368
Estimación de erosión de suelos utilizando sensores remotos y programación genética Cesar Augusto Puente Montejano, Gustavo Olague Caballero.....	1369-1388
Hacia la clasificación de fonocardiogramas utilizando descriptores caóticos y estadísticos Carlos Antonio Osorio Maceda, Hugo G. González-Hernández.....	1389-1408
Activación sistema de frenos ABS usando visión por computadora para la detección de la superficie de rodamiento Gabriel García Ponds, Juan Villegas Cortez, Carlos Avilés Cruz, Iván Vázquez Álvarez, Ismael Osuna Galán, Yolanda Pérez Pimentel.....	1409-1423
Implementación de una estructura neuronal celular en hardware reconfigurable Luis F. Muñoz M., Juan José Raygoza P., J. Roberto R. Barón, Susana Ortega Cisneros.....	1424-1444
Identificación de rostros por técnica de puntos de interés SURF Cesar Benavides Alvarez, Graciela Román Alonso, Juan Villegas Cortez, Carlos Avilés Cruz.....	1445-1465
Segmentación de Iris con OpenCV en Android Oscar Fuentes Salome, Aldrin Barreto Flores, Verónica Edith Bautista López.....	1466-1486
Detección de Puntos Salientes para Medición de la Simetría Facial Ricardo Irving Barrón Martínez, Ruth Mariela Aguilar Ponce, José Luis Tecpanecatl Xihuitl.....	1487-1507
Virtualización mediante MetaRouter para la implementación de una red wireless de navegación anónima tipo TOR en equipos Mikrotik Roberto David Meneses Basantes, Darwín Leonidas Aguilar Salazar, Christian Nestor Vega Muñoz, Rita Paola León Pérez.....	1508-1527

PISTAS EDUCATIVAS

• No. 112 • Noviembre 2015

Contenido

La aplicabilidad del cómputo ubicuo para el monitoreo de animales de caza Adrian Castañeda Morfin, María Andrade-Aréchiga, Pedro Damián-Reyes.....	1528-1545
Tecnología móvil para evaluar la calidad en uso de Proyectos-Productos-Servicios en eventos de innovación e invención Laura Sílvia Vargas Pérez, Agustín Francisco Gutiérrez Tornés, Edgardo Manuel Felipe Riverón, Vanessa Atenea Vargas Pérez, Jorge Peralta Escobar.....	1546-1566
Diseño y construcción de un sistema de supervisión para la evaluación de la calidad del agua en sistemas de cultivo de camarón José Juan Carbajal Hernández, Luis Pastor Sánchez Fernández, Luis Alfonso Aguilera Larrañaga.....	1567-1587
Diseño de un middleware tolerante a fallas basado en el protocolo Paxos Ricardo Adán Madrid Trejo, Ricardo Marcelín Jiménez, Orlando Muñoz Texzocotetla.....	1588-1609
Arquitectura de descubrimiento de servicios para entornos hospitalarios (módulo tiny application) José Luis Santiago López, Víctor Alberto Gómez Pérez, Adrián Josué Ramírez Díaz, Alejandro Jarillo Silva, Juan Carlos Santiago López.....	1610-1632
Detección y análisis de comunidades en redes sociales (#TodosSomosPolitécnico) Erick López Ornelas, Rocío Abascal Mena, Sergio Zepeda Hernández.....	1633-1651
Sistema de multas automático mediante la tecnología NFC para una biblioteca María Elena Acevedo Mosqueda, Marco Antonio Acevedo Mosqueda, Karen Ailed Neri Espinoza, Alexa Chávez Álvarez.....	1652-1664
Propuesta de tutorial interactivo en línea para apoyar la enseñanza del lenguaje de consulta estructurado Arturo Palma Hernández, Carlos R. Jaimez González.....	1665-1684
Identificación de influyentes en Twitter a través del análisis textual y la elaboración de grafos Dra. Rocío Abascal Mena, Dr. Erick López Ornelas, Dr. Sergio Zepeda Hernández.....	1685-1702
Proyección de los índices de criminalidad de los delitos del fuero común: una representación sobre un sistema de información geográfica para la Ciudad de México César Hernández Anaya, Héctor Rafael Orozco Aguirre.....	1703-1720
Aplicación web para la generación de material didáctico incorporando recursos educativos Reyna Carolina Medina Ramírez, Carlos Alberto López Pérez, Fausto Casco Sánchez.....	1721-1739
Repositorio de grafos para el conteo de conjuntos independientes Juan Antares Perdomo Flandez, Pedro Bello López, Meliza Contreras González, Brayan Chavez Benavides.....	1740-1759
Agrupamiento de servicios Web usando el algoritmo de colonia de hormigas Maricela Claudia Bravo Contreras, Román Anselmo Mora Gutiérrez, Roberto Alfonso Alcántara Ramírez.....	1760-1778
RespirAtorio, una aplicación de realidad aumentada para niños María Auxilio Medina Nieto, César Rafael Chío Plata, Brenda Susana Ponce Valencia, Antonio Benitez Ruiz, Jorge de la Calleja, Eduardo López Domínguez.....	1779-1799
La lógica difusa como un medio para identificar y valorar las alteraciones de conducta en niños a nivel de educación básica: primaria y secundaria Andrés Ferreyra Ramírez, David G. Maxinez, Arturo Zúñiga López, Roberto A. Alcántara Ramírez.....	1800-1819
Plataforma de entrenamiento para PIC Mauricio López Villaseñor, Miguel Ángel Ruiz Sánchez, Miguel López Guerrero.....	1820-1836
Sistema de acceso a áreas restringidas con detección de intrusos José Ignacio Vega Luna, Mario Alberto Lagos Acosta, Gerardo Salgado Guzmán, Víctor Noé Tapia Vargas.....	1837-1852
Uso del lenguaje VHDL como apoyo a la enseñanza de arquitectura de computadoras Carlos Federico Hernández Farfán, Diego Andrés Navarro Jiménez, Emmanuel Eduardo Hernández Rico, Jonathan Paris Vargas Mosqueda.....	1873-1892
Desarrollo e implementación de un algoritmo tolerante a fallas para una red ZigBee Stephany Bucio Herrera, Alberto Carlos Cañada Gómez, David Rodríguez Uribe, Ricardo Marcelín Jiménez, Mauricio López Villaseñor.....	1853-1872
Estructuras diseñadas a medida para adquisición de datos de un sensor de visión dinámica usando el protocolo AER en un FPGA Nicolás Maldonado Orozco, J. Roberto Reyes Barón, Juan José Raygoza P., Susana Ortega Cisneros, Juan Luis del Valle.....	1893-1911
Implementación y optimización del uso de DPS en FPGA en diseño de circuitos a medida para calcular determinantes de orden 4 Francisco J. Plascencia Jauregui, Juan José Raygoza P., Edwin C. Becerra A., Susana Ortega Cisneros.....	1912-1933
Sistema de alertas y control de luces de una casa, utilizando plataformas de internet y comunicación inalámbrica Roberto de Lima Hernández, Aldrin Barreto Flores, Verónica Edith Bautista López.....	1934-1946
Arquitectura genérica de una red en chip de enrutamiento unidireccional en FPGA Jorge Ernesto López Arce Delgado, Juan José Raygoza P., Susana Ortega Cisneros, Jorge Rivera D., Pablo Moreno Villalobos.....	1947-1959
Monitor de alerta de fugas de gas José Ignacio Vega Luna, Mario Alberto Lagos Acosta, Gerardo Salgado Guzmán, Víctor Noé Tapia Vargas.....	1960-1973
Desarrollo de un sistema embebido móvil de bajo costo utilizando la tarjeta beaglebone Edgar Alejandro Rivas Araiza, Alexander Rodríguez Rosales, Estefanía Desiree Avalos Rivera.....	1974-1994
Implementación de un multiplicador de punto flotante de doble precisión basado en el estándar IEEE 754-2008 José Itzcóatl Sandoval López, Juan José Raygoza Panduro, Susana Ortega Cisneros, Jorge Rivera Domínguez.....	1995-2016
Diseño y construcción de un limnógrafo electrónico Felipe Santiago Espinosa, Gabriela Álvarez Olguín, Fermín Hugo Ramírez Leyva.....	2017-2038
Desarrollo de un frecuencímetro de conteo recíproco con un FPGA para sensores basados en resonador de cuarzo José Lorenzo Muñoz Mata, Severino Muñoz Aguirre, Juan Jesús Jiménez Arellano, Georgina Beltrán Pérez, Juan Castillo Mixcóatl, Takamichi Nakamoto.....	2039-2053

PRESENTACIÓN

El avance que la industria electrónica a nivel mundial ha tenido en las dos últimas décadas ha sido impresionante, en la actualidad los dispositivos y equipos electrónicos se encuentran en prácticamente todas las áreas del quehacer humano. Así mismo, las áreas de investigación y de aplicación se multiplican cada día dando paso a nuevas ramas afines a la electrónica y sus aplicaciones. Entre estas tenemos: robótica, biónica, telemática, nano-electrónica, domótica, automatización, telecomunicaciones, electrónica de potencia, sistemas computacionales, procesamiento de señales y educación, por mencionar sólo algunas.

Los resultados de los trabajos de investigación, así como de las aplicaciones tecnológicas, que realizan los grupos de profesores y de estudiantes de las instituciones educativas y de investigación son numerosos y variados.

La Semana Nacional de Ingeniería Electrónica (SENIE) es un congreso nacional que busca servir de foro en el cual los investigadores y estudiantes de las diversas áreas de la Ingeniería Electrónica puedan intercambiar experiencias, conocimientos y establecer vínculos de colaboración, mediante actividades tales como: presentación de ponencias, conferencias magistrales, conferencias técnicas y exposición industrial.

La décimo primera edición del evento se realizó del 7 al 9 de octubre en las instalaciones de la Facultad de Ciencias de la Universidad Autónoma de San Luis Potosí. Esta institución goza de un reconocido prestigio a nivel nacional, por la calidad de enseñanza que se imparte, la investigación y divulgación del quehacer científico y la alta habilitación de su planta de profesores-investigadores.

Se recibieron 183 trabajos para su evaluación provenientes de 91 distintas instituciones de educación superior y centros de investigación tanto públicos como privados de 26 estados del país. La revisión de los trabajos fue realizada por un Comité Técnico formado por más de 70 especialistas en las distintas temáticas, varios de ellos de adscritos a instituciones en el extranjero. Como resultado del proceso de revisión, fueron aceptados para su presentación 109 artículos.

En este número especial de *Pistas Educativas*, el cual recopila los artículos expuestos en el evento, el lector encontrará una muestra representativa de los trabajos realizados en el último año por investigadores, profesores y estudiantes de diversos Centros de Investigación y Educación Superior del país.

Es de esta forma que la División de Ciencias Básicas e Ingeniería de la Universidad Autónoma Metropolitana campus Azcapotzalco, la Facultad de Ciencias de la Universidad Autónoma de San Luis Potosí y el Instituto Tecnológico de Celaya, cumplen con el objetivo de proporcionar un foro para la divulgación de los trabajos de investigación relacionados con la Ingeniería Electrónica y sus diversas ramas.

Dr. Miguel Magos Rivera
Presidente del Comité Organizador
XI Semana Nacional de Ingeniería Electrónica 2015

Aplicación web para la generación de material didáctico incorporando recursos educativos

Reyna Carolina Medina Ramírez

Universidad Autónoma Metropolitana-Iztapalapa, San Rafael Atlixco No. 186, Col. Vicentina, Del.
Iztapalapa, C. P. 09340, México D.F., Teléfono: 01(55) 5804-4636
cmed@xanum.uam.mx

Carlos Alberto López Pérez

Universidad Autónoma Metropolitana-Iztapalapa, San Rafael Atlixco No. 186, Col. Vicentina, Del.
Iztapalapa, C. P. 09340, México D.F., Teléfono: 01(55) 5804-4636
nbacarlosalberto@hotmail.com

Fausto Casco Sánchez

Universidad Autónoma Metropolitana-Iztapalapa, San Rafael Atlixco No. 186, Col. Vicentina, Del.
Iztapalapa, C. P. 09340, México D.F., Teléfono: 01(55) 5804-4636
alfa@xanum.uam.mx

Resumen

El presente trabajo tiene por objetivo describir una aplicación web para generar diferentes vistas (html, pdf) del contenido de una Unidad de Enseñanza Aprendizaje (UEA) incorporando recursos educativos. La propuesta se apoya en el enfoque eXtensible Markup Language (XML) y tecnologías asociadas. Se enfatiza en la caracterización de la planeación de una UEA (programa operativo) y recursos educativos asociados. Como resultado se presenta la aplicación REDUC y la vista html de la UEA Temas Selectos de Bases de Datos pudiéndose obtener la versión pdf equivalente a las notas del profesor. Se concluye que la aplicación puede facilitar la reutilización efectiva de recursos educativos en la planeación de una UEA y motivar el trabajo colegiado.

Palabra(s) Clave(s): material didáctico, planeación, recursos educativos, XML, XSD.

1. Introducción

En nuestros días, compartir y reutilizar son actividades cotidianas en el proceso de enseñanza-aprendizaje, es aquí en donde son necesarias técnicas y herramientas que respetando los derechos de autor permitan aportar algo nuevo o interesante sobre lo ya existente. Facilitar no solo el intercambio de recursos educativos si no también, la creación, valoración, reutilización (bajo licencias) de recursos o contenidos educativos así como capitalizar experiencias a través de la vinculación de usuarios con recursos educativos y usuarios-usuarios. Existen repositorios de propósito general en el cual se encuentra contenido educativo, siendo el más utilizado YouTube. Por otro lado, existen grandes entornos abiertos y masivos creados para la gestión de material educativo. Sin embargo éstos operan con criterios específicos y la reutilización de dicho material en ocasiones no es tan fácil [1]. Las herramientas que proporciona google (Google Drive: Docs, Sheets, Slides, etc.) si bien permiten crear la planeación de un curso y vincular cada tema y subtema con documentos específicos (tareas, ejercicios, exámenes, prácticas, videos, etc.) la búsqueda y reutilización ya sea del contenido de un tema o subtema, así como recurso educativos sería manual. Diversos trabajos han mostrado los beneficios de herramientas que a través de Tecnologías de Información y Comunicación (TIC) permiten por un lado, fomentar la transferencia y adquisición de conocimiento y por el otro, motivar la generación de nuevo conocimiento [2,3,4]. La caracterización y gestión de los recursos educativos juegan un papel importante para alcanzar ambos objetivos. Bajo la filosofía de compartir y reutilizar material no solo educativo iniciativas como: Procomún [5], DBpedia-LatAM [6] y Eduteka [7] son solo unos ejemplos. Procomún es una red inteligente, social y distribuida, que se enmarca en un ecosistema educativo. A través de sus propiedades semánticas, puede conectarse con comunidades educativas existentes en nube enlazada de datos (Linked Open Data). Por su lado, DBpedia-LatAm es la iniciativa Latinoamericana para la extracción de datos desde artículos Wikipedia con el fin de aportar a la visión de

la Web semántica (proporcionar significado a los recursos disponibles para ser procesados y reutilizadas por sistemas informáticos y personas). El énfasis son los documentos escritos en español e inspirar la creación de nuevos mecanismos para navegación, enlazado y mejora de la propia enciclopedia. Con base a los trabajos mencionados la aportación de este trabajo se enfoca en proveer una herramienta sencilla de operar que permita por un lado construir una memoria de recursos educativos para reutilizarse en la creación de material didáctico, en particular, notas del profesor o conocidas como apuntes o notas del curso guiadas por una planeación y por el otro ser una modesta iniciativa para constituir a futuro un nodo educativo UAM-I a conectarse con otras comunidades ya existentes en la nube enlazada de datos. Existen herramientas como Moodle y Blackboard que son gestores de contenido educativo cuya curva de aprendizaje, administración y utilización es significativa. Sin embargo han mostrado ser sistemas de ayuda al proceso educativo. En particular, Moodle provee instrumentos de Comunicación (foros y consulta), Contenido (recurso y lección) y Evaluación (tarea y cuestionario) [8]. Nuestra propuesta en comparación con las herramientas mencionadas, se centra en el contenido de una Unidad de Enseñanza Aprendizaje (UEA) en otras instituciones se les llama curso o materia, así como, los recursos educativos asociados. Se consideran algunos aspectos de administración de recursos educativos (caracterización, altas bajas cambios), sin embargo el objetivo principal es servir como un facilitador para fijar un estándar institucional para la creación de planeaciones, conformar una memoria de recursos educativos, ambos para reutilizarse en la creación de material didáctico (notas de curso, libros guía), motivar el trabajo colegiado entre profesores y facilitar la carga académica al contar con planeaciones y material disponible evaluados por academias.

El resto del artículo se estructura de la siguiente manera. En la Sección 2, se definen los conceptos de planeación y recursos educativos enfatizando en los metadatos que los componen. La Sección 3, describe la aplicación web para la generación de material didáctico incorporando recursos educativos. En particular, se describe el módulo para la captura de la planeación de una UEA y el módulo para el registro y búsqueda de

recursos educativos a ser incorporados en la planeación. Finalmente, en la Sección 4 se presentan la conclusión y trabajo futuro.

2. Planeación y recursos educativos

La impartición de una Unidad de Enseñanza Aprendizaje (UEA) en la modalidad presencial involucra la organización de la misma a través de una planeación. Ésta es una estructura que puede contener por lo general elementos como: clave y nombre de la UEA, grupo, periodo de impartición (trimestre, cuatrimestre, semestre), profesor que la imparte (nombre, oficina, página web, horario y lugar de asesorías), horario de teoría y práctica (lugar y horas), aula virtual asignada a la UEA para el intercambio de información entre alumnos y profesor, objetivos, contenido sintético (temas, subtemas, tiempo destinado a cada tema en semanas), modalidad de conducción (dinámica a seguir para la enseñanza-aprendizaje), modalidad de evaluación (número de actividades a evaluar con porcentajes y criterios de evaluación), equivalencias entre el promedio obtenido y la calificación final. En algunas instituciones las calificaciones son con letras (NA, S, B, MB) que equivalen a un rango establecido y finalmente, la bibliografía (ver Fig. 1). En una planeación podemos asociar a temas o subtemas actividades y recursos educativos específicos como: ejemplos, ejercicios, prácticas de laboratorio, lecturas adicionales por mencionar algunas. Por lo general, un profesor en su trayectoria docente va conformando un banco de reactivos que enriquece con el tiempo. Actualmente, para cursos de formación básica la teoría está disponible en diferentes fuentes: libros, videos, presentaciones digitales, tutoriales, blogs por mencionar algunos. Es en este punto donde el profesor puede utilizar material vistoso previamente desarrollado para la teoría en lugar de rehacerlo. Lo interesante es el personalizar o enriquecer el curso con material del banco de reactivos del profesor. Por otro lado, ese banco de reactivos puede ser considerado en realidad un banco de recursos educativos. *“Un recurso educativo es cualquier material que, en un contexto educativo determinado, es utilizado con una finalidad didáctica o para facilitar el desarrollo de las actividades formativas”* [9]. Para este proyecto se consideran como recursos educativos: ejemplos, ejercicios, prácticas de laboratorio y lecturas

adicionales. Se considera como notas del curso la versión textual de la exposición oral del profesor (explicación) así como el soporte digital (presentación) correspondiente a cada tema de la planeación, ambos realizados por el profesor. Las notas del curso son consideradas como una guía textual sobre el contenido del curso y recursos educativos asociados sirviendo de apoyo a los estudiantes para facilitar el aprendizaje de los temas considerados en la planeación.

2151123 TEMAS SELECTOS DE BASES DE DATOS				<i>Trimestre: 14-I</i>
				<i>Grupo: C151</i>
1.- Datos Generales	Profesor	Dra. Reyna Carolina Medina Ramírez Email: cmed@xanum.uam.mx		Oficina: T-309 Asesoría: Miércoles, jueves 11:00-14:00
	Clase	Lunes Viernes	10:00-12:00 10:00-12:00	B203 D107 Aula virtual: http://ixil.izt.uam.mx/aulacbi/ Google Drive
	Laboratorio	Martes	10:00-12:00	AT-105 http://ixil.izt.uam.mx/labos/

2. Objetivos

OBJETIVOS: Al término de esta u.e.a. el alumno será capaz de:

- Comprender los elementos de la Web Semántica y su aplicación en la representación, difusión y gestión de conocimiento.
- Aplicar algunas de las tecnologías semánticas en escenarios específicos para la representación y gestión de datos para apoyo a la toma de decisiones.

Contenido Sintético

<p>1. Web Semántica (Sem.: 1,2)</p> <ol style="list-style-type: none"> 1.1 Origen y visión 1.2 Elementos básicos 1.3 Gestión de datos (memorias corporativas) 1.4 Lenguajes asociados (XML, RDF, RDFS, OWL) 1.5 Aplicaciones 	<p>2. Representación de información en XML (Sem: 2-5).</p> <ol style="list-style-type: none"> 2.1 Introducción a XML 2.2 Tecnologías asociadas a XML 2.3 Documentos (bien formados, válidos) 2.4 Esquemas conceptuales (DTD, Esquemas XML)
<p>3. Visualización de información con XSLT (Sem: 5-8)</p> <ol style="list-style-type: none"> 3.1 Introducción 3.2 Sintaxis XSLT (XSL Transformations) 3.3 Lenguajes y herramientas 3.4 Aplicaciones. 	<p>4. Bases de datos XML (Sem: 9-11)</p> <ol style="list-style-type: none"> 4.1 Definición 4.2 Metodologías para el diseño de bases XML 4.3 Lenguajes y herramientas 4.4 Aplicaciones

4. Modalidad Conducción

Modalidad de conducción: Exposición oral con material visual (.ppt, pdf) disponible para su descarga y consulta en el aula virtual indicada, así como tareas prácticas de laboratorio.

5. Bibliografía

BIBLIOGRAFÍA

- Beginning XML Databases. Gavin Powell. Wrox. 2007
- Daconta, Michael C. The Semantic Web a guide to the future of XML, web services and knowledge management. John Wiley & sons, 2003.
- *Durante el curso se darán otras referencias (artículos de revista, libros, material en línea, enlaces importantes).*

MODALIDADES DE EVALUACIÓN		7. Calificación
1 EXAMEN PARCIAL (ESCRITO)	25%	
1 PROYECTO APLICATIVO	35%	
Presentación oral y reporte escrito		
PRÁCTICAS	30%	
TAREAS	10%	

6. Modalidad Evaluación

EQUIVALENCIAS ENTRE EL PROMEDIO OBTENIDO Y LA CALIFICACIÓN FINAL

	[0,5.99] es NA
	[6.0, 7.49] es S,
	[7.50, 8.59] es B
	[8.60, 10] es MB

Fig. 1. Planeación de la UEA Temas Selectos de Bases de Datos.

Con la debida proporción las notas de un curso realizadas por un profesor o de manera colegiada pueden servir de base para la escritura de un libro de texto guía. El disponer de herramientas (vía web) que faciliten por un lado la estandarización de la planeación de un curso (contenido y recursos educativos asociados), así como la realización colegiada de notas del mismo, motivaría no solo el trabajo colaborativo entre profesores, sino también, la rotación de carga académica dado que se dispondría del material correspondiente para impartirlo. En este proyecto se tomó como caso de estudio la UEA (curso) Temas Selectos de Bases de Datos, asignatura impartida en la Licenciatura en Computación de la UAM-Iztapalapa. La planeación así como los recursos educativos asociados son definidos formalmente a través de un enfoque XML (estructura, significado y visualización). XML (eXtensible Markup Language) es un lenguaje de etiquetas propuesto por el consorcio del web (W3C) que permite asociar significado a los datos que son almacenados entre éstas. Originalmente, fue propuesto para el intercambio de datos en formato estándar, hoy en día podemos ver su versatilidad en: la facturación electrónica, el desarrollo de aplicaciones para dispositivos móviles, la gestión de datos (acuñándose el término de bases de datos XML). Una de las ventajas de este lenguaje es el que los datos y el formato en el que se presentan al usuario son independientes, es decir, se pueden tener diferentes formatos (html, pdf, etc.) para visualizar un conjunto o subconjunto de los datos almacenados. Por otro lado, se puede definir una estructura que sirva de referencia para validar archivos XML, facilitando su intercambio y manipulación. A dicha estructura se le conoce como esquema XSD (XML Schema Definition). Existe toda una familia de lenguajes alrededor de XML que permiten la definición de esquemas, la manipulación de los datos (todos o fragmentos), la transformación de estructuras así como la visualización de los datos en formatos diversos. Por las características mencionadas, se propuso un esquema XSD para indicar la jerarquía de los elementos que conforman una planeación, los tipos de datos y restricciones a nivel de repeticiones de los elementos que la conforman, por

ejemplo un curso (UEA) puede ser impartido a lo más por dos profesores, un curso debe de tener por lo menos dos horas de asesoría a la semana.

En la Figura 1 se aprecia la planeación de la UEA: “Temas Selectos de Bases de Datos” en la cual podemos distinguir siete secciones: 1) Datos generales de la UEA (clave, nombre de la UEA, trimestre, grupo, profesor(es) responsables, horario teoría, horario laboratorio, aula virtual del curso (sitio para el intercambio de material entre alumnos y profesores), 2) Objetivos de la UEA, 3) Contenido sintético (temas, subtemas, duración), 4) Modalidad de conducción (presencial, recursos a utilizarse en la impartición de la UEA, 5) Bibliografía, 6) Modalidad de Evaluación (actividades a realizarse durante el curso indicando su porcentaje), y 7) Calificación final. Para la planeación de esta UEA se propuso un esquema XSD de siete elementos cuya definición da alrededor de 25 metadatos con sus respectivas restricciones: tipo de datos permitidos (tipo horario, cadenas, enteros), número de repeticiones permitidas para los elementos (por ejemplo a lo mas dos profesores), atributos obligatorios u opcionales para los elementos (por ejemplo, toda planeación debe de tener un trimestre y grupo).

Para los recursos educativos se propusieron siete metadatos que son: tipo de recurso educativo (ejemplos, ejercicios, prácticas de laboratorio, lecturas adicionales), Descripción, keywords, autor del recurso educativo (nombre, apellido), rol (profesor, estudiante), email, institución. Se desarrolló una aplicación web que apegada al esquema XML de la planeación de un curso y recursos educativos permite la captura de datos (contenido del curso) a través de formularios permitiendo diferentes vistas de los datos capturados, por ejemplo a) la generación de las notas del curso en formato html con vínculos a los recursos educativos asociados o la versión pdf, b) la versión por temas y subtemas, por mencionar algunas. Por otro lado, se puede conformar y enriquecer una base de recursos educativos que pueden reutilizarse en otras UEA. Dicha aplicación se describe en las siguientes secciones.

3. Aplicación web para la generación de material didáctico incorporando recursos educativos

La arquitectura de la aplicación REDUC para la generación de material didáctico de una Unidad de Enseñanza Aprendizaje (UEA) incorporando recursos educativos. Está basada en el Modelo Vista Controlador y consta de cuatro módulos (ver Fig. 2). REDUC se apoya en el enfoque XML y tecnologías asociadas. Se enfatiza en la caracterización de la planeación de una UEA (programa operativo) y recursos educativos asociados. REDUC provee diferentes vistas del contenido de una UEA (por ejemplo Temas Selectos de Bases de Datos) como: la versión html o pdf a esta última se le considera como las notas del profesor o notas del curso.

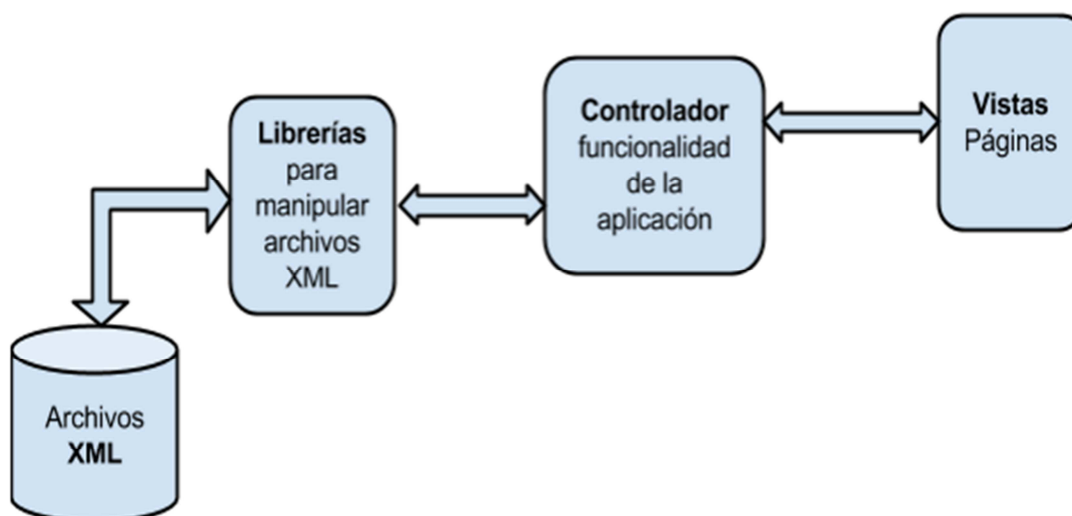


Fig. 2. Aplicación REDUC: Diagrama de bloques.

- Archivos XML. Serie de archivos que contienen la información de los recursos educativos así como, la estructura de una planeación ambos apegados a un esquema XSD.

- Librerías. Conjunto de funciones que realizan la manipulación de los archivos XML, con operaciones como inserción y búsquedas.
- Controlador. Encargado de coordinar la funcionalidad de la aplicación, como interactuar con las vistas y las funciones de las librerías.
- Vistas. Presentación de las páginas que se muestran al usuario con cierto estilo y funcionalidad. Entre ellas la creación de las notas del curso correspondiente a la planeación de una UEA ingresada o la versión html de la misma.

A continuación se presenta un fragmento de código correspondiente a la planeación de una UEA y a la cual se apegan los archivos XML de la misma. En particular se definen los elementos datos generales, objetivos, contenido sintético, modalidad de conducción, bibliografía, evaluación y calificación. Trimestre y grupo son atributos de una planeación.

```
<xsd:complexType name="T_planeacion">
  <xsd:sequence>
    <xsd:element name="datos_gral" type="T_datos_gral"/>
    <xsd:element name="objetivos" type="T_objetivo"/>
    <xsd:element name="cont_sintetico" type="T_cont_sintetico" />
    <xsd:element name="modalidad_conduccion" type="T_mod_conducc"/>
    <xsd:element name="bibliografia" type="T_bibliografia"/>
    <xsd:element name="evaluacion" type="T_evaluacion"/>
    <xsd:element name="calificacion" type="T_calificacion"/>
  </xsd:sequence>
  <xsd:attribute name="trimestre" type="xsd:string" use="required"/>
  <xsd:attribute name="grupo" type="xsd:string" use="required"/>
</xsd:complexType>

<xsd:complexType name="T_datos_gral">
  <xsd:sequence>
```

```
<xsd:element name="profesores" type="T_profesor" />
<xsd:element name="datos_uea" type="T_datos_uea" />
</xsd:sequence>
</xsd:complexType>
```

Para un profesor, algunos de los elementos que determinan su estructura son: nombre (nombre de pila y apellidos), oficina, email, aulavirtual, asesorías.

```
<xsd:complexType name="T_datos_profesor">
  <xsd:sequence>
    <xsd:element name="nombre" type="T_profesor_nombre" />
    <xsd:element name="oficina" type="xsd:string" />
    <xsd:element name="email" type="xsd:string" />
    <xsd:element name="aulavirtual" type="xsd:string" />
    <xsd:element name="asesorias" type="T_asesorias" />
  </xsd:sequence>
</xsd:complexType>
```

La interfaz de usuario del sistema se propuso como una página con tres secciones: a) (arriba) el encabezado en cual se tomó como logotipo esencial el símbolo de la Universidad Autónoma Metropolitana; b) (en medio) el cuerpo de la página y c) (abajo) un pie de página en el cual se muestra información sobre la Universidad. En esta página se tienen dos vistas: profesor y alumno. El profesor solo puede crear planeaciones (cursos) y el alumno solo puede consultar UEA (cursos) de diferentes Divisiones con las que cuenta la Universidad Autónoma Metropolitana-Iztapalapa. Para lo cual el alumno debe de escoger una de las Divisiones: Ciencias Básicas e Ingeniería (CBI), Ciencias Biológicas y de la Salud (CBS), Ciencias Sociales y Humanidades (CSH). Una vez elegida la División se mostrarán los cursos disponibles a ser consultados. Por el momento se tiene capturado el contenido de la UEA: Temas Selectos de base de Datos del apartado de CBI. En caso de ser un profesor deberá dar clic en el botón “Dar de alta una UEA” y podrá empezar a ingresar la información

correspondiente a la planeación para la UEA que vaya a impartir. Al dar de alta una planeación se presenta al usuario un formulario para que realice la captura de datos con base a los criterios del profesor y apegado al esquema XML descrito en la sección anterior. Los formularios se realizaron con el lenguaje javascript. En términos más específicos estos datos corresponden a los datos de la UEA, trimestre y grupo. Una vez llenado los primeros datos y haber dado clic en guardar, el profesor puede seleccionar alguna de las siguientes opciones: agregar profesor, agregar datos de la UEA, agregar temas, agregar bibliografía, agregar evaluación o agregar ponderación. Cada uno de las opciones cuenta con un formulario que permite capturar los metadatos necesario (esquema XSD) para su definición. Por ejemplo, Agregar profesor corresponde a la captura de datos específicos: nombre, asesoría, etc., se pueden agregar varios profesores ya que un curso puede ser impartido por varios y cada uno de ellos puede ofrecer varias asesorías a sus alumnos, es en esta parte donde el uso de formularios dinámicos, tiene su interés ya que se pueden agregar asesorías y de igual forma se pueden eliminar. Al hacer clic en “Agregar Asesorías” se despliega un apartado en donde se muestran nuevos campos a llenar como son los de día, hora inicio asesoría, hora fin de asesoría, lugar. Cada una de las opciones del menú muestran formularios dinámicos a ser llenados por el profesor, y cada vez que se haga clic en el botón de guardar se envía la información a un archivo XML con estructura establecida en el XSD. En la opción de “Agregar Temas” el formulario permite capturar los metadatos correspondientes al tema y subtemas, asignar recursos educativos. Para ello se cuenta con la opción de búsqueda de recursos educativos dentro del formulario. Cabe señalar que el módulo que permite gestionar (subir, borrar recursos educativos) forma parte de la aplicación REDUC. Una vez capturado el curso correspondiente a una UEA en este caso “Temas Selectos de Base de Datos”, las consultas sobre el curso se hacen a través de la página principal de la aplicación, opción CBI, Licenciatura, UEA: Temas selectos de Bases de Datos.

En la vista “Consultas” del lado izquierdo se podrá ver un pequeño menú con las secciones que se pueden consultar y que serán visualizadas en la parte derecha de la

pantalla. Tales consultas pueden ser: profesor, Datos UEA, Consultas por Temas, Bibliografía de la UEA, Modalidades de Evaluación y Ponderación. Cuando se selecciona “Consulta Profesor” se muestran los datos generales del profesor, como son: Nombre, Oficina, e-mail, page web asociada, horarios de asesorías y lugares de asesoría. “Consulta_datos_uea” muestra los datos generales de la UEA, como son: Nombre, clave, horarios y lugar asignado de teoría, horarios y lugar asignado de laboratorio si es que así lo requiere. La vista “contenido_sintético”, muestra los temas principales con sus subtemas y la duración en semanas de cada tema (Ver Fig. 3). Cada subtema es un link hacia una nueva página html en la cual se muestran los subtemas del subtema en cuestión, mostrándose el texto correspondiente a dicho subtema así como el vínculo (si es el caso) al recurso educativo correspondiente. La Figura 4 muestra la página html para el tema 2 “Representación de la información en XML” con el subtema 2.1 “Tecnologías asociadas a XML” y los subtemas “2.1.1. SGML al 2.1.9. Documentos XML cuerpo (estructura)”. Cada sub-sub tema es un link que nos direccionará dentro de la misma página hacia el apartado indicado. El link “Todos los recursos” es un enlace de descarga que contiene un archivo “.zip” dentro de éste se encuentran todos los archivos del tema número 2.



Casa abierta al tiempo

UNIVERSIDAD AUTÓNOMA METROPOLITANA

Contenido Sintetico

1 Fundamentos de la Web Semantica

Semanas 1, 2

- 1.1 Elementos Básicos
- 1.2 Búsqueda de la Información
- 1.3 Web Semántica y Memorias Compartidas
- 1.4 Lenguajes Asociados
- 1.5 Aplicaciones

2 Representación de la Información en XML

Semanas 3, 4, 5 y 6

- 2.1 Tecnologías asociadas a XML
- 2.2 Documentos (bien formados, válidos)
- 2.3 Esquemas conceptuales (DTD, Esquemas XML)

3 Visualización de datos XML

Semanas 7, 8, y 9

- 3.1 Visualización de la Información XSLT (XSL Transformation)
- 3.2 Gestión de Información: php + xml

4 Bases de Datos

Semanas 10 y 11

- 4.1 Definición
- 4.2 Metodologías para el Diseño de Bases XML
- 4.3 Lenguajes y Herramientas
- 4.4 Aplicaciones

Universidad Autónoma Metropolitana Unidad Iztapalapa

Fig. 3. Opción Contenido sintético correspondiente a la planeación de la UEA: Temas Selectos de Bases de Datos.

2 Representación de la Información en XML **Todos los recursos**

2.1 Tecnologías asociadas a XML

- 2.1.1 SGML
- 2.1.2 HTML
- 2.1.3 XML
- 2.1.4 Comparación HTML, XML
- 2.1.5 Características de XML
- 2.1.6 Familia XML
- 2.1.7 Documentos XML
- 2.1.8 Documentos XML (Edición)
- 2.1.9 Documento XML Cuerpo

Fig. 4. Página correspondiente al tema Representación de información en XML y subtemas.

En cada una de los subtemas se muestran los recursos educativos disponibles (tipo del recurso educativo y su respectivo link de descarga) y que fueron asignados al momento de dar de alta la planeación. La leyenda “REGRESAR” nos lleva al menú de sub-subtemas. La opción “Bibliografía” muestra los libros de texto sugeridos para el curso, así como enlaces web de apoyo al mismo. Cabe mencionar que los enlaces web al mostrarse como parte de la bibliografía se muestra la fecha de última consulta, permitiendo saber que enlaces pueden no estar disponibles. La vista “consulta_evaluación”, muestra los puntos a ser evaluados en el curso, así como sus respectivos porcentajes. De manera similar, cuando se selecciona la vista “consulta_ponderación”, se mostrarán los intervalos considerados para asignar una calificación (NA, S, B, MB). Se ocuparon inputs dinámicos ya que el usuario puede agregar tantos inputs nuevos como desee para los diferentes casos de nuestro XML. Uno de éstos es para agregar más profesores. Se implementaron scripts con PHP para

las funciones planeación, Profesor, datos_uea, evaluación calificación, bibliografía, tema, subsubtema y sintético. El archivo PHP llamado sintético es una vista que muestra como su nombre lo dice, los temas y subtemas del curso, recursos educativos recomendados, duración en semanas de cada uno de los temas. Está opción es la que constituye la versión en línea del curso permitiendo la generación en formato pdf del mismo si así se desea. El módulo para el registro y búsqueda de recursos educativos a ser incorporados en la planeación, sigue la misma dinámica descrita para la planeación.

A través de formularios se captura para un recurso educativo: tipo de recurso educativo (ejemplos, ejercicios, prácticas de laboratorio, lecturas adicionales), Descripción, keywords, autor del recurso educativo (nombre, apellidos), rol (profesor, estudiante), email, institución. La formalización de la planeación y de los recursos educativos se hizo a través de esquemas XML (XSD) (ver Fig. 5 y Fig. 6).



Fig. 5. Interfaz para subir o buscar un recurso educativo.

Campos del Recurso Educativo:

Tipo de Recurso:

Descripción:

Sube un archivo zip, rar, pdf, docx, pptx , txt , jpg

Keywords:

[Agregar Más Keywords](#)

Fig. 6. Interfaz para subir o buscar un recurso educativo.

4. Conclusiones

En este trabajo, hemos descrito una aplicación web para la generación de material didáctico en particular notas de curso guiadas por una planeación incorporando recursos educativos. La propuesta se apoya en el lenguaje XML y tecnologías asociadas para la estructuración de la planeación de una Unidad de Enseñanza Aprendizaje (UEA), la gestión de los recursos educativos y su incorporación a la planeación. Diversas vistas de los datos capturados en la aplicación pueden ser generadas, en este artículo se mostró la versión html del curso Temas Selectos de

Bases de Datos. Dicha versión es resultado de una planeación incluyendo los recursos educativos recomendados para cada tema y subtema, duración en semanas de cada uno de los temas y bibliografía. La aplicación puede facilitar la reutilización efectiva de recursos educativos en la planeación de una UEA (curso) y motivar el trabajo colegiado. Por otro lado, la aplicación contiene un módulo para gestionar recursos educativos que puede enriquecerse con la incorporación de metadatos referentes a los estilos de aprendizajes o competencias. Lo anterior es considerado como trabajo futuro. El contar con una base de recursos educativos propios constituye una oportunidad para ser una modesta iniciativa para constituir a futuro un nodo educativo UAM-I a conectarse con otras comunidades existentes en la nube enlazada de datos educativos. Finalmente, esta aplicación se encuentra en valoración por los profesores del área de Redes y Telecomunicaciones para el curso introducción a la programación para ingenieros de la licenciatura en Ingeniería Electrónica. Algunos de los indicadores para evaluar cursos en línea se consideran aplicar para valorar la aplicación desarrollada [10].

5. Referencias

- [1] L. Yua, S. Powell, J. CETIS. MOOCs and open education: Implications for higher education. 2013.
- [2] J. V. Burgos Aguilar, Aprovechamiento de Recursos Educativos Abiertos en Ambientes Enriquecidos con Tecnologías. 2012. Editores María Soledad Ramírez Montoya, José Vladimir Burgos Aguilar. ITESM ebook.
- [3] M-H. Abel, D. Lenne, C. Moulin, A. Benavache, “Gestion des resource pédagogiques d’une e-formation”. Document numérique. Vol. 7. 2003. 111-128 pp.
- [4] J. Lapeyre. Aprovechamiento educativo de Moodle: propuestas e iniciativas. Moodle Moot. 2006. Perú.

- [5] Procomún. <https://procomun.educalab.es/es/>. Consultado: Junio, 2015.
- [6] DBpedia-LatAM. <http://es-la.dbpedia.org>. Consultado: Junio, 2015.
- [7] Eduteka. <http://itec.eun.org/web/guest/eduteka>. Consultado: Junio, 2015.
- [8] I. Esquivel Gámez, Experiencias en el uso de Moodle como instrumento de mejora en la relación docente-alumno. 6º Congreso Internacional en Innovación y Desarrollo Tecnológico, CIINDET. 2008. Cuernavaca, Morelos, México.
- [9] Los medios didácticos y los recursos educativos. Departamento de Pedagogía Aplicada, Facultad de Educación, UAB. <http://peremarques.net/>
- [10] P. Kim, D. Gilbón, "Evaluación del diseño didáctico de cursos en línea: propuesta de criterios y subcriterios a partir del análisis de 8 instrumentos". Revista de evaluación educativa. Vol. 1. No. 2. 2012. 62-78 pp.

6. Autores

Lic. Carlos Alberto López Pérez es Licenciado en Computación por la Universidad Autónoma Metropolitana Unidad Iztapalapa (2014). Sus intereses incluyen gestión semántica de información y tecnologías emergentes.

Dra. Reyna Carolina Medina Ramírez. Obtuvo su grado de Doctor en Ciencias (especialidad Computación) de la Universidad de Nice-Sophia Antipolis, Francia en 2003. Desde septiembre de 2005 es profesora adscrita al Departamento de Ingeniería Eléctrica en la UAM unidad Iztapalapa. Actualmente es jefa del Área de investigación de Redes y Telecomunicaciones. Sus intereses de investigación incluyen web semántica y datos abiertos enlazados aplicados a la educación.

Dr. Fausto Casco Sánchez Obtuvo su grado de Doctor en Ciencias por la Universidad Autónoma Metropolitana en 1997. Desde Abril 1977 es profesor adscrito al Departamento de Ingeniería Eléctrica de la Universidad Autónoma Metropolitana Iztapalapa, Sus intereses de investigación incluyen diseño de filtros digitales y algoritmos para filtrado adaptable con aplicación a las comunicaciones, así como desarrollo de material didáctico.

Repositorio de grafos para el conteo de conjuntos independientes

Juan Antares Perdomo Flandez

Benemérita Universidad Autónoma de Puebla
kanabos_delid@hotmail.com

Pedro Bello López

Benemérita Universidad Autónoma de Puebla
pbello@cs.buap.mx

Meliza Contreras González

Benemérita Universidad Autónoma de Puebla
mcontreras@cs.buap.mx

Brayan Chavez Benavides

Benemérita Universidad Autónoma de Puebla
brayan120@gmail.com

Resumen

La teoría de grafos es empleada en infinidad de aplicaciones en las áreas de química, comunicaciones, control, modelos de transporte, robótica por lo que resulta indispensable contar con herramientas que permitan el diseño y análisis de problemas que involucren su modelado mediante estas estructuras. Por esta razón se propone un sistema con dos usos, por un lado un editor gráfico que permita diseñar grafos con topologías precisas para grafos ponderados para exportarlos y tenerlos disponibles en el uso de otras aplicaciones y por otro lado una interfaz que con entradas específicas calcule propiedades típicas de los grafos como los conjuntos independientes.

Palabra(s) Clave(s): conjuntos independientes, editor gráfico, grafos, repositorio.

1. Marco Teórico

Un grafo es un conjunto de nodos que son unidos por vértices o aristas [6]. Estos pueden ser representados de muchas formas dependiendo su aplicación. Dentro de este trabajo se estudian grafos con características específicas.

Reinhard Diestel [9] define a un grafo como:

Un grafo es un par $G=(V,E)$ de conjuntos tal que $E \subseteq \mathbb{P}([V])^2$; así, los elementos de E son 2 elementos subconjuntos de V . Los elementos de V son los vértices (nodos o puntos) del grafo G , los elementos de E son sus vértices (o líneas).

Mientras que Reinaldo Giudici [7] define en su libro:

Un grafo finito G es un par $(V(G),E(G))$, donde $V(G)$ es un conjunto finito, no vacío, cuyos elementos llamaremos vértices, y $E(G)$ es un conjunto de pares de vértices de $V(G) \times V(G)$ que definen una relación R , de modo que si los vértices están en la relación, existe al menos una línea que los une.

En la anterior definición también se pueden incluir los multigrafos [3,4] los cuales son aquellos que tienen más de una arista para un par de nodos o aristas que relacionan al mismo nodo. En el presente trabajo solo se estudiarán los grafos simples los cuales por el contrario solo tienen una sola arista para cada par de nodos y no incluyen aristas que relacionen al mismo nodo en sus extremos.

Los grafos no dirigidos son un tipo de grafos donde no importa el orden en que se hagan los recorridos a través de las aristas de los nodos del grafo, por lo que se puede recorrer de igual forma del nodo 1 al nodo 2 como del 2 al 1 mientras exista una arista que una a ambos nodos. Un grafo no dirigido se define como el conjunto de nodos N y vértices V que forman el grafo en donde el orden no importa, es decir que un grafo $G(N, V)$ no será dirigido si para todo vértice $v \mid v \in V$ se cumple que $v(n_i, n_j) = v(n_j, n_i) \quad \forall v \in G$.

Al hablar de grafos ponderados se habla de aquellos que atribuyen un peso a la arista, esto es común verlo en el análisis del camino más corto donde se hace una búsqueda de a través de cuáles aristas es necesario pasar para que se vaya de un nodo inicial a un nodo final y que este conjunto de aristas sea el que presente el menor peso. Sin embargo en el estudio de los conjuntos independientes de los grafos es irrelevante la ponderación de las aristas.

Los grafos no ponderados no presentan algún peso dentro de las aristas por lo que no existe diferencia al recorrer los grafos sea cual sea su camino de un nodo a otro.

Dentro del estudio ya se ha mencionado que se incluyen grafos simples, bien estos pueden contener ciclos, lo cual eleva la complejidad en muchos casos en el desarrollo de los algoritmos. También se estudiarán los casos más simples en donde se presenten grafos sin ciclos (árboles).

Grafos conexos y no conexos

Un grafo es conexo si para cualquier par de vértices existe una ruta por medio de las aristas que pueda unir ambos vértices (fig. 1a), por el contrario si no existen rutas posibles el grafo será no conexo o desconexo (fig. 1b). A pesar de que ambos tipos de grafos se incluyen dentro del estudio de los conjuntos independientes es necesario separarlos en la clasificación debido a que podrían elevar o disminuir la complejidad a la hora de ser procesados.

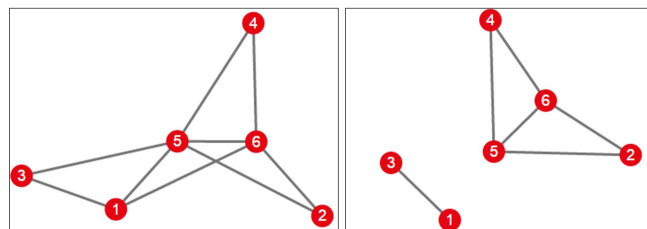


Fig. 1.a grafo conexo Fig. 1.b grafo no conexo

Grafos completos y desconectados

Estos tipos de grafos también son necesarios para tener en cuenta ya que de igual forma pueden elevar o disminuir la complejidad del proceso.

Un grafo simple será completo si cada nodo está conectado a todos los demás nodos del grafo (fig. 2a) por el contrario los grafos desconectados que no tienen absolutamente ninguna arista (fig. 2b). Estos bien pueden presentar tanto el mejor como el peor caso de el algoritmo ya que son descartables las posibilidades a la hora de analizar y contar la cantidad de conjuntos independientes existentes en los grafos.

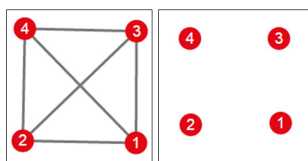


Fig. 2.a grafo completo. Fig. 2.b (derecha) grafo desconectado.

Valencia o grado

La valencia o grado de un nodo es la cantidad de aristas que inciden en él y se representa como $\delta(x)$. El grado máximo y mínimo de un grafo se representan respectivamente como $\Delta(G)$ y $\delta(G)$.

La adyacencia se refiere a la vecindad de unos nodos con otros. Un par de nodos será adyacente si existe una arista que los una.

Grafo complemento

Siendo G un grafo cualquiera, su complemento \bar{G} será aquel que tenga el mismo conjunto de vértices de G pero presente solo las aristas que no están en el grafo original. (Ver Figura 3)

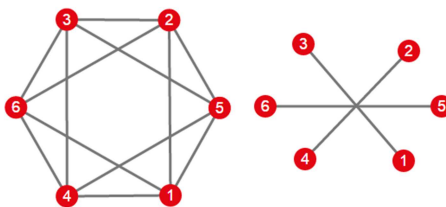


Fig. 3. Complemento de un grafo.

Los conjuntos independientes [5] de un grafo son todos aquellos conjuntos de nodos que se pueden agrupar sin que exista una arista o vértices que una a cualquiera de los nodos agrupados. Los conjuntos pueden tener cualquier tamaño dependiendo del grafo dado que se incluye el conjunto vacío, los conjuntos donde se agrupan cada uno de los nodos, los cuales son de tamaño uno y el resto de conjuntos en donde se incluyen a todos los nodos que no tienen aristas en común.

Algunas definiciones se presentan a continuación:

Un conjunto independiente de G es un subconjunto $S \subseteq V$ de vértices tal que ningún par de vértices en S están conectados por una arista de G .

Dado un grafo G , un conjunto independiente es un subconjunto S de vértices en G tal que no hay dos vértices en S que sean adyacentes (conectados por un vértice).

Otro concepto que se estudia a la par de los conjuntos independientes de un grafo son los conjuntos maximales.

Los maximales son un subconjunto de los conjuntos independientes de un grafo donde ya no se puede añadir ningún otro nodo al conjunto para que este siga siendo independiente. Los conjuntos maximales pueden tener el tamaño de cualquier otro conjunto independiente. Por ejemplo si el nodo de un grafo estuviera conectado a todos los otros nodos, un conjunto maximal del grafo sería aquel que solo incluyera a dicho nodo, ya que no se podría agregar a ningún otro y que el conjunto conserve su propiedad de independencia. De igual forma pueden existir varios conjuntos maximales del mismo tamaño.

Algunas definiciones de los conjuntos maximales son:

Un conjunto independiente se llama maximal si no existe otro conjunto independiente en el que esté contenido propiamente. Esto es, un conjunto independiente I es maximal si para todo conjunto H tal que $I \subset H$ con $I \neq H$, se tiene que H no es independiente.

Un conjunto independiente maximal de un grafo es un conjunto independiente que no puede ser expandido a otro conjunto independiente por adición de algún otro vértice en el grafo.

El tamaño máximo de los conjuntos independientes de un grafo se ve limitado por la cantidad de nodos del mismo grafo así como la cantidad de aristas, aunque no existe ninguna regla matemática que obtenga el tamaño máximo de los conjuntos independientes de un grafo. Esto se conoce como el conjunto máximo de un grafo o el conjunto independiente máximo y puede existir más de un conjunto con el tamaño máximo para un grafo dado.

El problema del conjunto independiente máximo y ha sido extensamente estudiado por algoritmos exactos y es un problema NP-Difícil.

Los problemas de conteo, aunque interesantes matemáticamente, tienen relación con importantes problemas prácticos. Por ejemplo, los problemas de confiabilidad en una red son finalmente traducidos a problemas de conteo [12].

Vadhan [12] demostró que el conteo de conjuntos independientes en grafos de grado mayor o igual a 4, es un problema #P-completo. Posteriormente, Greenhill [11] muestra que éste mismo problema es #P-completo aun cuando el grado del grafo se reduzca a 3. Roth [12] presenta algoritmos de complejidad polinomial para el mismo problema pero sobre grafos de grado 2 o menor.

Se han propuesto algoritmos capaces de resolver el problema de los conjuntos independientes[10] para estructuras específicas de grafos como en el caso de grafos del tipo cadena y ciclo [1], en donde se ha creado un algoritmo que usando la secuencia

o serie de Fibonacci como base obtienen los conjuntos independientes de dichos grafos. De igual forma se han desarrollado soluciones para los conjuntos maximales de forma paralela haciendo uso de árboles [2].

Otros trabajos proponen y mejoran algoritmos para grafos circulares enfocándose a la optimización del compilador como en la asignación de registros en "pipelined bucles" de software o bien en diseño de VLSI (Very Large Scale Integration) para sistemas de circuitos integrados basados en transistores [14]. Igualmente se ha llegado a proponer soluciones para grafos con grado o valencia baja que por su simplicidad y siendo soluciones más específicas pueden conseguirse tiempos por debajo de la media como en el propuesto por Mingyu Xiao y Hiroshi Nagamochi [13] que da a conocer una solución de tiempo $1.1736^n n^{O(1)}$ para grafos de grado 5.

El estudio de soluciones para grafos con ciertas características constituye un tópico de investigación y aplicación en ciertas áreas como lo son en redes computacionales en donde puede variar la topología y un algoritmo específico llegará a ser más eficiente, sin embargo la necesidad de tener una solución general es igualmente útil para cuando se desconoce la estructura.

Al momento no se tiene referencia de un algoritmo general que obtenga los conjuntos independientes de un grafo, puesto que solo se tienen resultados teóricos como los antes expuestos, por lo que en este trabajo se estudiarán las estructuras de grafos donde es posible obtener los conjuntos independientes y diseñar un algoritmo exhaustivo y su aplicación computacional para realizar pruebas y determinar los tiempos que tardan en realizar el proceso del cálculo de los conjuntos independientes.

2. Desarrollo

Como se sabe los grafos pueden ser representados de diferentes formas[8], dos de ellas son usando cierto tipo de listas ligadas donde cada nodo apuntará a todos los

nodos adyacentes a él, sin embargo de esta forma no se puede tener un control total de los elementos de un grafo los cuales son nodos y aristas. En esta forma de representación las aristas irían implícitas por lo que otra forma de representar un grafo son con pares de listas una que contenga los nodos y otra que contenga las aristas, esta forma es más útil en especial para el dibujo de los grafos donde es importante saber la posición de los elementos que conforman a la estructura en general. En esta segunda forma de representación las aristas tienen dos apuntadores a los nodos a los que está conectada y los nodos siendo que pueden tener cero o más aristas que incidan en ellos tendrán una lista de todas estas aristas incidentes.

A continuación se muestra la interfaz del editor de gráficos, en la Figura 4 se muestra cómo se construye el grafo a partir de la ubicación de los nodos y la conexión por medio de las aristas, en la Figura 5 se muestra un grafo complejo generado en formato png a partir de la opción exportar:

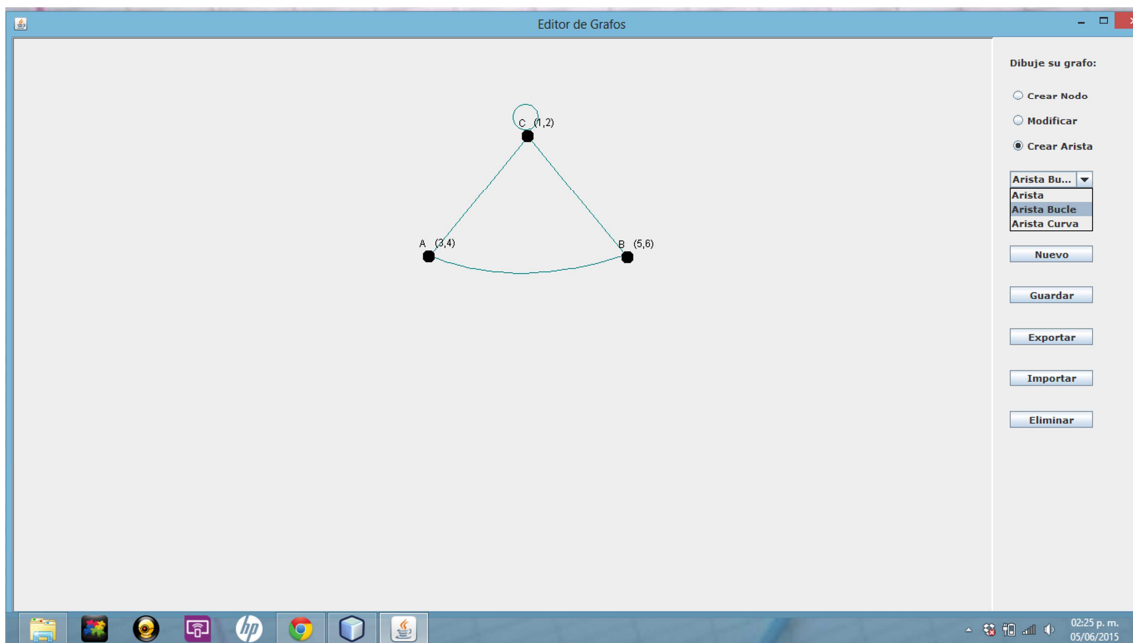


Fig. 4. Editor de gráficos diseño de nodos y aristas.

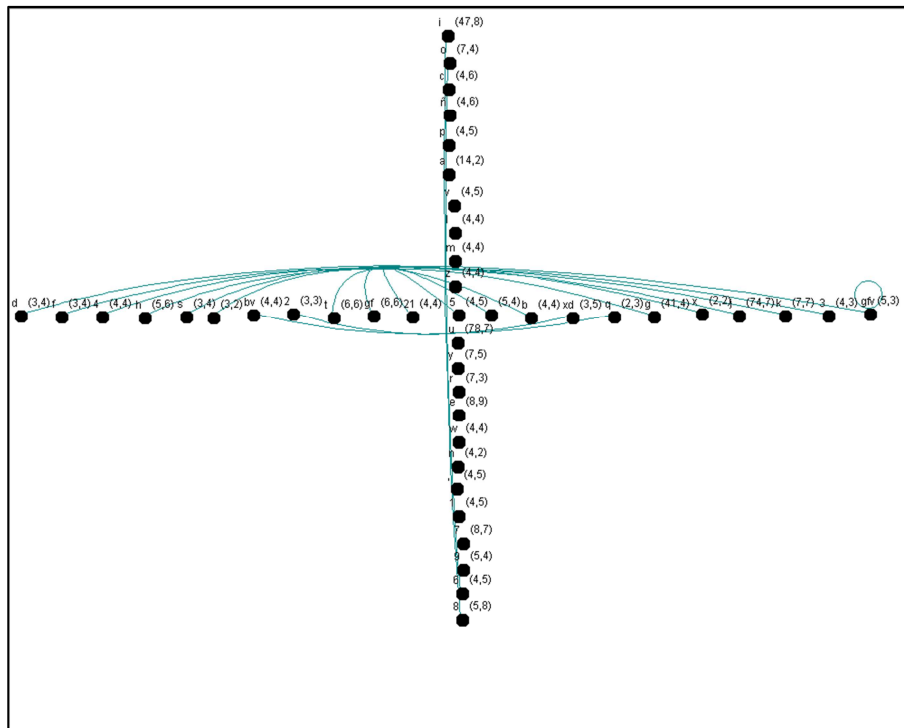


Fig. 5. Grafo obtenido en formato png.

Para encontrar todos los conjuntos independientes de un grafo es necesario hacer un análisis exhaustivo sobre cada nodo verificando si alguno del resto de los nodos es adyacente, en caso de no serlo se puede continuar la búsqueda de algún nodo que no sea adyacente ni al primer nodo ni al segundo y así continuar en busca de conjuntos de mayor tamaño hasta encontrar un maximal, un conjunto independiente cuya adición de cualquier otro nodo hará que este deje de ser independiente. En la Figura 6 se muestra la interfaz que calcula los conjuntos independientes de un grafo. En este caso el usuario debe introducir en una caja de texto el total de vértices así como las aristas del grafo, posteriormente pulsará el botón **Calcular y Dibujar** y la aplicación desplegará el grafo correspondiente que puede expandirse para apreciar la topología y muestra el total de conjuntos independientes así como lista todos los conjuntos dependiendo de su cardinalidad y el tiempo que duro el cálculo.

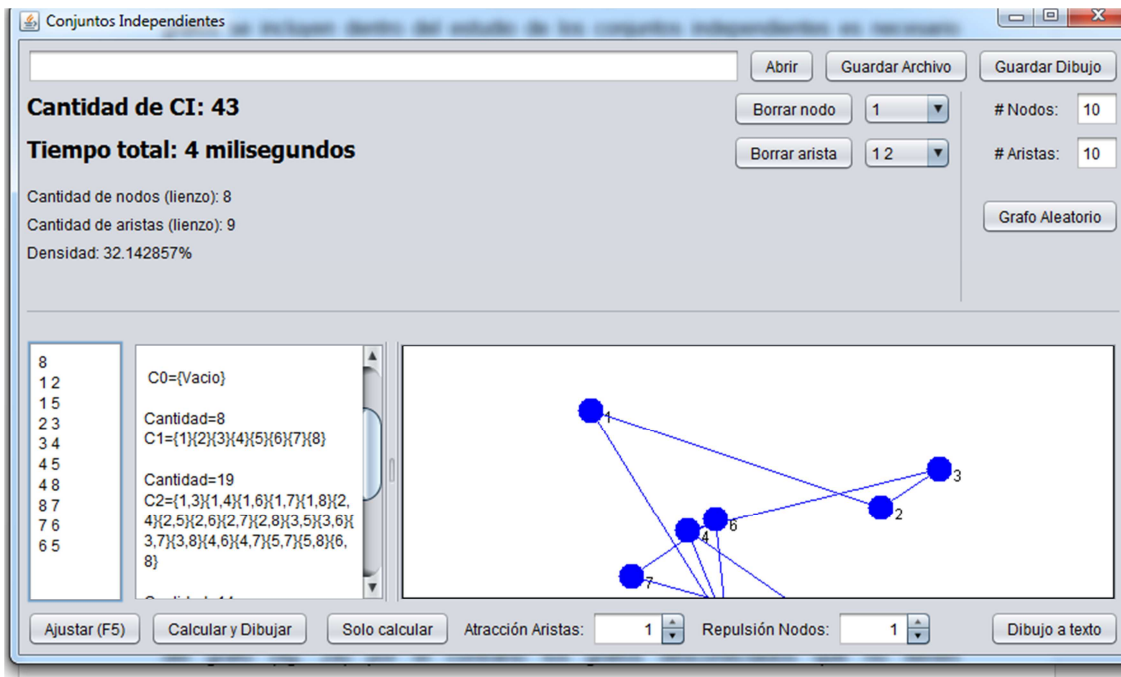


Fig. 6. Interfaz del contador de la propiedad de conjuntos independientes.

Usando la forma de representación de grafos de la que se habló con anterioridad se pueden hacer estas búsquedas pero sin embargo termina teniendo cierta ineficacia debido a la naturaleza de las listas ligadas que tienen que indexar en diferentes partes de memoria para acceder a sus elementos y que también para ello es necesario recorrer los anteriores puestos.

Para este problema se optó mejor por el uso de otra forma de representación de los grafos que es usando una tabla de $n \times n$ (n igual a la cantidad de nodos en el grafo) donde se enlistan a lo alto y a lo ancho todos los nodos y en las intersecciones en la tabla de un nodo N_1 con un nodo N_2 se colocará un 1 o true si este par de nodos son adyacentes entre si y un 0 o false en caso contrario.

Esta forma a pesar de tampoco puede tener un gran control sobre ni las aristas ni los nodos resulta más beneficiosa para la búsqueda de conjuntos independientes debido a que todo se hace en un área de la memoria y que esta búsqueda se basa en encontrar las adyacencias de los nodos.

Con esta última forma de representación se ha trabajado el algoritmo que se presenta a continuación.

Una vez se haya leído un grafo y se tenga en la tabla se pueden encontrar los primeros conjuntos, los cuales no necesitan ser procesados dentro del algoritmo. El vacío es el primer conjunto en contarse debido a que siempre existirá sin importar el tamaño del grafo ni la cantidad de conjuntos que se puedan encontrar. El vacío es un conjunto con cero elementos y se clasifica como un conjunto de tamaño igual a cero.

A continuación también sin necesidad de entrar a los ciclos del algoritmo se pueden encontrar los conjuntos de tamaño igual a uno. Estos conjuntos serán cada uno de los nodos tomados en cuenta individualmente $\{1\}, \{2\}, \{3\}, \dots \{n\}$. Para este punto hay que aclarar que solo se toman en cuenta grafos simples (que no tienen dos aristas conectadas al mismo par de nodos ni aristas conectadas al mismo nodo en ambos extremos). En caso de que se aceptaran usar grafos que contengan bucles se tendrían que eliminar del conteo todos los conjuntos que contengan nodos con bucles debido a que estos nodos no son independientes de sí mismos y por tanto tampoco podrían pertenecer a conjuntos de mayor tamaño. En caso de aristas múltiples (si se tomarán en cuenta) bastaría tomar una sola arista para cada par de nodos adyacentes ya que no habría diferencia si un par de nodos está conectado por una o varias aristas, dicho par no será independiente ni será un subconjunto de un CI.

Otro tipo de grafos no simples que usualmente no se toman en cuenta dentro del estudio de los conjuntos independientes son los grafos dirigidos. Estos tipos de grafos se caracterizan por tener un orden por tanto el conjunto $\{a, b\} \neq \{b, a\}$ por lo que un par de nodos $a \rightarrow b$ se podría decir que $\{b, a\}$ es un conjunto independiente debido a que b no tiene adyacencia con a , sin embargo el caso contrario $\{a, b\}$ no sería independiente ya que a es dependiente de b .

Con lógica similar a estos casos foráneos al estudio se pueden estudiar los conjuntos independientes para grafos no simples. Continuando con el algoritmo siendo que los

grafos simples no contienen bucles la cantidad de conjuntos independientes con tamaño igual a uno será la misma cantidad de nodos que existan en el grafo.

Hasta este punto el conteo de conjuntos no ha entrado en ningún ciclo. Para el resto de CI ya es necesario recorrer los nodos buscando las no adyacencias. Para explicar más sencillamente el funcionamiento del algoritmo se usará un grafo de ejemplo.

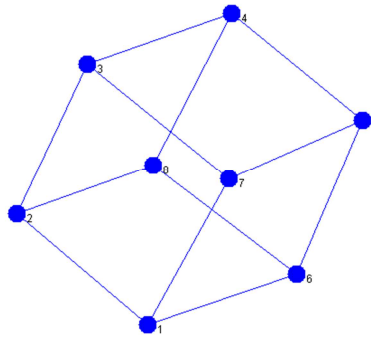


Fig. 7. Representación de un cubo en forma de grafo.

Este grafo será representado por la siguiente tabla:

	1	2	3	4	5	6	7	8
1	0	1	0	0	0	1	1	0
2	1	0	1	0	0	0	0	1
3	0	1	0	1	0	0	1	0
4	0	0	1	0	1	0	0	1
5	0	0	0	1	0	1	1	0
6	1	0	0	0	1	0	0	1
7	1	0	1	0	1	0	0	0
8	0	1	0	1	0	1	0	0

Tabla 1. Representación del grafo.

Como se puede ver la tabla representativa es simétrica, esto ocurre para cualquier tipo de grafo simple por lo que se puede solo recorrer la mitad y así reducir el procesamiento. También es innecesario tomar en cuenta a la diagonal debido a que no habrá conexión alguna y como se mencionó ya sabemos que los conjuntos con tamaño igual a uno será la cantidad de nodos que tenga el grafo.

	1	2	3	4	5	6	7	8
1	0	1	0	0	0	1	1	0
2	1	0	1	0	0	0	0	1
3	0	1	0	1	0	0	1	0
4	0	0	1	0	1	0	0	1
5	0	0	0	1	0	1	1	0
6	1	0	0	0	1	0	0	1
7	1	0	1	0	1	0	0	0
8	0	1	0	1	0	1	0	0

	2	3	4	5	6	7	8
1	1	0	0	0	1	1	0
2		1	0	0	0	0	1
3			1	0	0	1	0
4				1	0	0	1
5					1	1	0
6						0	1
7							0

Tablas 2. Seguimiento del algoritmo para la obtención de los CI.

La búsqueda de los CI empieza entonces de la parte superior de la tabla y se ejecuta recorriendo fila por fila en busca de las no adyacencias las cuales están representadas por ceros. Hasta este punto el conteo es de 9 CI (8 con tamaño 1 más el vacío). Cuando encuentra un cero se suma el contador en uno y salta a la fila del nodo donde se encontró el cero.

	2	3	4	5	6	7	8
1	1	0	0	0	1	1	0
3			1	0	0	1	0

Tablas 3. Conteo de Ceros para la obtención de los CI.

En este segundo nivel se recorre igualmente en busca de ceros sin embargo una vez se encuentre una no adyacencia en este nivel no quiere decir que junto con 1 y 3 el nodo encontrado pueda ser independiente. Entonces una vez que se encuentre un cero en la fila del segundo nivel pasará a verificar si es independiente de los nodos de los niveles anteriores.

Para verificar que el nodo en cuestión puede formar un CI con los nodos de ambos niveles de la tabla se realiza una suma de los elementos de la columna de este nodo. Si

el resultado de esta suma es igual a cero entonces es un conjunto independiente y salta a la fila que representa a este nuevo nodo y el proceso se repite buscando nodos no adyacentes y verificando que estos sean independientes de los niveles anteriores

	2	3	4	5	6	7	8
1	1	0	0	0	1	1	0
3			1	0	0	1	0
5					1	1	0

	2	3	4	5	6	7	8
1	1	0	0	0	1	1	0
3			1	0	0	1	0
5					1	1	0

Tabla 4. Verificación de los CI.

Una vez en algún nivel se haya alcanzado el final de la fila, regresará a el nivel anterior en la posición donde se había quedado y continuará la búsqueda de no adyacencias para el resto de nodos. En este caso una vez que se encontró el conjunto {1,3,5,8} se retornará al nivel tres y continuará la búsqueda hasta encontrar otro nodo no adyacente y como anteriormente verificando que este sea independiente de los niveles superiores.

	2	3	4	5	6	7	8
1	1	0	0	0	1	1	0
3			1	0	0	1	0

	2	3	4	5	6	7	8
1	1	0	0	0	1	1	0
3			1	0	0	1	0

Tabla 5. Verificación de los CI en niveles superiores.

El proceso continuará de esta forma agregando y quitando niveles de la tabla y verificando cuando exista un posible conjunto independiente para algún nivel.

A continuación se muestra parte del resto del procesamiento de la búsqueda:

	2	3	4	5	6	7	8
1	1	0	0	0	1	1	0

	2	3	4	5	6	7	8
1	1	0	0	0	1	1	0
4				1	0	0	1

	2	3	4	5	6	7	8
1	1	0	0	0	1	1	0
4				1	0	0	1

	2	3	4	5	6	7	8
1	1	0	0	0	1	1	0
5				1	1	0	

	2	3	4	5	6	7	8
1	1	0	0	0	1	1	0
4				1	0	0	1

	2	3	4	5	6	7	8
1	1	0	0	0	1	1	0
5				1	1	0	

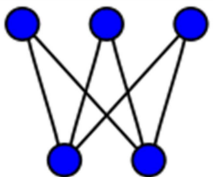
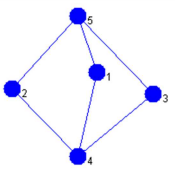
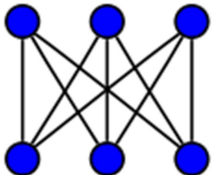
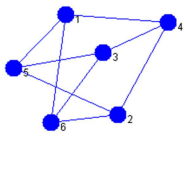
Tabla 6. Conclusión del algoritmo.

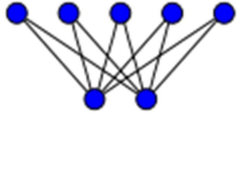
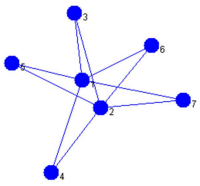
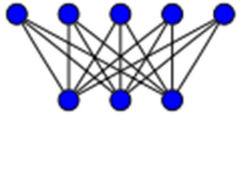
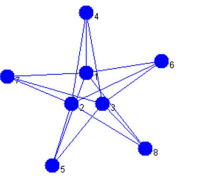
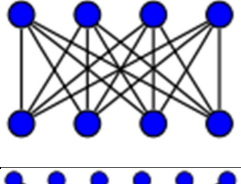
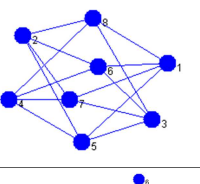
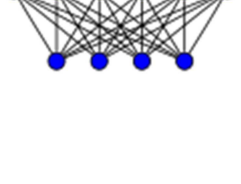
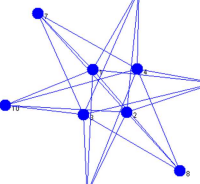
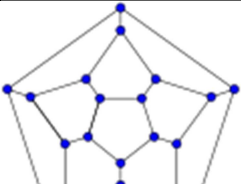
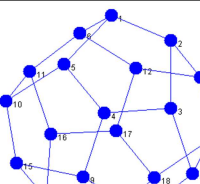
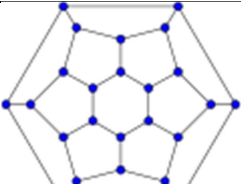
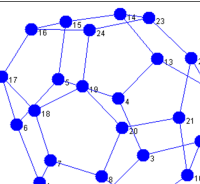
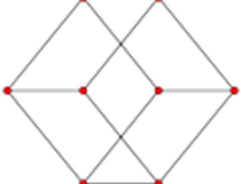
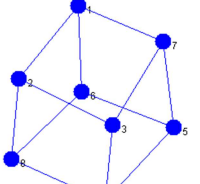
Lo que se presenta hasta aquí da como resultado todos los conjuntos independientes que contengan al nodo 1, posteriormente se continuará con la siguiente fila y se realizará el mismo procedimiento de búsqueda hasta que se llegue a la última fila.

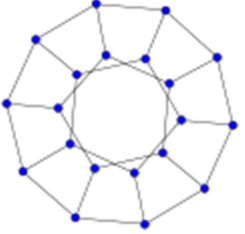
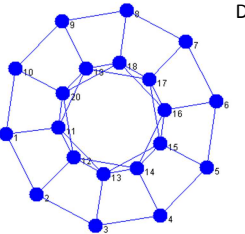
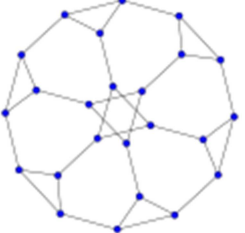
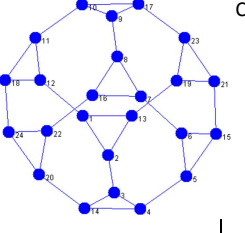
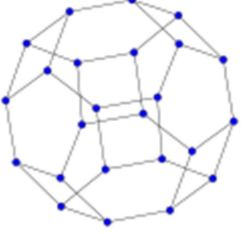
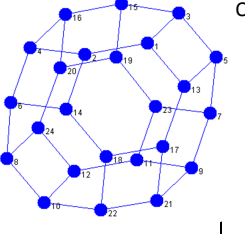
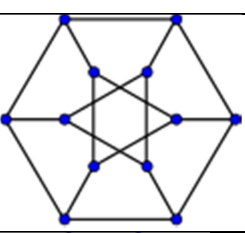
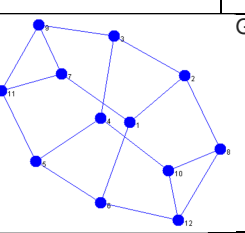
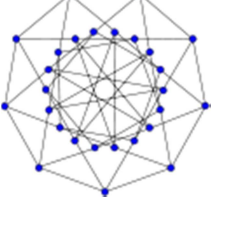
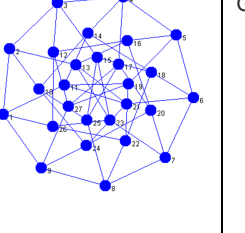
Al terminar toda la tabla con este ejemplo deberían dar 35 conjuntos independientes distribuidos de la siguiente forma: Tamaño 0=1, Tamaño 1=8, Tamaño 2=16, Tamaño 3=8, Tamaño 4=2.

3. Resultados

Como resultado de las pruebas de los CI tenemos las siguientes instancias de prueba:

Grafo	Generado por programa	Nombre	Cantidad de CI	Tiempo de ejecución
		K2,3	11 Tamaño 0=1, Tamaño 1=5, Tamaño 2=4, Tamaño 3=1	<1 milisegundo
		K3,3	15 Tamaño 0=1, Tamaño 1=6, Tamaño 2=6, Tamaño 3=2	<1 milisegundo

		K2,5	35 Tamaño 0=1,Tamaño 1=7,Tamaño 2=11,Tamaño 3=10, Tamaño 4=5, Tamaño 5=1	<1 milisegundo
		K3,5	39 Tamaño 0=1,Tamaño 1=8,Tamaño 2=13,Tamaño 3=11,Tamaño 4=5, Tamaño 5=1	<1 milisegundo
		K4,4	31 Tamaño 0=1, Tamaño 1=8, Tamaño 2=12, Tamaño 3=8, Tamaño 4=2	<1 milisegundo
		K4,6	79 Tamaño 0=1,Tamaño1=10,Tamaño 2=21,Tamaño 3=24,Tamaño 4=16,Tamaño 5=6,Tamaño 6=1	<1 milisegundo
		20-fullerene	5828 Tamaño 0=1, Tamaño 1=20, Tamaño 2=160, Tamaño 3=660,Tamaño 4=1510, Tamaño 5=1912, Tamaño 6=1240, Tamaño 7=320, Tamaño 8=5	447 ms
		24-fullerene	33327 Tamaño 0=1, Tamaño 1=24, Tamaño 2=240, Tamaño 3=1304, Tamaño 4=4212, Tamaño 5=8316, Tamaño 6=9918, Tamaño 7=6756, Tamaño 8=2292, Tamaño 9=264	18.31 segundos
		Cubo	35 Tamaño 0=1, Tamaño 1=8, Tamaño 2=16, Tamaño 3=8, Tamaño 4=2	<1 milisegundo

		Dodecaedro	3063	516 ms
			Tamaño 0=1, Tamaño 1=20, Tamaño 2=150, Tamaño 3=540, Tamaño 4=995, Tamaño 5=922, Tamaño 6=385, Tamaño 7=50	
		Cubo truncado	26441	10.80 segundos
			Tamaño 0=1, Tamaño 1=24, Tamaño 2=240, Tamaño 3=1296, Tamaño 4=4092, Tamaño 5=7632, Tamaño 6=8056, Tamaño 7=4272, Tamaño 8=828	
		Octaedro truncado	37076	21.28 segundos
			Tamaño 0=1, Tamaño 1=24, Tamaño 2=240, Tamaño 3=1304, Tamaño 4=4218, Tamaño 5=8400, Tamaño 6=10356, Tamaño 7=7824, Tamaño 8=3555, Tamaño 9=960, Tamaño 10=168, Tamaño 11=24, Tamaño 12=2	
		Grafo de Dürer	171	<1 milisegundo
			Tamaño 0=1, Tamaño 1=12, Tamaño 2=48, Tamaño 3=74, Tamaño 4=36	
		Grafo de Holt	47860	47.08 segundos
			Tamaño 0=1, Tamaño 1=27, Tamaño 2=297, Tamaño 3=1737, Tamaño 4=5913, Tamaño 5=12042, Tamaño 6=14472, Tamaño 7=9693, Tamaño 8=3213, Tamaño 9=438, Tamaño 10=27	

4. Conclusiones

Si bien este repositorio tiene por objetivo ser el contenedor de grafos ponderados también permite importar archivos con topologías complejas de grafos para el conteo de conjuntos independientes cuyo campo de aplicación se encuentra en las redes y en el análisis químico entre otros.

El proyecto realizado desde el punto de vista didáctico apoya a los docentes que imparten la materia de análisis y diseño de algoritmos, estructuras de datos y matemáticas discretas puesto que no existen herramientas donde los alumnos puedan diseñar sus grafos y posteriormente editarlos o modificarlos por lo que se considera que será muy útil para materias posteriores donde el número de nodos de un grafo sea muy muy grande como en aplicaciones de redes y cadenas poligonales en química.

La contribución que se brinda con el presente trabajo en el área de grafos permitirá abrir un espacio para la participación activa tanto de expertos, como del público en general que se dé la oportunidad de experimentar el diseño de distintas topologías de grafos, permitiendo que esta crezca y se difunda.

Por otro lado se propone generar ejercicios con html5 y css3 y así permitir que el sistema se enriquezca con mayor diversidad de tipos de ejercicios y lenguajes soportados.

Finalmente se establece como un trabajo futuro de gran importancia la implementación del proyecto para dispositivos móviles, ya que como se sabe es la tendencia en tecnología a nivel mundial

5. Referencias

- [1] S. Miranda, Modelo para la generación automática de resúmenes abstractos basado en grafos conceptuales. 2013. Instituto Politécnico Nacional. México.121 p.
- [2] Rafael López Bracho, María Paula Ortuño Sánchez, Un algoritmo paralelo para el problema del conjunto independiente, *Revista de Matemática: Teoría y Aplicaciones*. Vol. 7. No. 1-2. 2000.: 125-134 pp.

- [3] K. XU. Benchmarks with Hidden Optimum Solutions for Graph Problems Disponible en: <http://www.nlsde.buaa.edu.cn/~kexu/benchmarks/graph-benchmarks.htm>. Consulta 23 de enero de 2015.
- [4] Graph Theory, MathWorld. Disponible en: <http://mathworld.wolfram.com/topics/GraphTheory.html>. Consulta: 16 de enero de 2015.
- [5] R. Guerequeta, A. Vallecillo, Técnicas de Diseño de Algoritmos. 2da edición. 1998. Servicio de Publicaciones de la Universidad de Málaga. España.
- [6] R. Espinoza, Á. Lluch, Introducción a la teoría de grafos. 1997. Ediciones de la Universidad de Simón Bolívar. Colombia.
- [7] R. Diestel, Graph Theory. 4ª edición. 2010. Springer. Estados Unidos.
- [8] I. Kuckir, Graph drawer, Imágenes de grafos tomadas de <http://g.ivank.net/>. Consulta: 2011.
- [9] R. L. Shackelford, Computing and algorithms. 1998. Addison-Wesley.
- [10] S. Baase, V. Gelder, Algoritmos computacionales. 3ra edición. 2002. Addison-Wesley.
- [11] C. Greenhill, "The Complexity of Counting Colourings and Independent Sets in Sparse Graphs and Hypergraphs". Computational Complexity. Vol. 9. No. 1. 2000.
- [12] S. P. Vadhan, The Complexity of Counting. Undergraduate thesis. Harvard University. 1995.
- [13] M. Xiao, H. Nagamochi, An exact algorithm for maximum independent set in degree-5 graphs. Discrete Applied Mathematics. 2014.

- [14] N. Nash, S. Lelait, D. Gregg, Efficiently Implementing Maximum Independent Set Algorithms on Circle Graphs. *ACM Journal of Experimental Algorithmics*. Vol. 13. December 2008.

6. Autores

I.C.C. Juan Antares Perdomo Flandez obtuvo su título de Ingeniería en Ciencias de la Computación en la Benemérita Universidad Autónoma de Puebla, Facultad de Ciencias de la Computación

M. en C. Pedro Bello López obtuvo su título de Maestría en Ciencias de la Computación en la Benemérita Universidad Autónoma de Puebla, Facultad de Ciencias de la Computación.

M. en C. Meliza Contreras González obtuvo su título de Maestría en Ciencias de la Computación en la Benemérita Universidad Autónoma de Puebla, Facultad de Ciencias de la Computación.

Brayan Chavez Benavides es estudiante de la Ingeniería en Ciencias de la Computación por Benemérita Universidad Autónoma de Puebla, Facultad de Ciencias de la Computación, y participa en el proyecto VIEP 2015, "*Aplicaciones de combinatoria en modelos químicos y financieros*".

Agrupamiento de servicios web usando el algoritmo de colonia de hormigas

Maricela Claudia Bravo Contreras

Universidad Autónoma Metropolitana, Av. San Pablo #180, Col. Reynosa Tamaulipas, C.P. 02200,
México D.F., Teléfono: 5318 9532 ext. 149
mcbc@correo.azc.uam.mx

Román Anselmo Mora Gutiérrez

Universidad Autónoma Metropolitana, Av. San Pablo #180, Col. Reynosa Tamaulipas, C.P. 02200,
México D.F., Teléfono: 5318 9532 ext. 142
rmg@correo.azc.uam.mx

Roberto Alfonso Alcántara Ramírez

Universidad Autónoma Metropolitana, Av. San Pablo #180, Col. Reynosa Tamaulipas, C.P. 02200,
México D.F., Teléfono: 5318 9532 9040 ó 9030
raar@correo.azc.uam.mx

Resumen

Existen múltiples servicios Web publicados en servidores o repositorios de servicios Web, dichos repositorios ofrecen mecanismos de búsqueda y selección de los servicios a los solicitantes que tienen necesidades específicas de dichos servicios; sin embargo, los métodos de búsqueda que ofrecen estos repositorios están generalmente basados en coincidencia de textos o palabras clave proporcionadas por los usuarios lo que ocasiona que las solicitudes de servicios devuelvan servicios que no son relevantes con respecto al criterio de la búsqueda. Una forma de mejorar la búsqueda de servicios es mejorando la organización de los servicios mediante su agrupamiento automático basado en los criterios de selección que comúnmente buscan los solicitantes de servicios Web. En este artículo se describe un enfoque innovador para el agrupamiento

de servicios Web basado en la adaptación del algoritmo de Optimización de Colonia de Hormigas (ACO, por sus siglas en inglés). Se describen una serie de experimentos orientados a determinar estadísticamente cuál es la mejor medición de similitud.

Palabra(s) Clave(s): agrupamiento de servicios Web, optimización de colonia de hormigas, repositorios de servicios Web.

1. Introducción

En las últimas décadas ha proliferado el uso de servicios Web, esto se debe principalmente a las facilidades que ofrecen para compartir recursos de software reutilizables en ambientes distribuidos independientemente de la plataforma que se esté utilizando. La arquitectura de servicios Web consiste de una serie de protocolos, lenguajes y estándares interoperables basados en el lenguaje XML que son ampliamente utilizados en redes públicas como Internet. Para la descripción de las interfaces de programación de los servicios Web se emplea el lenguaje WSDL¹, el cual es un estándar de la W3C que permite a los proveedores de servicios publicar sus servicios y a los clientes solicitantes de servicios realizar búsquedas y utilizar la descripción del servicio seleccionado para crear un objeto de llamada remota.

Existen muchas descripciones de servicios (WSDL) publicados en repositorios y en servidores Web, la mayoría de estos repositorios ofrecen mecanismos de búsqueda de servicios basados en palabras clave, los cuales utilizan métodos sintácticos para el descubrimiento de servicios. La principal desventaja de los métodos sintácticos es que en muchas ocasiones devuelven servicios que son irrelevantes para el solicitante. Para resolver este problema existen dos enfoques de solución principales: el enriquecimiento semántico de la descripción de los servicios y el mejoramiento en la organización de los repositorios de servicios Web. En este artículo se describe una propuesta de solución relacionada con el segundo enfoque.

¹ <http://www.w3.org/TR/wsdl>

La mejora en la organización de los repositorios de servicios Web tiene como objetivo crear grupos o clases de servicios relacionados a través de sus características comunes, por lo tanto se emplean algoritmos de clasificación o agrupamiento basados en mediciones de similitud. Para el caso de los servicios Web, lo que se busca es encontrar similitudes entre las operaciones y los parámetros de entrada y salida, esto con el fin de agrupar servicios que ofrezcan operaciones con plantillas similares. De esta manera, una vez que los servicios han sido re-organizados o agrupados de acuerdo a sus similitudes se facilitará la búsqueda y selección de servicios. Cuando un solicitante de servicios requiere encontrar alguna descripción de servicio, proporcionará una especificación indicando la operación y los parámetros de entrada y salida que le interesan, con esta información el buscador del repositorio calculará las similitudes del servicio solicitado con la lista de servicios ofrecidos por el repositorio, al encontrar el más cercano devolverá la lista de servicios que se encuentran dentro del grupo al que pertenece. El número de servicios devueltos puede acotarse mediante un valor de referencia que especifique el grado de similitud deseado.

En este artículo se describe un algoritmo de agrupamiento basado en el algoritmo de Optimización de Colonia de Hormigas (ACO, por sus siglas en inglés). El agrupamiento tiene como objetivo crear grupos de servicios Web similares de acuerdo a criterios específicos. El objetivo de tener grupos es ofrecer acceso rápido y eficiente a los servicios [6]. ACO fue propuesto por primera vez por en 1992 by Marco Dorigo et al. [1]. El algoritmo ACO es una meta-heurística que resuelve problemas de optimización, consiste de un conjunto de agentes de software llamados "hormigas" que cooperan para resolver problemas de optimización [7].

El algoritmo ACO toma como entrada una colección de servicios Web y genera como resultado una serie de grupos o clases. El algoritmo ACO fue optimizado para minimizar la diferencia entre servicios dentro de cada grupo y para maximizar la diferencia entre los diferentes grupos.

2. Diseño de la solución

El objetivo de este proyecto de investigación es mejorar la organización de los repositorios de servicios Web mediante el agrupamiento automatizado de los servicios, en particular se propone la adaptación de un algoritmo biológicamente inspirado que genere un conjunto de grupos, cada uno conteniendo un conjunto de servicios estrechamente relacionados. Para lograr el agrupamiento se requiere en primera instancia el cálculo de mediciones de similitud entre servicios Web, específicamente se mide la similitud entre las características relevantes descritas en los servicios Web como son: los nombres de las operaciones, los parámetros de entrada y de salida, donde cada uno de éstos consiste de un conjunto de parámetros descritos con su nombre y tipo de dato. El algoritmo biológicamente inspirado que se adaptó fue el ACO, el cual se optimizó buscando maximizar la similitud de servicios al interior del grupo, y maximizar la diferencia entre los diferentes grupos encontrados por el algoritmo. En esta sección se describe la arquitectura de la solución global que fue implementada, la cual consiste de las siguientes tres fases: extracción y procesamiento de los datos de las descripciones de los servicios, cálculo de las mediciones de similitud entre los distintos elementos descritos en todas las descripciones de servicios, y el agrupamiento de los servicios Web. La Figura 1 muestra la arquitectura global de la solución implementada.

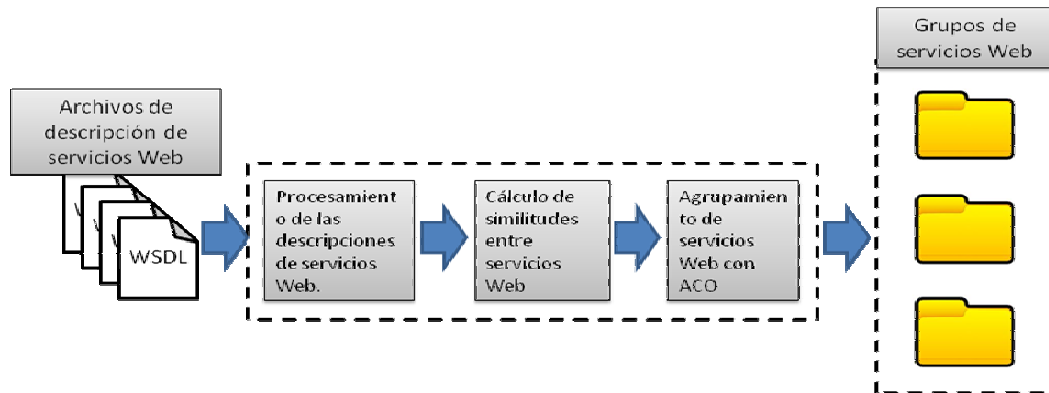


Figura 1. Arquitectura de la solución implementada para el agrupamiento de servicios Web mediante el algoritmo ACO.

3. Procesamiento de las descripciones de servicios Web

Un servicio Web es la interface de un componente de software reutilizable que es descrito mediante el lenguaje estándar WSDL, es publicado en repositorios de servicios Web o en cualquier servidor Web y es descubrible para su invocación remota. Existen varios repositorios de servicios Web públicos, por ejemplo:

- a) El directorio de Servicios Web SOAP soportado por Membrane², el cual es un registro público de servicios no basado en UDDI, este registro ofrece mecanismos de invocación remota de servicios mediante un cliente SOAP y la verificación constante de la disponibilidad de los servicios.
- b) El repositorio de servicios Web Visual Web Service³, el cual permite a los usuarios visualizar la interface de cualquier servicio listado en el repositorio a través de la URL del WSDL.
- c) El repositorio de servicios Web XMethods⁴ publica una lista de servicios Web ofrecidos por múltiples proveedores. Este repositorio no ofrece monitoreo en tiempo real de los puntos de acceso a los servicios ni de su funcionalidad. Sin embargo, si verifica que los archivos WSDL de cada servicio se mantengan accesibles y técnicamente viables.
- d) ProgrammableWeb⁵ es un directorio de Interfaces de Programación de Aplicaciones (APIs) basados en Internet, el cual realiza búsquedas y descubrimiento de APIs para uso en la Web y aplicaciones móviles.

El primer paso para el procesamiento de las descripciones de servicios Web es descargar descripciones de servicios (archivos WSDL), abrir los archivos y extraer los datos de las operaciones de los servicios y de los parámetros de entrada y salida. Para

² <http://www.service-repository.com/>

³ <http://www.visualwebservice.com>

⁴ <http://www.xmethods.com>

⁵ <http://www.programmableweb.com>

extraer la información del servicio el programa debe localizar la etiqueta que corresponde con el nombre de la operación. Específicamente, los archivos WSDL describen la interface de programación de un servicio mediante las siguientes etiquetas: *<definitions>* es la etiqueta principal de toda descripción del servicio, esta etiqueta se divide en una sección abstracta y una sección concreta. La sección abstracta se utiliza para definir los tipos de puertos mediante la etiqueta *<portType>*, la cual define un conjunto de operaciones, los cuales a su vez describen la entrada y la salida de cada operación. Con el propósito de calcular la similitud semántica de todas las operaciones de los servicios se extraen los nombres de las operaciones y los nombres de los mensajes de entrada y salida de cada operación. La Fig. 2 muestra la estructura general de la descripción de servicios Web con WSDL. La Fig. 3 muestra un extracto de descripción del servicio <http://wsf.cdyne.com/WeatherWS/Weather.asmx?WSDL> descargado del repositorio de servicios Visual Web Service.

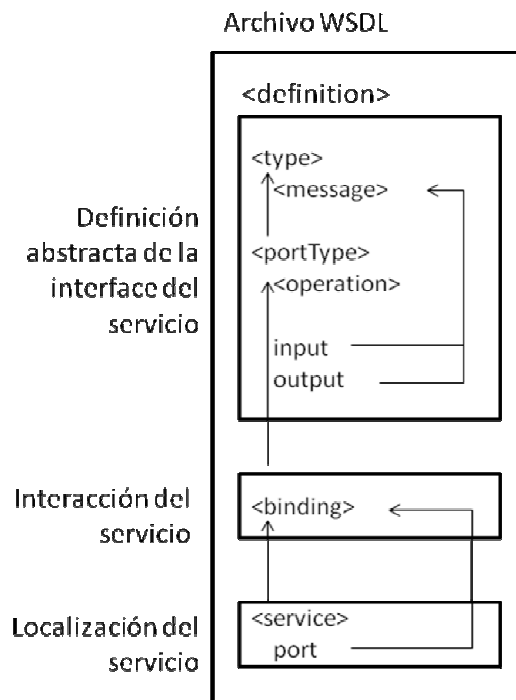


Figura 2. Etiquetas principales de la descripción de servicios con WSDL

```
<wsdl:portType name="WeatherHttpGet">
  <wsdl:operation name="GetWeatherInformation">
    <wsdl:documentation>Gets Information for each WeatherID
  </wsdl:documentation>
  <wsdl:input message="tns:GetWeatherInformationHttpGetIn"/>
  <wsdl:output message="tns:GetWeatherInformationHttpGetOut"/>
</wsdl:operation>
```

Figura 3. Extracto de la descripción de un servicio con WSDL

4. Cálculo de las mediciones de similitud entre servicios Web

Un requerimiento importante del algoritmo de agrupamiento es contar con matrices de similitud entre todos los servicios Web. Dado que cada servicio Web describe un conjunto de operaciones, la comparación se debe realizar entre todas las operaciones de la colección de servicios que se esté empleando para el agrupamiento. Normalmente los nombres de las operaciones son textos entre una y siete palabras de longitud. Estos nombres se escriben usando formatos distintos y en muchas de las ocasiones no contienen información relevante. Por lo tanto para obtener la similitud entre todas las operaciones es necesario realizar una fase de pre-procesamiento. Durante la fase de pre-procesamiento lo que se busca es eliminar o reducir los elementos no significativos de los nombres de las operaciones, para lograrlo se obtienen las unidades léxicas que son parte del nombre. Primero se realiza la normalización del texto transformando los nombres a una forma canónica única, por ejemplo: *getFlightPrice*. Entonces se extraen las unidades léxicas del nombre de la operación, para este caso es [*get*] [*Flight*] [*Price*]. Finalmente, se realiza la discriminación de varias palabras que no contienen significados importantes para los nombres de las operaciones, las cuales son: *http*, *for*, *return*, *result*, *soap*. Todas estas palabras son eliminadas previo al cálculo de similitudes semánticas entre los nombres de todas las operaciones.

Para realizar el cálculo de la similitud semántica entre todos los nombres de operaciones se emplearon cinco mediciones de similitud basadas en Wordnet⁶. Las mediciones de similitud que se emplearon son las siguientes:

- a) La medida de similitud semántica de Wu y Palmer [2] considera las profundidades de dos conjuntos de sinónimos en la taxonomía de WordNet, así como la profundidad del elemento común más bajo en la taxonomía.
- b) La medida de similitud propuesta por Lin [3], se basa en una definición de similitud universal en el ámbito de teoría de la información que no es directamente establecida como en definiciones anteriores, más bien se deriva de un conjunto de supuestos.
- c) La medida de similitud de Path [4] se basa en la longitud de la ruta más corta entre dos conjuntos de sinónimos considerando solamente relaciones del tipo "es-un" y escala la longitud de la ruta por la profundidad total de la taxonomía.
- d) La medida de similitud de Lesk [5] propone que el grado de similitud entre dos palabras es proporcional en la medida de superposición de las definiciones del diccionario.

Estas cuatro mediciones de similitud se seleccionaron porque los resultados de las cuatro están normalizados entre 0 y 1, lo que facilita hacer un análisis comparativo entre sus resultados, así como calcular el promedio de todas.

El resultado de la etapa del cálculo de similitudes es un conjunto de matrices con las distancias de todas las operaciones comparadas por pares. En una etapa posterior, durante la calibración del algoritmo de agrupamiento supervisado, se hace un análisis estadístico para determinar cuál de todas las mediciones devuelve mejores resultados de agrupamiento.

⁶ WordNet es un diccionario de palabras y sinónimos en inglés. Organiza los conceptos en conjuntos de sinónimos llamados *synsets*, proporcionando definiciones cortas y generales, y almacena relaciones semánticas entre los conjuntos de sinónimos.

5. Agrupamiento de servicios Web mediante ACO

El algoritmo de agrupamiento que se diseñó e implementó es considerado un híbrido ya que incorpora k-medias y métodos de consenso para determinar el número de grupos (o clases) y que operación pertenece a qué grupo (o clase). En este algoritmo híbrido, el comportamiento de las hormigas es afectado por la presencia y concentración de dos feromonas, las cuales se emplean para definir el número de grupos y los centroides de los grupos.

En este método de agrupamiento híbrido el algoritmo de consenso se incorpora como un elemento de decisión para determinar el número de grupos a generar, el cual se asocia con la primera feromona. Inicialmente, cada hormiga decide construir k grupos, donde k es un número aleatorio. Después la primera feromona es actualizada basada en los resultados que obtengan la mejor solución en cada iteración.

Una variante del algoritmo k-medias se asocia con la segunda feromona, la cual es usada por las hormigas para decidir qué operación debería ser el centroide basada en información previa y las matrices de distancias, cada hormiga decide colocar cada operación en un grupo. La probabilidad de que cada operación sea seleccionada como centroide se actualiza en cada iteración.

Como entrada del algoritmo ACO adaptado se emplean las matrices generadas durante la fase de cálculo de similitudes semánticas. El algoritmo ACO procesa estas matrices iterativamente para encontrar la mejor solución por aproximaciones sucesivas, donde cada hormiga virtual ofrece una solución posible para el agrupamiento. La Fig. 4 muestra el comportamiento general de las hormigas artificiales mientras construyen una solución colectiva.

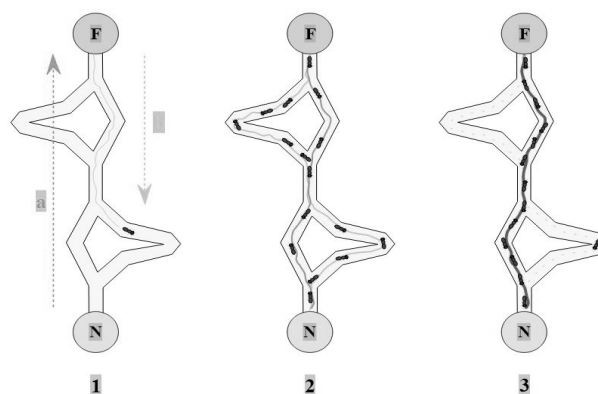


Figura 4. Algoritmo ACO que muestra el comportamiento de las hormigas artificiales durante la construcción de una solución.

El primer paso del algoritmo ACO adaptado es cargar todos los componentes y parámetros de configuración que afectarán el comportamiento de las hormigas artificiales, por ejemplo hay parámetros que permiten ajustar el costo de las trazas de feromonas y la información heurística. El siguiente paso es leer las matrices de similitud para generar un arreglo de distancias medias y la inicialización del conjunto de soluciones, en este caso en particular, el conjunto de solución se integra con todas las hormigas artificiales que ejecutarán el algoritmo.

Cada hormiga artificial construye una solución concurrentemente e independientemente utilizando la información de los parámetros de configuración. Esta solución incorpora dos elementos de información: la varianza y la experiencia adquirida al encontrar la mejor solución. La memoria de la experiencia adquirida es representada mediante matrices. Una matriz de feromonas es utilizada para localizar un servicio dado en un grupo, y una segunda matriz de feromonas es utilizada para correlacionar el número de grupos formados.

Estas matrices representan la memoria de las trazas de feromona producida por las hormigas artificiales durante la construcción de una solución en cada iteración. Cuando todas las hormigas han construido sus soluciones las trazas de feromonas son

actualizadas. Los valores de los rastros de feromonas en las matrices se incrementan por la operación de depósito y se decrementa por la operación de evaporación.

El depósito de feromona se realiza actualizando las matrices que son utilizadas para construir una solución, aumentando la probabilidad de ser seleccionada en el futuro cercano para intensificar la búsqueda en regiones cercanas a la solución. De manera complementaria, la evaporación de feromonas evita la convergencia prematura a soluciones no óptimas, promoviendo la exploración sobre el espacio de búsqueda utilizando información heurística. La información heurística se basa en funciones que minimizan la varianza de la distancia entre grupos y el número de operaciones contenidos en cada grupo.

En cada iteración, se obtiene la mejor hormiga de la colonia, esta hormiga es la que produjo la mejor solución, con la solución de esta hormiga, las matrices de feromonas se actualizan. La mejor hormiga se obtiene ordenando todas las hormigas de acuerdo con su costo y sus soluciones construidas; su contribución es pesada con la actualización del rastro de feromona de acuerdo a su posición [8]. Una vez que este proceso iterativo termina, la mejor solución y la mejor hormiga se devuelve, y sus soluciones son evaluadas.

La Figura 5 muestra el diagrama de flujo del algoritmo ACO adaptado.

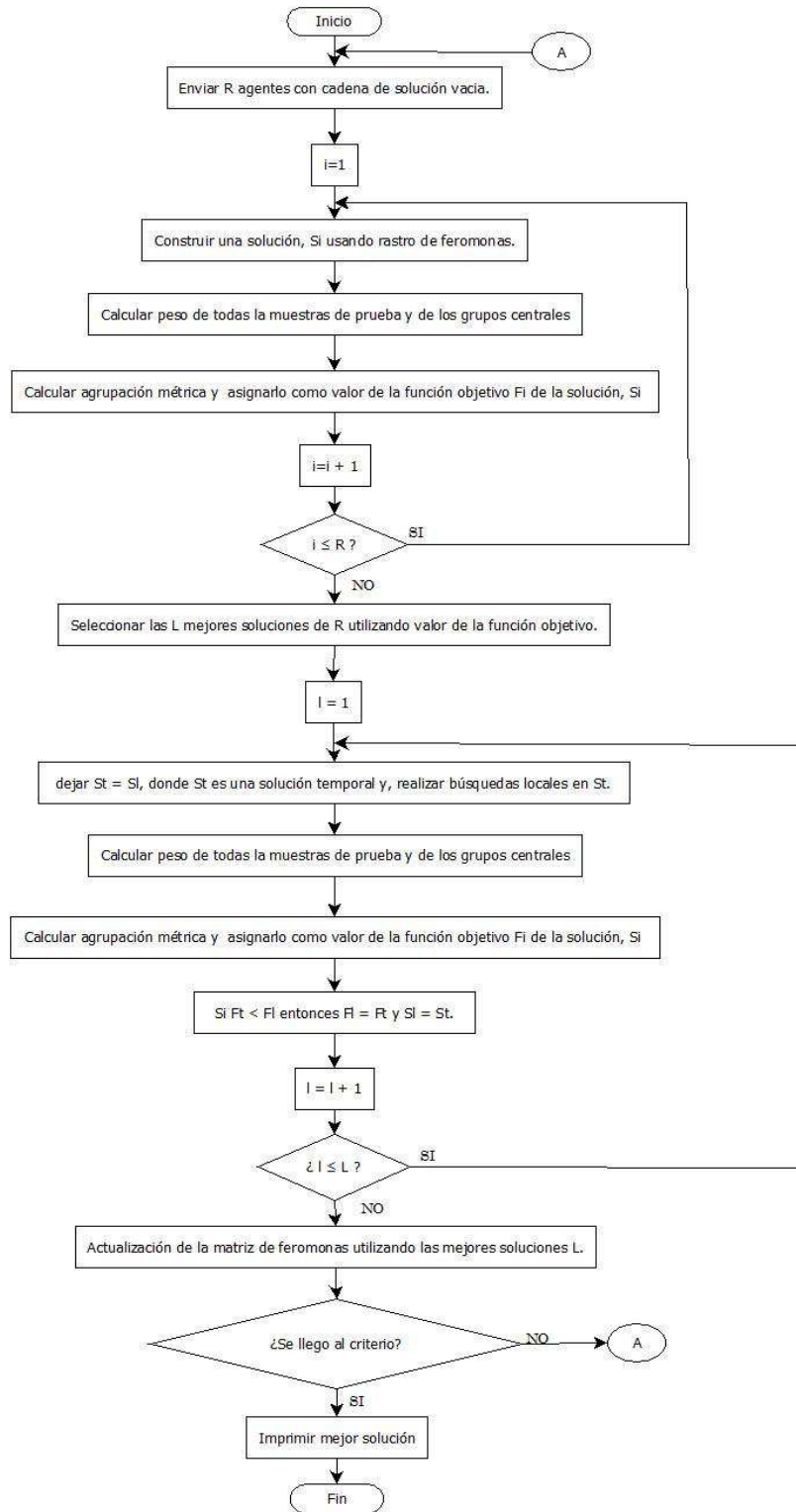


Figura 5. Algoritmo ACO adaptado.

6. Experimentación

Para realizar la experimentación con el algoritmo ACO adaptado se utilizó la colección de servicios Web Owls-TC⁷. Los servicios de esta colección se emplean como referente para evaluar algoritmos de clasificación, agrupamiento y conciliación. Esta colección contiene más de 570 descripciones de servicios Web, los cuales están clasificados por humanos en seis dominios de aplicación, de esta forma cualquier algoritmo de agrupamiento o clasificación se puede evaluar comparando los resultados obtenidos con las clasificaciones manuales de la colección. Todos los servicios de esta colección fueron originalmente recuperados de repositorios de servicios Web públicos y de manera semiautomática fueron transformados de WSDL a OWL-S.

El proceso de experimentación comienza ejecutando el programa que lee y procesa cada una de las descripciones de servicios Web de la colección. Por cada archivo de descripción de servicios se extrae de manera automatizada la información relevante de la descripción, específicamente se recuperan los nombres de las operaciones y los parámetros de entrada y salida de cada operación. Con los datos extraídos de todos los servicios se ejecuta el cálculo de las similitudes entre las operaciones, como resultado de estos cálculos se obtienen cuatro matrices de similitud semántica, una por cada una de las medidas de Wu y Palmer [2], Lin [3], Path [4] y Lesk [5], las cuales fueron descritas en la Sección 3. El algoritmo ACO se ejecutó 20 veces con cada una de estas matrices.

La Tabla 1 muestra el número de ejecuciones de cada medición que devolvieron más de seis grupos, es decir, las ejecuciones que se acercaron al resultado deseable de seis clases.

⁷ <http://projects.semwebcentral.org/projects/owls-tc/>

Matriz de similitud	Número de ejecuciones	Ejecuciones que devolvieron más de seis grupos
Promedio de todas las mediciones	20	5
Lin	20	0
Lesk	20	4
Wu-Palmer	20	2
Path	20	3

Tabla 1. Resultados de la experimentación con las mediciones de similitud.

7. Evaluación

El análisis Wilcoxon [9] es una prueba de hipótesis estadística no paramétrica utilizada para comparar mediciones repetidas en una muestra simple para determinar si el promedio de su población difiere. Los datos comparados corresponden al número de grupos producidos por cada medición de similitud semántica. La Tabla 2 muestra los resultados del análisis de Wilcoxon. Esta prueba se utilizó para determinar estadísticamente que todas las mediciones son diferentes.

Datos		n	P	Cal. W	Crit. W
PromSimilarity	LeskSimilarity	17	$P < 0.001$	2.5	34
PromSimilarity	LinSimilarity	20	$P < 0.001$	1.5	166
PromSimilarity	WuPalmerSimilarity	18	$P > 0.2$	70.5	123
PromSimilarity	PathSimilarity	18	$0.005 < P < 0.01$	27	130
LeskSimilarity	LinSimilarity	10	$0.10 < P < 0.20$	13	69
LeskSimilarity	WuPalmerSimilarity	18	$P < 0.001$	8.5	123
LeskSimilarity	PathSimilarity	19	$P < 0.001$	0	152
LinSimilarity	WuPalmerSimilarity	20	$P < 0.001$	0	166
LinSimilarity	PathSimilarity	20	$P < 0.001$	0	166
WuPalmerSimilarity	PathSimilarity	17	$0.02 < P < 0.05$	29	104

Tabla 2. Resultados del análisis de Wilcoxon realizado a todos los pares de mediciones incluyendo a la medición que representa el promedio de todas.

El resultado del análisis de Wilcoxon muestra que las comparaciones de mediciones son diferentes, ninguna de las mediciones es igual a la otra o devuelve el mismo resultado. Por lo tanto, dado que todas las mediciones son diferentes y considerando que el promedio de todas es diferente a la las demás y que es la que genera en el mayor número de ejecuciones seis grupos (ver Tabla 1), se seleccionó el promedio de todas las mediciones para la agrupación de los servicios.

8. Trabajos relacionados

El tema de agrupamiento y clasificación de servicios Web ha sido estudiado ampliamente desde diferentes perspectivas que abarcan desde enfoques estadísticos, estocásticos y sus variantes. Asimismo, se ha abordado con enfoques novedosos en el

ámbito de los servicios web semánticos mediante ontologías y motores de inferencia. Sin embargo, poco se ha hecho para abordar el problema empleando algoritmos híbridos, meta-heurísticas y biológicamente inspirados. En esta sección se presenta una revisión de los trabajos relacionados con el tema de clasificación y agrupamiento de servicios Web, así como algunos trabajos que reportan el empleo de algoritmos biológicamente inspirados aplicados en servicios Web.

En 2004 Dong [10] presentó un enfoque de agrupamiento para realizar la búsqueda de servicios Web. Esta búsqueda consistió en dos etapas principales: el usuario proporcionaba palabras clave en un buscador de servicios, con los servicios devueltos por el buscador, el sistema de agrupamiento extraía los conceptos semánticos de las descripciones en lenguaje natural contenidas en las descripciones de los servicios Web. Con ayuda de la co-ocurrencia de términos en los nombres de los parámetros de entrada y salida y en los nombres de las operaciones, el cálculo de similitudes se realizó para emplear el algoritmo de agrupamiento aglomerativo y clasificar los términos en conceptos significativos. Mediante la combinación de las palabras clave originales y los conceptos extraídos de las descripciones de los servicios la similitud de dos servicios se realiza al nivel de conceptos. Desde el punto de vista del empleo de conceptos, este enfoque es similar al que se describe en este artículo, sin embargo, el algoritmo de agrupamiento que se empleó difiere significativamente.

En 2007 Arbramowicz et. al [11] propuso una arquitectura para el filtrado y agrupamiento de servicios Web. Este enfoque se considera dentro del tema de investigación de los servicios Web semánticos, ya que el autor empleó servicios descritos con el lenguaje OWL-S (Web Ontology Language for Web Services, por sus siglas en inglés). El filtrado de servicios se basa en los perfiles que representan a los usuarios y la información de la aplicación. Para mejorar el filtrado de servicios, se propone el empleo de un método de agrupamiento. El propósito de este enfoque era apoyar el proceso de conciliación entre servicios, ahorrando tiempo de ejecución y mejorando el refinamiento de los datos almacenados.

9. Conclusiones

El análisis de los resultados de Wilcoxon muestra que la matriz de similitud que obtiene las mejores clasificaciones es la que se calcula como el promedio de las cuatro mediciones, esto es debido a que la mayoría de las ejecuciones de esta medición obtuvieron el número correcto de grupos.

Las meta-heurísticas representan un aliado poderoso para resolver problemas de optimización en diferentes dominios de aplicación. En este trabajo se presentó una adaptación al algoritmo ACO para obtener un mejor enfoque de agrupamiento de servicios. El algoritmo ACO ha mostrado buenos resultados para el agrupamiento de servicios, más modificaciones son posibles, por ejemplo la medición de similitudes semánticas, así como incorporar más información de la descripción de los servicios y los tipos de datos. Como trabajo a futuro se implementarán otros algoritmos bio-inspirados para la clasificación y agrupamiento de servicios Web.

10. Referencias

- [1] M. Dorigo, M. Birattari, T. Stutzle, "Ant colony optimization". *Computational Intelligence Magazine*. Vol. 1. No. 4. 2006. 28-39 pp.
- [2] Z. Wu, M. Palmer, "Verbs semantics and lexical selection". *Proceedings of the 32nd annual meeting on Association for Computational Linguistics*. Association for Computational Linguistics. 1994. 133-138 pp.
- [3] D. Lin, "An information-theoretic definition of similarity." *ICML*. Vol. 98. 1998. 296-304 pp.
- [4] C. Leacock, M. Chodorow, "Combining local context and WordNet similarity for word sense identification". *WordNet: An electronic lexical database*. Vol 49. No. 2. 1998. 265-283 pp.

- [5] S. Banerjee, T. Pedersen, "An adapted Lesk algorithm for word sense disambiguation using WordNet". Computational linguistics and intelligent text processing. Springer Berlin Heidelberg. 2002. 136-145 pp.
- [6] C. Platzner, F. Rosenberg, S. Dustdar, "Web service clustering using multidimensional angles as proximity measures". ACM Transactions on Internet Technology (TOIT). Vol. 9. No. 3. 2009. 11 pp.
- [7] T. Ghafarian, M. Kahani, Semantic web service composition based on ant colony optimization method. In Networked Digital Technologies. 2009. 171-176 pp.
- [8] M. Dorigo, M. Birattari, Ant colony optimization. In Encyclopedia of Machine Learning. 2010. 36-39 pp.
- [9] Concepts and applications of inferential statistics. R. Lowry. 2014.
- [10] X. Dong, A. Halevy, J. Madhavan, E. Nemes and J. Zhang, Similarity Search for Web services. In Proceedings of the 30th VLDB Conference. Toronto, Canada, 2004.
- [11] W. Abramowicz, K. Haniewicz, M. Kaczmarek, D. Zyskowski, Architecture for Web services filtering and clustering. In Internet and Web Applications and Services. 2007. 18-18 pp.

11. Autores

Dra. Maricela Claudia Bravo Contreras obtuvo el grado de doctor en Ciencias de la Computación en el 2006 por el Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET). Desde mayo de 2011 se encuentra trabajando como Profesora Investigadora en el Departamento de Sistemas de la UAM Azcapotzalco. Actualmente es Jefa del Área de Investigación en Sistemas de Información Inteligentes (www.aisii.azc.uam.mx). Sus principales áreas de interés son: composición automatizada y optimización de servicios Web públicos, diseño y desarrollo de Ontologías aplicadas en la solución de problemas de ingeniería; diseño e implementación de aplicaciones de cómputo móvil, cómputo ubicuo y sistemas

sensibles al contexto; estudio de sistemas distribuidos adaptativos basados en agentes inteligentes.

Dr. Román Anselmo Gutiérrez obtuvo el grado de Doctor en Investigación de Operaciones en la Universidad Nacional Autónoma de México en 2014. Actualmente es profesor investigador del Departamento de Sistemas de la UAM Azcapotzalco. Sus principales áreas de interés son: optimización, heurísticas y meta-heurísticas, y sistemas de múltiples agentes.

M.C. Roberto A. Alcántara Ramírez obtuvo el grado de Maestro en Ciencias en Ingeniería Mecatrónica por el T.E.S.E en 2008. Es Ingeniero en Electrónica, por la Universidad Autónoma Metropolitana, unidad Azcapotzalco. Desde 1987 se desempeña como Profesor Investigador de tiempo completo en el Departamento de Electrónica de la UAM-Azcapotzalco. Desde 1998 es miembro del Área de Investigación de Control de Procesos, donde desarrolla trabajos de Investigación en las áreas de Instrumentación, Control de Procesos y Electrónica de Potencia. De 2009 a 2013 fungió como Coordinador de la Licenciatura en Ingeniería Electrónica. Actualmente se desempeña como Jefe del Departamento de Electrónica.

RespirAtorio, una aplicación de realidad aumentada para niños

María Auxilio Medina Nieto

Universidad Politécnica de Puebla, Tercer Carril del Ejido Serrano S/N,
Juan C. Bonilla, Puebla, México. Teléfono: (+52) 222-774-66-64
maria.medina@uppuebla.edu.mx

César Rafael Chío Plata

Universidad Politécnica de Puebla, Tercer Carril del Ejido Serrano S/N,
Juan C. Bonilla, Puebla, México. Teléfono: (+52) 222-774-66-64
cchio.cop@gmail.com

Brenda Susana Ponce Valencia

Universidad Politécnica de Puebla, Tercer Carril del Ejido Serrano S/N,
Juan C. Bonilla, Puebla, México. Teléfono: (+52) 222-774-66-64
bre_sus@hotmail.com

Antonio Benitez Ruiz

Universidad Politécnica de Puebla, Tercer Carril del Ejido Serrano S/N,
Juan C. Bonilla, Puebla, México. Teléfono: (+52) 222-774-66-64
antonio.benitez@uppuebla.edu.mx

Jorge de la Calleja

Universidad Politécnica de Puebla, Tercer Carril del Ejido Serrano S/N,
Juan C. Bonilla, Puebla, México. Teléfono: (+52) 222-774-66-64
jorgedelacalleja@uppuebla.edu.mx

Eduardo López Domínguez

Laboratorio Nacional de Informática Aplicada A.C., Enrique Rébsamen 80, Col. Centro
Xalapa Enríquez, Veracruz, México. Teléfono: (+52) 228-841-61-00

Resumen

Este documento presenta una aplicación de realidad aumentada llamada *RespirAtorio*, diseñada para que niños de cuarto y quinto grado de primaria conozcan o reconozcan algunos de los órganos del sistema respiratorio. La aplicación pretende ser una alternativa de aprendizaje, se ejecuta en dispositivos móviles con sistema operativo Android. El documento describe los pasos generales del desarrollo y lista las herramientas de software utilizadas, con el propósito de que pueda servir como una guía introductoria para otros desarrolladores. El documento reporta la aplicación de técnicas como grupos de enfoque, cuestionarios y listas de verificación para evaluar la usabilidad de la aplicación propuesta.

Palabra(s) clave(s): aplicación para dispositivos móviles, realidad aumentada, recurso didáctico.

1. Introducción

El Programa de Inclusión y Alfabetización digital de la Secretaría de Educación Pública (SEP), “es un programa federal que entrega de forma gratuita tabletas electrónicas a los alumnos de quinto grado de escuelas públicas de educación primaria para su uso personal y el de sus familias. Consiste en dotar de estos recursos tecnológicos a los niños para mejorar sus condiciones de estudio, para reducir las brechas digitales y sociales de su familia y las de su comunidad, así como para fortalecer y actualizar las formas de enseñanza de los maestros [1]”.

Desde el punto de vista de los autores, la puesta en práctica de dicho programa representa para las instituciones de educación superior (IES) en general, y en particular para la Universidad Politécnica de Puebla (UPPue) y el Laboratorio Nacional de Informática Aplicada A.C. (LANIA), un área de oportunidad para desarrollar recursos didácticos que respondan a requerimientos y necesidades educativas de los alumnos, y simultáneamente, apoyar las formas de enseñanza de los profesores de nivel básico.

Este documento presenta a *RespirAtorio*, una aplicación de realidad aumentada (RA) diseñada para que niños de cuarto y quinto grado de primaria conozcan o reconozcan algunos de los órganos del sistema respiratorio. La selección de esta temática responde a una revisión de los contenidos del programa de Ciencias Naturales de cuarto grado de primaria [2], pretende ser una contribución modesta para fomentar el conocimiento del cuerpo humano y concientizar en su cuidado.

RespirAtorio se ejecuta en dispositivos móviles con sistema operativo Android versión 4.0, lo que de alguna manera plantea la posibilidad de que pueda ser descargada y utilizada por un gran número de usuarios⁸.

El documento está organizado como sigue: La sección 2 contiene las características y componentes de un sistema de RA. La sección 3 describe trabajos relacionados. La sección 4 presenta la aplicación. Los resultados preliminares de evaluación de usabilidad se incluyen en la sección 5. Finalmente, la sección 6 contiene las conclusiones y el trabajo a futuro.

2. Componentes de una aplicación de RA

En [3] se encuentra la definición de realidad aumentada (RA) siguiente: “es un entorno que incluye elementos de realidad virtual y elementos del mundo real”. La RA se refiere también a la visualización en tiempo real de objetos en 3D en una entrada de video. En este documento, una aplicación de RA hace referencia a un sistema de software que procesa contenidos y permite al usuario ver o interactuar con un entorno físico que incorpora información digital relevante del contexto en el que se encuentra el usuario. La Figura 1 muestra un escenario general para una aplicación de RA.

⁸ Favor de contactar a los autores para obtener el archivo ejecutable de la aplicación.

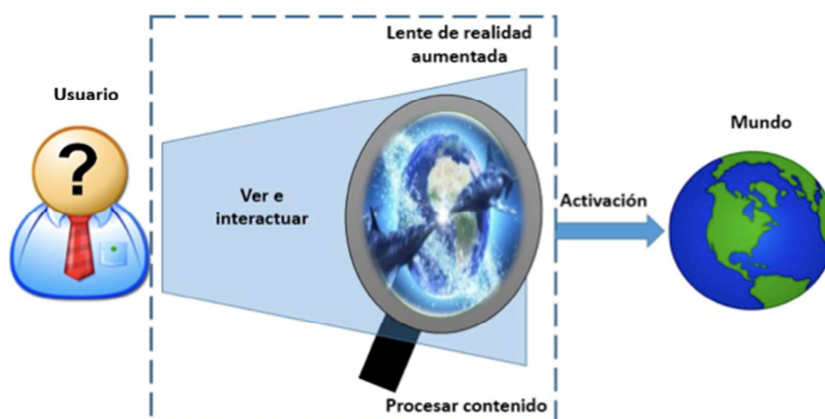


Fig. 1. Escenario de una aplicación de RA.

La RA realiza las capacidades de los sentidos humanos mediante un dispositivo y ofrece nuevas posibilidades de experiencias de usuario interactivas; uno de sus propósitos es incrementar la atención hacia el contenido digital que se presenta. Las aplicaciones se ejecutan en dispositivos como teléfonos inteligentes o cámaras web, cubren temáticas de áreas diversas como entretenimiento, industria, milicia, comercio, medicina, diseño y educación. Por ejemplo, en medicina se emplean para la visualización de órganos y procedimientos quirúrgicos (teleoperaciones), así como en la simulación de sistemas fisiológicos; en proyectos educativos, ofrece una forma diferente de aprendizaje, existe un rango amplio de aplicaciones que van desde el cálculo de la superficie de polígonos, hasta el soporte para tareas de mantenimiento industrial.

De acuerdo a [4], los componentes básicos de una aplicación de RA son: 1) una cámara que captura el entorno, 2) un software que integra los elementos del entorno con información digital, 3) un activador que transfiere los efectos a 4) una pantalla. Los activadores pueden ser códigos QR, marcadores, imágenes o incluso un GPS. Además de estos componentes, según [5], en una aplicación de RA pueden integrarse factores como inmersión, interacción e imaginación.

De acuerdo a la clasificación de las aplicaciones de RA propuesta por [6], *RespirAtorio* es de nivel 1, dado que emplea marcadores para situar la información digital que se

sobrepone al entorno físico. La sección siguiente describe trabajos relevantes relacionados con la aplicación propuesta.

3. Trabajos relacionados

En la literatura pueden encontrarse diversos documentos sobre aplicaciones de RA desarrolladas con herramientas tecnológicas libres (*open source*). En el contexto de este documento, son de interés aquellas que forman parte de proyectos relacionados con educación. Las aplicaciones de RA se han integrado en diferentes materiales y recursos didácticos. Por ejemplo, en el caso de los libros, generalmente éstos incluyen códigos que son procesados por un software instalado en los dispositivos móviles de los lectores que les permite ver elementos adicionales al contenido. Por ejemplo, la Figura 2 muestra un ejemplo de la visualización de un tiburón en 3D en una tableta, la cual se diseñó como una aplicación educativa para los lectores del boletín virtual “Verbum” de la Universidad Peruana Simón Bolívar [7].



Fig. 2. Escenario de una aplicación educativa de RA [7].

El desarrollo de recursos educativos se ha llevado a cabo también por empresas como SSAT y Smartasses, las cuales promueven el uso de LearnAR, una herramienta interactiva de apoyo a la investigación y al aprendizaje [8]. La Figura 3 muestra

escenarios de aplicación considerados en LearnAR; el acceso a los contenidos se realiza a través de una cámara web.

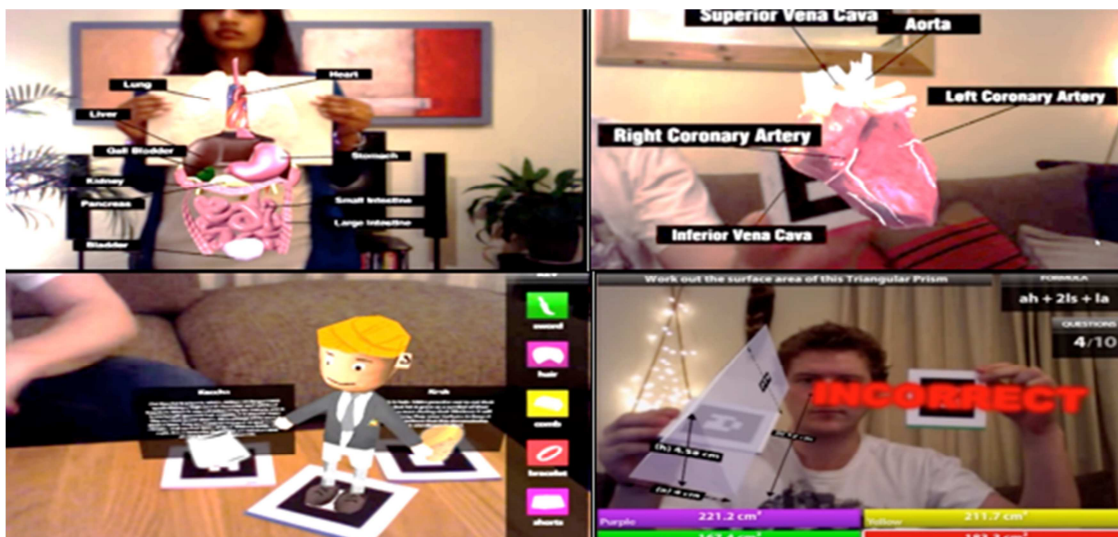


Fig. 3. Ejemplo de escenarios de LearnAR [8].

Las temáticas en LearnAR corresponden a matemáticas, ciencias, anatomía, física, geometría, educación física e idiomas. En anatomía, la aplicación muestra los huesos del cráneo, la vértebra atlas y la vértebra axis con una animación en 3D que permite al usuario hacer rotaciones y acercamientos.

En [9] se describe una aplicación para usuarios de comunidades médicas llamada AICoH 3D, (siglas de “atlas interactivo del cuerpo humano”), la cual despliega escenas de RA utilizando modelos en 3D de anatomía humana. El atlas incluye modelos del sistema oseo, nervioso, linfático y circulatorio; se ejecuta en un navegador utilizando la plataforma XTK, la cual es una herramienta basada en JavaScript que soporta la visualización e interacción con la especificación WebGL y elementos del lenguaje HTML5. La aplicación de RA forma parte de un marco que junto con otros se integra en una página web, la navegación se realiza utilizando el ratón. Los autores reportan que

en las pruebas, la desventaja principal que detectaron los usuarios fue el tiempo de carga de los modelos.

Google Body [10] es un atlas anatómico que apoya el estudio del cuerpo humano a través de la interacción con el usuario; utiliza modelos en 3D, lo cual permite la representación de los órganos desde diferentes ángulos.

Un proyecto de interés que incorpora tecnologías semánticas para modelar y analizar la consistencia del conocimiento representado en una aplicación de RA es Reaumobile [11]; el objetivo es difundir el patrimonio cultural y mejorar la experiencia de los ciudadanos y visitantes de una ciudad inteligente.

4. Proceso de desarrollo de *RespirAtorio*

Los principios de diseño que guiaron el proceso de desarrollo de la aplicación *RespirAtorio* son: fácil de usar y fácil de entender. Como se mencionó en la introducción, a partir de la revisión del temario de cuarto grado de primaria, se seleccionaron algunos órganos del sistema respiratorio como objetos virtuales, a saber, tráquea, pulmones y bronquios. La Figura 4 muestra los pasos generales del desarrollo, es importante señalar que la creación de marcadores puede realizarse antes o a la par que la elaboración de los modelos.

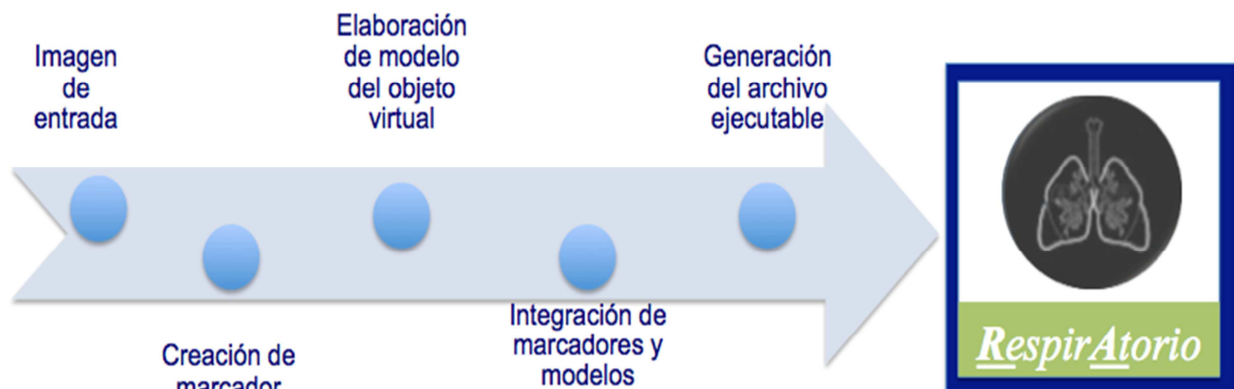


Fig. 4. Pasos de desarrollo de *RespirAtorio*.

La descripción de los pasos de la Figura 4 junto con el nombre y versión de las herramientas de software libre utilizadas es la siguiente:

- A partir de una imagen de entrada, (archivo con extensión JPG, GIF o PNG u otras), se hizo uso de la herramienta *vuforia*⁹ (versión 4.0 SDK) para crear un marcador. Para utilizar esta herramienta o motor de reconocimiento de imágenes, es requisito tener una cuenta como desarrollador.
- Los marcadores creados se guardan como archivos con extensión *unitypackage* para que sean compatibles con *Unity*. Éstos forman una base de datos.
- Para elaborar el modelo de cada órgano se utilizó la versión 2.7 de *Blender*. Este software es libre y multiplataforma, permite modelar, iluminar, animar y crear gráficos en 2D o 3D, escultura y pintura digital, entre otras tareas. Para la aplicación propuesta, los modelos se crearon a través de la manipulación de bordes, caras y vértices de mallas. Cada modelo se guarda como un archivo con extensión *.obj* o *.eds*.

La Figura 5 muestra una captura de pantalla durante la construcción del modelo para los pulmones. Cabe hacer mención que el número de polígonos utilizados es relativamente reducido con el propósito de que la visualización sea rápida aún en dispositivos con capacidades de procesamiento limitadas.

⁹ El sitio web de *vuforia* está disponible en: <https://developer.vuforia.com>

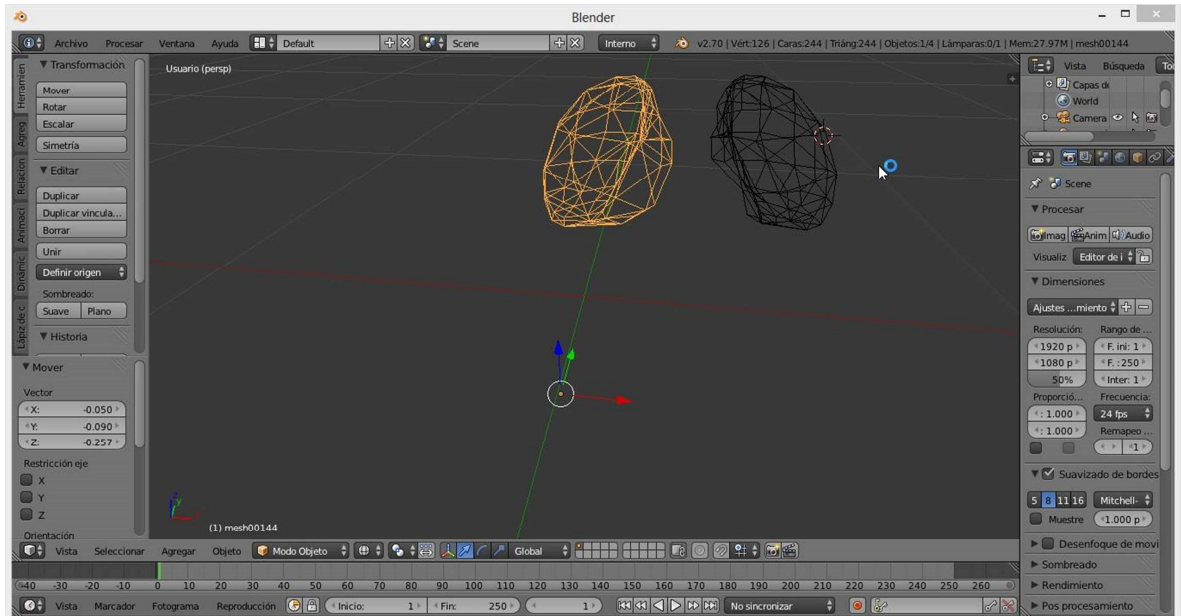


Fig. 5. Construcción del modelo de los pulmones en Blender.

En la Figura 6, al frente se muestran los modelos en 3D de tráquea, pulmones y bronquios, los marcadores se aprecian en la parte posterior, éstos se identifican por tener un borde, son imágenes a blanco y negro. Todos los marcadores tienen el mismo tamaño.

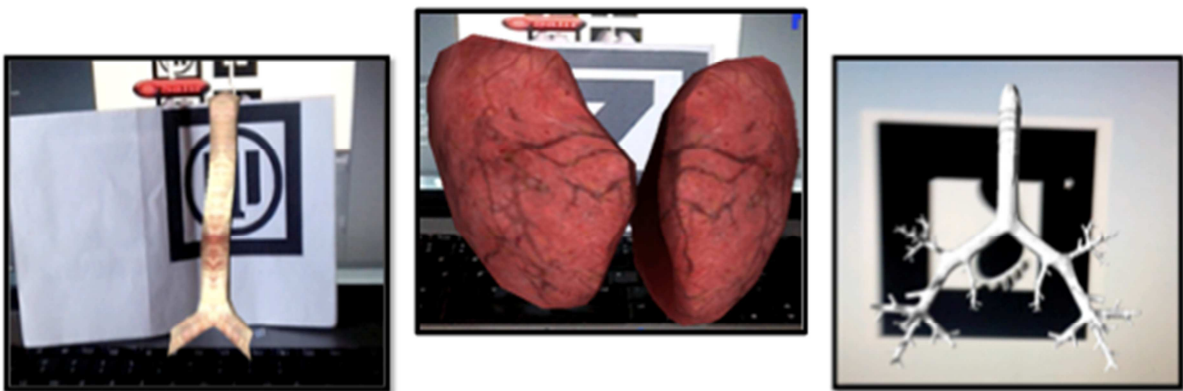


Fig. 6. Modelos 3D de tráquea, pulmones y bronquios.

- Finalmente, la integración de los modelos y los marcadores se realizó en la versión 4.5 de Unity, el cual es un motor de juegos de video y a su vez, una plataforma de desarrollo. Se usaron objetos tipo Directional light para agregar efectos de luz. La aplicación RespirAtorio se guardó como un archivo con extensión .APK.

La aplicación se ejecuta en dispositivos móviles compatibles con el sistema operativo Android Jelly Bean versión 4.2 o superior. La Figura 7 muestra un escenario de uso de la aplicación, en la cual se utiliza el teléfono móvil para visualizar los pulmones. La posición del contenido virtual requiere que el usuario apunte a los marcadores de forma frontal. Dado que los usuarios potenciales de la aplicación son niños, se diseñó un dibujo animado y sobre la camiseta se colocaron los marcadores. El usuario puede moverse aproximadamente unos 35° a la izquierda y derecha del marcador sin perder la visualización del modelo. Es importante señalar que en el diseño de los objetos virtuales se consideraron aspectos relacionadas con el color, la escala y el realismo.



Fig. 7. Escenario de uso de RespirAtorio utilizando un teléfono celular.

Para visualizar los demás órganos modelados, se imprimió la imagen de la Figura 8 en una lona de 2m X 1m; los tres primeros marcadores se asocian a un solo objeto virtual, (tráquea, bronquios y pulmones), pero el último despliega una escena con los tres. La

lona se colocó sobre una de las paredes del laboratorio de experiencia de usuario de la Universidad Politécnica de Puebla¹⁰.

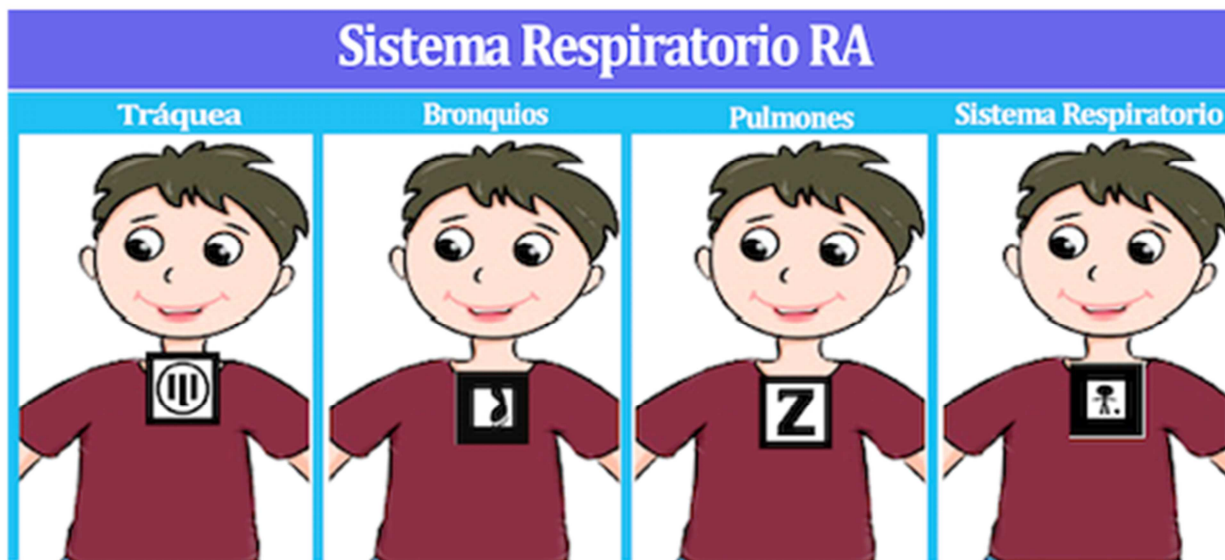


Fig. 8. Escenario de la aplicación propuesta de RA.

5. Resultados preliminares

La realimentación de los usuarios se consideró a lo largo del desarrollo de *RespirAtorio*, sin embargo, al término de éste se llevó a cabo una serie de tareas dirigidas a evaluar experimentalmente la usabilidad, en particular la facilidad de uso y de entendimiento. El proceso que se siguió fue el siguiente: se formaron dos grupos: 1) usuarios potenciales, integrado por una muestra de niños 10 niños, 5 niñas y 5 niños entre 9 y 11 años de edad, quienes cursan cuarto o quinto grado en diferentes escuelas primarias y cuentan con experiencia en el manejo de un teléfono celular inteligente, y 2) usuarios especialistas, formado por 3 profesores con conocimientos avanzados en interacción humano – computadora y experiencia de usuario. Un profesor adicional tomó un rol de facilitador y

¹⁰ La página web del laboratorio de experiencia de usuario está disponible en: <http://informatica.up Puebla.edu.mx/~mmedina/maux/>

aplicó las técnicas grupos de enfoque y análisis de cuestionarios al primer grupo para obtener resultados *in situ*, en tanto que los otros tres utilizaron la lista de verificación propuesta en [13]. En este documento, se seleccionó la lista de verificación como un instrumento que permite un proceso de evaluación rápido, económico y fácil de aplicar. Los resultados obtenidos se presentan en las secciones 5.1 y 5.2.

5.1. Estimación de usabilidad con el grupo con usuarios potenciales

La perspectiva de los usuarios potenciales se recolectó mediante grupos de enfoque que se llevaron a cabo en 5 sesiones, en cada sesión participaron 2 niños y el facilitador. Previo al uso de la aplicación *RespirAtorio*, el facilitador realizó preguntas como las siguientes: *¿En qué año vas?, ¿Tienes celular o tableta?, ¿cuánto tiempo utilizas alguno de esos dispositivos al día?, ¿para qué?, ¿qué aplicaciones usas?, ¿te gusta la materia de ciencias naturales?, ¿qué temas te han enseñado en esa materia?*, etc. La duración promedio de las sesiones fue de 30 minutos. Con el propósito de que los usuarios se familiarizaran con los equipos en donde se instaló la aplicación, (teléfonos móviles marca Alcatel one touch idol mini, pantalla de 4.3", 5 megapíxeles con sistema operativo Android Jelly Bean versión 4.2), el facilitador solicitó a los usuarios usar el video juego de su preferencia durante 5 minutos aproximadamente. Después, el facilitador pidió que se ejecutara la aplicación y que apuntaran con la cámara a los marcadores de la Figura 8, se les invitó a expresar en voz alta sus impresiones, en particular, la tarea que se solicitó realizar al usar la aplicación fue que encontraran los pulmones. Todas las sesiones se grabaron con el propósito de realizar el análisis posterior correspondiente, sin conocimiento de los usuarios para obtener la mayor confiabilidad posible. Después del análisis, el material se destruyeron los videos. Al término del uso de la aplicación, el facilitador solicitó a los usuarios contestar un cuestionario previamente diseñado para capturar sus impresiones y representarlas de acuerdo a una escala de Likert de 5 elementos, donde 1 representa el valor mínimo y 5 el

máximo. La Tabla 1 agrupa los resultados obtenidos con respecto a las heurísticas de usabilidad consideradas en los cuestionarios.

Heurísticas de usabilidad	Valor
Facilidad de uso:	4.5
Facilidad de entendimiento:	4.7
Relación entre los objetos virtuales y los del mundo real:	3.5
Eficiencia de uso:	4.5
Satisfacción:	4.0
<i>Promedio:</i>	<i>4.2</i>

Tabla 1. Evaluación de usabilidad del grupo de usuarios potenciales.

Durante el uso de la aplicación, los usuarios mostraron interés y cierto asombro. Algunas de las observaciones relevantes recolectadas son las siguientes:

- Los modelos de los órganos no se parecen mucho a las imágenes que se presentan en su libro de texto a pesar de que se usaron colores similares, en particular, el color utilizado en la tráquea no fue del agrado del 40% de los usuarios, un usuario incluso señaló que quizás se veía así como consecuencia de la contaminación del ambiente, otro usuario preguntó si así se veía la tráquea de una persona
- Al 60% de los usuarios les hubiera gustado algún tipo de animación, por ejemplo, que los pulmones cambiaran de tamaño para simular la respiración o bien, que se viera cómo pasa el aire en la traquea. Esto quizás se deba a su familiaridad con los juegos de video, en donde el uso de las animaciones es muy frecuente
- El 80% de los usuarios indicó que les gustaría que se usara *Respiratorio* en su escuela y al 20% le resultó indiferente.

5.2. Aplicación de lista de verificación por especialistas

La lista de verificación propuesta en [13], es una solución práctica para descubrir problemas de usabilidad en aplicaciones de R.A; se basa en el estándar ISO 09241-11 [12], una adaptación de las heurísticas de Nielsen [14] y criterios propios de los autores. Este estándar ISO 9241-11 define la usabilidad como la habilidad de un producto a ser usado por los usuarios para lograr objetivos específicos con base en la efectividad, eficiencia y satisfacción en un contexto de usuario específico.

Los elementos utilizados por el grupo de especialistas para estimar la usabilidad de la aplicación sistema respiratorio RA, además de la lista de verificación de [13], son los siguientes:

1. Objetivo de la aplicación: conocer o reconocer algunos de los órganos que forman parte del sistema respiratorio
2. Contexto de uso: Se informó a los especialistas las características de los usuarios potenciales (descritos en la sección 5.1) y se les solicitó utilizar el teléfono móvil para explorar la funcionalidad de la aplicación a evaluar. Las pruebas se realizaron en la sala de juntas del laboratorio en experiencia de usuario.
3. Métricas de usabilidad: El estándar ISO 9241-11 [12] propone una estructura con base en los componentes de la usabilidad y sus relaciones, que son: los objetivos de uso de un producto; los contextos de uso (descripción del alcance de la aplicación) y métricas de usabilidad. En el relación al último componente, se considera que la *efectividad* está relacionada con la manera en que se logran los objetivos de una aplicación, la *eficiencia* se refiere a la estimación del costo según el uso de recursos y la *satisfacción* a las actitudes positivas de los

usuarios hacia la aplicación. Adicionalmente, los autores proponen *exactitud* como una métrica para medir el comportamiento del sistema durante las interacciones y la *instalación del ambiente*, sugieren que éste sea tan simple como sea posible. A cada elemento de la lista de verificación se le asoció uno de los valores de la Tabla 2, a través del cual se identifica un problema y su grado.

Valor	Interpretación
0	No hay problema o es un elemento no aplicable
1	Problema resuelto
2	Problema menor
3	Problema mayor
4	Problema muy grave, debe arreglarse o mejorarse

Tabla 2. Escala para clasificar elementos problemáticos en aplicaciones de RA [13].

Los especialistas, en promedio, se tardaron 21 minutos para aplicar la lista de verificación; se descartaron los elementos en donde todos los evaluadores marcaron con el valor 0. Las Tablas 3, 4 y 5 muestran los resultados.

Elementos de la lista de verificación	Valores
¿Está satisfecho con la solución de interacción?	1, 1, 2
¿Está satisfecho con la libertad de movimiento durante las interacciones?	2, 1, 1

Tabla 3. Verificación de satisfacción mediante lista de verificación.

Elementos de la lista de verificación	Heurística	Valores
¿Conoce qué pasará durante las interacciones?	Visibilidad del estado del sistema	1, 1, 1
Si la cámara detecta más de un marcador, ¿es posible especificar alguno?	Control y libertad del usuario	3, 4, 4
¿La aplicación logra el objetivo?	Visibilidad del estado del sistema	1, 1, 1

Tabla 4. Verificación de efectividad y heurísticas.

Elementos de la lista de verificación	Heurística	Valores
¿Es apropiado el número de objetos virtuales en la escena?	Estética y diseño minimalista	1,2,1
¿El tiempo para cargar los objetos virtuales es breve (muy corto)?	Visibilidad del estado del sistema	1, 1, 1
¿Los objetos virtuales se mezclan adecuadamente con los objetos del mundo real?	Relación entre el sistema y el mundo real	1, 1, 1
¿La representación de los objetos virtuales es coherente con el mundo real?	Relación entre el sistema y el mundo real	1, 1, 1
¿Están estandarizadas las acciones y la realimentación?	Consistencia y estándares	1, 1, 1
¿Está habilitada la prevención de errores?	Prevención del error	3, 3, 4
¿Es fácil recordar la funcionalidad de la aplicación?	Reconocimiento más que memoria	1, 1, 1
¿Cómo es la curva de aprendizaje para los usuarios nuevos?	Flexibilidad y eficiencia de uso	2, 1, 2
¿El usuario recibe instrucciones para que sepa qué hacer durante las interacciones?	Ayuda y documentación	3, 4, 3
¿Hay requerimientos específicos?	Ambiente de configuración	1, 2, 1
Si se detecta más de un marcador en la escena, ¿la aplicación continua funcionando normalmente?	Exactitud	

Tabla 5. Verificación de eficiencia y heurísticas.

Además de la información que ofrece la aplicación de la lista de verificación, los especialistas identificaron los aspectos positivos y negativos siguientes:

a) Aspectos positivos

- La aplicación es fácil de utilizar

- La posición del marcador se recuerda fácilmente
- Las escenas no presentan sobrecarga de información

b) Aspectos negativos

- Los marcadores están en el mismo lugar, es decir, como parte de la camiseta del dibujo, lo cual indica que no existe consistencia en relación a la ubicación del órgano en el cuerpo humano
- No hay algún video de explicación o manual de usuario
- No se despliegan mensajes de error cuando se apunta a otros marcadores que no forman parte de la aplicación

6. Conclusiones

Este documento presentó una aplicación de RA considerada como recurso didáctico para que niños de cuarto o quinto grado de primaria conozcan o reconozcan algunos de los órganos del sistema respiratorio. La aplicación se diseñó tomando en cuenta las heurísticas de facilidad de uso y entendimiento. Se presentaron los pasos generales de desarrollo, así como las herramientas de software utilizadas con el propósito de que el documento pueda servir como una guía para otros desarrolladores interesados en construir aplicaciones similares que respondan a necesidades educativas particulares.

A través de la formación de dos grupos de usuarios y de la aplicación de técnicas como grupos de enfoque, la aplicación de cuestionarios y listas de verificación, se recolectaron datos que permitieron evaluar de manera experimental la usabilidad de la aplicación propuesta. Los resultados preliminares muestran que la aplicación resultó atractiva, fácil de utilizar y entender, por lo que se esperaba una curva de aprendizaje baja si se utiliza en instituciones de nivel básico.

Como trabajo a futuro, se propone incorporar las sugerencias y la realimentación de los usuarios para extender la funcionalidad de la aplicación, por ejemplo, mediante la

inclusión de elementos de animación, la incorporación de mensajes de error para marcadores que no formen parte de la aplicación y la elaboración de un video que muestre el funcionamiento de la aplicación.

7. Referencias

- [1] Programa de Inclusión y Alfabetización Digital. © 2014. Dotación de Tabletas Ciclo Escolar 2014-2015. Preguntas frecuentes. Secretaría de Educación Pública. Disponible en: <http://basica.sep.gob.mx/preguntas/index.html>. Fecha de consulta: Mayo 22 del 2015.
- [2] Ciencias Naturales. 4. 2014-2015. Ciclo Escolar, centro de descargas. Disponible en: <http://descargas.cicloescolar.com/ciencias-naturales-4to-grado-2014-2015-pdf/>. Fecha de consulta: Mayo 22 del 2015.
- [3] R. Azuma, "A Survey of Augmented Reality. En Presence: Teleoperators and Virtual Environments. Vol. 6. No. 4. Agosto 1997. 355-385 pp.
- [4] Colección Fundación Telefónica. 2011. Realidad aumentada: una nueva lente para ver el mundo. Disponible en: <http://www.realidadaumentada-fundaciontelefonica.com/realidad-aumentada.pdf>. Fecha de consulta: Mayo 22 del 2015.
- [5] G. C. Burdea, P. Coiffet, Virtual reality technology. Segunda edición. 2003. John Wiley & Sons.
- [6] Augmented Reality Hype Cycle. SPRXmobile: Mobile Service Architects. Disponible en: <http://www.sprxmobile.com/the-augmented-reality-hype-cycle/>. Fecha de consulta: Mayo 22 del 2015.
- [7] Realidad aumentada Perú. Disponible en: <http://realidadaumentadaperu.blogspot.mx>. Fecha de consulta: Mayo 22 del 2015.

- [8] Introducing Learn AR, a learning tool that brings investigative, interactive and independent learning to life. SSAT. Disponible en: <http://learnar.org>. Fecha de consulta: 5 de Junio del 2015.
- [9] L. Cardia da Cruz, T. V. De Almeida, J. C. de Oliveira, AICoH 3D: Interactive Atlas of Human Body. 16th Symposium on Virtual and Augmented Reality, (SVR). 2014. Bahia, Brazil. Mayo. 24-27 pp.
- [10] A. Blume, W. Chun, D. Kogan, V. Kokkevis, N. Weber, R. W. Petterson, R. Zeiger, Google Body: 3D Human Anatomy in the Browser. ACM SIGGRAPH 2011 Talks. Vancouver, British Columbia, Canada. 2011.
- [11] Reumobile. Realidad Aumentada con dispositivos móviles. Disponible en: <http://ict.udlap.mx/reaumobile/>. Fecha de consulta: Mayo 22 del 2015.
- [12] ISO 9241-11. Ergonomic requirements for office work with visual display terminals (VDTs) – Part 11: Guidance on usability. 1998.
- [13] G. M. De Paiva, M. V. Farinazzo, A checklist to evaluate augmented reality applications. 16th Symposium on Virtual and Augmented Reality, (SVR). Piata Salvador, Bahia, Brazil. Mayo 2014. 45-52 pp.
- [14] Nielsen J. Usability engineering. Academic Press. Morgan Kaufmann Publishing. 1993.

8. Autores

La Dra. María Auxilio Medina Nieto realizó el Doctorado en Ciencias de la Computación y la Maestría en Ingeniería en Sistemas Computacionales en la Universidad de las Américas Puebla (UDLAP). Es egresada de la Licenciatura en Computación de la Facultad de Ciencias de la Computación (FCC) de la Benemérita Universidad Autónoma de Puebla (BUAP). La Dra. Medina cuenta con el reconocimiento a perfil deseable de PRODEP desde 2005. Es miembro nivel candidato del Sistema Nacional de Investigadores (SNI). Actualmente, su investigación está dirigida a temas como web semántica, tecnologías de la información y comunicación (TICs), e interacción humano – computadora.

El Dr. Eduardo López Domínguez es investigador del Departamento de Ciencias de la Computación del Laboratorio Nacional (LANIA). Es egresado del doctorado y maestría del Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOEP). Es miembro nivel candidato del Sistema Nacional de Investigadores (SNI). Sus temas de investigación son: sistemas móviles distribuidos, algoritmos de orden parcial, interacción humano - computadora y sincronización multimedia.

El Dr. Antonio Benitez Ruiz realizó el Doctorado en Ciencias de la Computación y la Maestría en Ciencias Computacionales en la Universidad de las Américas Puebla (UDLAP). Es egresado de la Licenciatura en Computación de la Facultad de Ciencias de la Computación (FCC) de la Benemérita Universidad Autónoma de Puebla (BUAP). Su trabajo de investigación está relacionado con las áreas de robótica reactiva, algoritmos de planificación de movimientos, graficación por computadora e interacción humano - robot. Cuenta con reconocimiento a Perfil Deseable del PRODEP desde 2007.

El Ing. César Rafael Chío Plata y la Ing. Brensa Susana Ponce Valencia, son egresados de la Ingeniería en Informática de la Universidad Politécnica de Puebla (UPPue). Durante su estancia en la Universidad, han hecho uso de las tecnologías de la información y la comunicación (TICs) para proponer soluciones a problemas relacionados principalmente con aplicaciones web, bases de datos y realidad aumentada.

El Dr. Jorge de la Calleja Mora es egresado del doctorado y maestría del Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOEP). Es egresado de la Licenciatura en Computación de la Facultad de Ciencias de la Computación (FCC) de la Benemérita Universidad Autónoma de Puebla (BUAP). El Dr. De la Calleja cuenta con el reconocimiento a perfil deseable de PRODEP. Es miembro nivel candidato del Sistema Nacional de Investigadores (SNI). Actualmente, su investigación está dirigida a temas como aprendizaje automático, reconocimiento de patrones, procesamiento de imágenes e interacción humano – robot.

La lógica difusa como un medio para identificar y valorar las alteraciones de conducta en niños a nivel de educación básica: primaria y secundaria

Andrés Ferreyra Ramírez

U.A.M.-Azcapotzalco, Av. San Pablo 180, C.P. 02200, Azcapotzalco, D.F., México, Teléfono: 5318-9546
ext. 1007
fra@correo.azc.uam.mx

David G. Maxinez

U.N.A.M., F.E.S-Aragón, Departamento de Ingeniería en Computación
david.maxinez@yahoo.com.mx

Arturo Zúñiga López

U.A.M.-Azcapotzalco, Av. San Pablo 180, C.P. 02200, Azcapotzalco, D.F., México, Teléfono: 5318-9546
ext. 1007
azl@correo.azc.uam.mx

Roberto A. Alcántara Ramírez

U.A.M.-Azcapotzalco, Av. San Pablo 180, C.P. 02200, Azcapotzalco, D.F., México, Teléfono: 5318-9546
ext. 1000
raar@correo.azc.uam.mx

Resumen

Esta investigación toma como referencia la problemática económica, educativa y social de los niños con trastornos de conducta –niños problema- y justifica la aplicación de la lógica difusa como una técnica de ingeniería para optimizar la identificación oportuna y eficaz de los trastornos del comportamiento en niños y adolescentes. Muestra cómo

adquirir y analizar datos ambiguos, vagos y llenos de incertidumbre provenientes de las variables de entrada para conseguir resultados de valoración precisos de cada una de las tipologías presentadas por los niños con problemas de conducta. Los trastornos del comportamiento analizados en este trabajo son: Hiperactividad (H), Déficit de Atención con Hiperactividad (DAH), Trastorno de conducta (TC) y Déficit de Atención (DA).

Palabra(s) Clave(s): déficit de atención, hiperactividad, lógica difusa, trastorno de conducta.

1. Introducción

Las alteraciones o trastornos del comportamiento o conducta, son aquellas que afectan de forma negativa la relación del niño o niña con su entorno, generalmente se detectan por los familiares o por los maestros que conviven diariamente con ellos.

Los trastornos de conducta tienen un impacto social muy importante, son los problemas con mayor demanda de atención en los centros de salud mental de niños y adolescentes [1] y actualmente son objeto también de atención por parte de instituciones educativas, judiciales y sociales.

En educación básica (primaria y secundaria) los estudiantes con trastornos de conducta, tienen un impacto económico relacionado con su nivel educativo; su bajo rendimiento los conduce a graves consecuencias futuras, siendo la más común la no terminación de sus estudios.

El estado mexicano invierte grandes cantidades de dinero en educación básica, para que con el paso del tiempo, se genere un crecimiento económico del país; puesto que, elevar la calidad de la educación básica repercute no solo en aspectos decisivos de la vida futura de los estudiantes, sino también en aspectos fundamentales de la nación. Esta sencilla relación entre calidad educativa y resultados a mediano y largo plazo [2], muestra que los gastos públicos invertidos en educación básica se relacionan positivamente con el crecimiento económico a futuro. Sin embargo, en el corto plazo si

las expectativas de cumplimiento de metas no son las esperadas, el efecto de esos gastos puede ser negativo y se podría considerar como una inversión no redituable; ya que, un bajo rendimiento en educación básica conlleva estadísticamente a bajas tasas de graduación del colegio y a la no obtención de títulos universitarios.

El estado mexicano utiliza la evaluación del aprendizaje en el aula para mejorar el desempeño de los alumnos de educación básica, la evaluación está estrechamente ligada a los procesos de enseñanza-aprendizaje y considera la medición psicológica de rasgos individuales para medir de manera objetiva las características de los alumnos. En la actualidad, para analizar la evaluación del aprendizaje en el aula, el Instituto Nacional para la Evaluación de la Educación (INEE), utiliza un modelo conceptual publicado por especialistas en la evaluación del aprendizaje del Assessment Training Institute, el cual se basa en cinco principios [3] en donde hay dos elementos transversales: la idea de evaluar con precisión y la de usar la evaluación para beneficio de los alumnos, no sólo para clasificarlos o categorizar su desempeño.

En [3] se comenta que los profesores son los encargados de realizar la evaluación y deben dirigirse a la obtención de una mayor precisión de los datos; el docente debe de conocer las bondades y limitaciones de los métodos de evaluación, debe de adaptar y usar bien el método elegido, lo cual demanda conocimiento del contexto y de las cualidades de cada método, así como identificar y evitar imprecisiones, por ejemplo: un cuestionario mal redactado, instrucciones incompletas, ignorar la ansiedad del alumno frente a ciertas tareas, entre otros.

La evaluación y las herramientas utilizadas por el docente, están diseñadas para determinar el desempeño del alumno no para detectar problemas de conducta que estén afectando su aprovechamiento. En este trabajo, se presenta una técnica basada en lógica difusa, que puede ser utilizada para ayudar a los profesores de educación básica en la detección oportuna de estudiantes con trastornos de conducta.

2. Desarrollo

2.1. Detección de niños con alteraciones de conducta

La normalidad o anormalidad de la conducta de un niño se valora por criterios aplicables según la edad. El comportamiento del niño es evaluado como normal, utilizando un enfoque cuantitativo de los eventos –los de mayor frecuencia en una determinada etapa infantil- que alteran la convivencia grupal, y un enfoque cualitativo orientado a revelar la capacidad de ajuste del individuo al medio, que le capacita para mantener relaciones interpersonales y académicas apropiadas. El comportamiento anómalo se diferenciaría del normal por el grado, intensidad y persistencia con el que se observarían determinadas conductas no propias de la edad o bien por la discrepancia conductual cualitativa, disruptiva o desarraigante, con el resto del grupo. Es muy importante hacer notar que los niños con trastornos de comportamiento o conducta llegan en un momento determinado a ser “vistos” como “inmanejables” por las personas de su entorno [4].

2.1.1. Características de los niños con trastornos de conducta

Sistemáticamente existen diversas manifestaciones para diferentes alteraciones o trastornos de conducta. Un perfil general considera aspectos como:

- Existencia de un patrón de conducta anómalo, persistente y reiterado.
- Presencia de alteraciones conductuales en distintos ambientes: hogar, escuela, calle, etc.
- Presentan sintomatología clínica subyacente: baja autoestima, escasa tolerancia a la frustración, inestabilidad y labilidad emocional.

En particular, las características de comportamiento deben de ser analizadas y referenciadas a la tipología más adecuada para cada situación, éstas pueden ser del tipo cognitivo, afectivo y social [5]:

- **Cognitivo.** Dificultad para almacenar, recuperar, reconocer, comprender, organizar y usar la información recibida a través de los sentidos.
- **Afectivo.** Incapacidad para controlar sus emociones.
- **Ausencia de empatía.** Desinterés por las circunstancias y sentimientos de otros que conviven habitualmente con el niño.
- **Autoimagen negativa.** La pérdida de confianza en si mismo -observable por los demás- intensificando sentimientos y acciones negativas que influyen en su desarrollo; no puedo, nunca podré, me pone muy nervioso, no vale la pena, ...etc.
- **Egocéntrico.** Característica que define a una persona que cree que sus propias opiniones e intereses son más importantes que las de los demás.
- **No tolera la frustración.** La baja tolerancia a la frustración es causa de enojo, depresión e incapacidad ante cualquier molestia o problema. Rabieta temperamentales y llanto incontrolable son algunas de sus manifestaciones.

2.1.2. Clasificación de niños con trastornos de conducta

Los niños son regularmente tratados considerando aspectos generales tales como:

- **Hiperactividad.** En general, los niños hiperactivos poseen una conducta basada en tres aspectos clave: son dispersos, tienen un nivel de actividad muy grande y presentan una falta excesiva de autocontrol. A menudo se mueven o abandonan su asiento, mueven constantemente manos y pies, corren o saltan en situaciones inapropiadas, hablan en exceso, siempre en movimiento, actúan “como si estuvieran impulsados por un motor”.
- **Déficit de atención.** El déficit de atención generalmente involucra la falta de concentración y la desatención ante cualquier estímulo. Se caracteriza por dificultades para mantener la atención en tareas, no prestan atención suficiente a los detalles, incurriendo en errores en las tareas o trabajos. No siguen

instrucciones y no finalizan las tareas o encargos, parecen no escuchar, tienen dificultades para organizar, planificar, completar y/o ejecutar las tareas, suelen evitar las tareas que implican un esfuerzo mental sostenido, se distraen fácilmente por estímulos irrelevantes y a menudo pierden objetos necesarios para las tareas.

- **Déficit de atención con hiperactividad.** Es una mezcla entre los aspectos señalados anteriormente. Se caracterizan por distracción de moderada a grave, períodos de atención breve, inquietud motora, inestabilidad emocional y conductas impulsivas. Es uno de los trastornos psiquiátricos más prevalentes de inicio en la infancia y la alteración de conducta –neuroconductual- más diagnosticada en niños de edad escolar.
- **Impulsividad-** La impulsividad se manifiesta por impaciencia, dificultad para aplazar respuestas, dar respuestas precipitadas, dificultad para esperar el turno o interrumpir o interferir a otros hasta el punto de tener problemas en los ámbitos escolar, social o familiar. Además de la inadecuación social, la impulsividad facilita la aparición de accidentes o la realización de actividades potencialmente peligrosas sin considerar sus posibles consecuencias.

2.2. Análisis y problemática

En México la estadística educativa del 2008 (ver Tabla 1), refleja la cantidad de alumnos inscritos en los diferentes niveles escolares [6], siendo primaria y secundaria los que más alumnos inscritos tienen. En [7] se comenta que el costo por alumno y por ciclo escolar es el mostrado en la Tabla 2.

La inversión que el gobierno hace en educación básica (primaria y secundaria) es muy importante (ver Tabla 3). Si esta inversión estuviera destinada a incrementar la capacidad de producción y las ganancias del país además de generar una mejora substancial en la vida de los estudiantes, no sería cuestionada. Sin embargo, si las

espectativas de cumplimiento de metas no son las esperadas, el efecto de estos gastos puede ser negativo y se podría considerar como una inversión no redituable.

Grado Escolar	Numero de alumnos
Preescolar	4,745,741
Primaria	14, 585, 804
Secundaria	6, 055, 467
Bachillerato	3, 390, 432
Nivel Técnico	352, 510
Licenciatura	2, 317, 001
Posgrado	162, 000

Tabla 1. Estudiantes en México 2008.

Grado Escolar	Costo por alumno
Preescolar	\$ 14,200.00
Primaria	\$ 12,900.00
Secundaria	\$19,900.00
Nivel Técnico	\$17,100.00
Bachillerato	\$ 24,500.00

Tabla 2. Costo de la educación por alumno.

Grado escolar	Costo anual
Primaria	\$ 188,156,871,600.00
Secundaria	\$ 12, 503, 793,300.00

Tabla 3. Inversión en educación 2008.

Por otra parte, estadísticamente 20 de cada 100 niños en educación básica presentan trastornos de conducta; son un total de 4,128,254.5 estudiantes en los que se invierten más de \$ 61,732 millones de pesos (ver Tabla 4). Con esta información se puede analizar y comprender la magnitud del problema, la inversión en educación para estos niños es muy elevada e incluso supera los recursos asignados a varios estados de la República Mexicana. Si no se actúa rápido en la detección y atención de estos niños con trastornos de conducta, esta inversión –más bien “gasto”- acarreará a futuro un problema no solo económico sino también social para el país.

Grado escolar	Cantidad	Inversión
Primaria	2,917,160.8	\$37,631,374,320
Secundaria	1,211,093.4	\$24,100,758,660

Tabla 4. Total de niños con alteraciones de conducta y el capital invertido en ellos.

2.3. Estrategia de solución en la detección

La detección de un niño con alteraciones de conducta se realiza al observar una repetición de eventos que alteran de alguna forma la convivencia grupal. Esta descripción se realiza mediante un lenguaje ambiguo -propio del ser humano- que no permite establecer un valor exacto del comportamiento del niño; sin embargo, el ser humano debe de ser capaz de interpretar, comprender y evaluar este lenguaje para emitir una respuesta apropiada.

En el problema de detección, el conocimiento del ser humano se vuelve cada vez más importante, ya que por su complejidad no permite establecer descripciones precisas; por lo tanto, su solución requiere de una herramienta que permita modelar el conocimiento de una manera sistemática y razonable para ponerla en un sistema de ingeniería, esta herramienta es la lógica difusa.

La lógica difusa, es una herramienta de análisis que proporciona una manera simple y elegante de obtener una solución a un problema determinado partiendo de información de entrada vaga, ambigua, imprecisa, con ruido o incompleta.

La incorporación de la lógica difusa a un sistema real da lugar a lo que se conoce como sistema difuso. Los sistemas difusos, son sistemas basados en conocimiento o basados en reglas. El corazón de un sistema difuso es una base de conocimiento que consiste de las así llamadas reglas SI-ENTOCES (IF-THEN). Una regla difusa SI-ENTONCES es una declaración en donde algunas palabras son caracterizadas por funciones de pertenencia o membresía (membership function) continuas. Por ejemplo, la siguiente regla, es una regla difusa SI-ENTONCES:

Si el niño es latoso ENTONCES su aprendizaje es lento (1)

donde las palabras *latoso* y *lento* están caracterizadas por funciones de pertenencia como las mostradas en la Fig. 1, en donde el eje vertical representa el valor de pertenencia o membresía y el eje horizontal respresenta la conducta y el aprendizaje del niño (en porcentaje) respectivamente. Una definición y un análisis detallado tanto de la lógica difusa como de las funciones de pertenencia, pueden ser encontrados en [8, 9, 10].

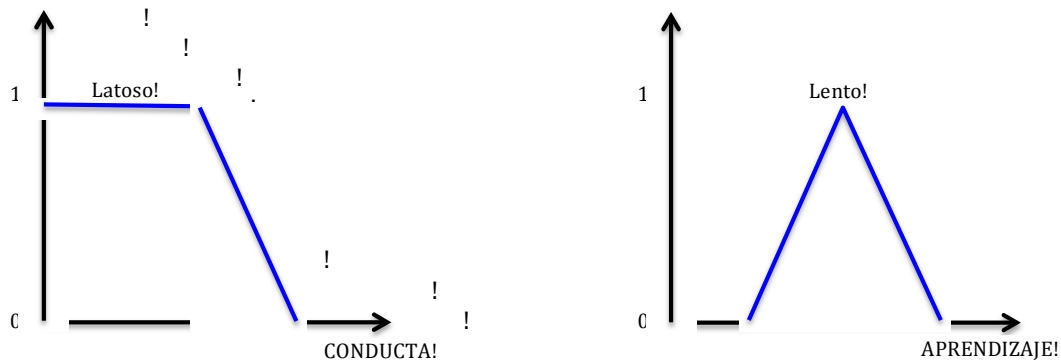


Fig. 1. Funciones de pertenencia para las palabras Latoso y Lento.

En [11] se describen los tres sistemas difusos más comúnmente utilizados en la literatura:

- i. Sistema difuso puro.
- ii. Sistema difuso Takagi-Sugeno-Kang
- iii. Sistema difuso con fusificador y defusificador.

Para la mayoría de las aplicaciones en ingeniería, el sistema difuso con fusificador y defusificador es el más utilizado (ver Fig. 2). En este sistema, la etapa de fusificación transforma una variable de valor real en un valor difuso (grado de pertenencia) vía las funciones de pertenencia de entrada, y la etapa de defusificación, transforma una salida difusa en una salida de valor real mediante las funciones de pertenencia de salida.

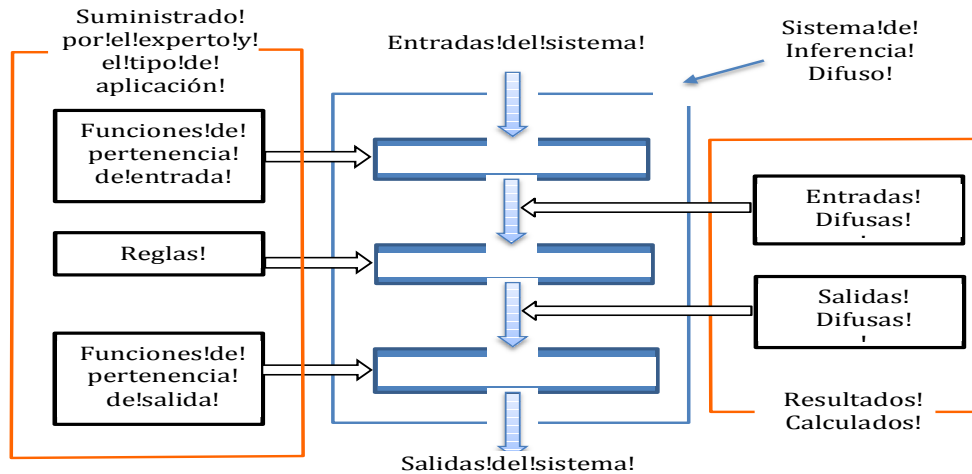


Fig. 2. Sistema difuso con fusificación y defusificación.

2.4. Planteamiento de la detección de niños con alteraciones de conducta

Las características de los niños con trastornos de conducta se clasifican en Hiperactividad (H), Déficit de Atención con Hiperactividad (DAH), Trastorno Disocial (TD) y Déficit de Atención (DA); en cada una de estas áreas los niños presentan diversas patologías (ver Tabla 5).

	Patologías
Hiperactividad (H)	<p>H1. Movimientos constantes de pies y manos.</p> <p>H2. Se levanta constantemente.</p> <p>H3. Se muestra activo en situaciones donde no es apropiado hacerlo.</p> <p>H4. Tiene dificultad para trabajar con un objetivo.</p> <p>H5. Se muestra intranquilo en actividades de ocio.</p> <p>H6. Se le dificulta esperar turno.</p> <p>H7. Da respuestas antes de terminar de hacer las preguntas.</p> <p>H8. Interrumpe actividades de otros.</p> <p>H9. Interrumpe sus juegos o el de sus compañeros.</p>
Déficit de atención con hiperactividad (DAH)	<p>DAH1. No presta atención a los detalles, incurriendo en errores por descuido en tareas escolares o en otras actividades.</p> <p>DAH2. Parece no prestar atención en actividades lúdicas.</p> <p>DAH3. No parece escuchar cuando se le habla directamente.</p> <p>DAH4. Tienen dificultad para realizar sus tareas o actividades.</p> <p>DAH5. Se muestra disgustado cuando se le solicita realizar tareas que implican un esfuerzo mental.</p> <p>DAH6. No finaliza y no sigue instrucciones en tareas escolares u obligaciones.</p> <p>DAH7. Extravía objetos necesarios para sus tareas o actividades.</p> <p>DAH8. Es descuidado en las tareas o actividades que realiza.</p>
Trastorno Disocial (TD)	<p>TD1. Intimida a otros.</p> <p>TD2. Inicia peleas.</p> <p>TD3. Manifiesta crueldad física con personas.</p> <p>TD4. Manifiesta crueldad física con animales.</p> <p>TD5. Ha cometido pequeños hurtos.</p> <p>TD6. Ha causado deliberadamente daños a personas o a sus pertenencias.</p> <p>TD7. Frecuentemente rompe las reglas.</p> <p>TD8. Frecuentemente molesta a sus compañeros.</p>
Déficit de atención (DA)	<p>DA1. Dificultad para mantener la atención.</p> <p>DA2. Dificultad para centrarse en una sola tarea o actividad.</p> <p>DA3. No presta suficiente atención a los detalles.</p> <p>DA4. No sigue instrucciones.</p> <p>DA5. No finaliza tareas o juegos.</p> <p>DA6. Parece no escuchar.</p> <p>DA7. Dificultad para planear, organizar, completar y ejecutar.</p> <p>DA8. Se distrae fácilmente.</p> <p>DA9. A menudo pierde objetos.</p>

Tabla 5. Clasificación de los trastornos de conducta y sus patologías.

La propuesta de análisis con lógica difusa consiste en combinar cada una de las patologías anteriores y determinar su factor de identificación con las características de los niños con trastornos de conducta (ver sección 2.1.1) y posteriormente cuantificar su valor. En la Tabla 6 se muestra la relación que existe entre las características de hiperactividad, cada intersección hace referencia a las diferentes tipologías, por ejemplo: Cognitiva (C), Social (S), Afectiva (A) [12].

	H1	H2	H3	H4	H5	H6	H7	H8	H9
H1	*	C	C		CS	S		A,C,S	S
H2	C	*	S	C	S	S		S	AS
H3	C	S	*	C	A	CS	C	A	A
H4		C	C	*	A,S	A,S		A,S	A,S
H5	C,S	S	A	A,S	*			A,S	A,S
H6	S	S	C,S	A,S		*	S	A,S	A,S
H7			C			S	*		
H8	A,C,S	S	A	A,S	A,S	A,S		*	A,S
H9	S	A,S	A	A,S	A,S	A,S		A,S	*

Tabla 6. Características de hiperactividad.

La Tabla 7 muestra las características de hiperactividad y déficit de atención con hiperactividad [12].

	DAH1	DAH2	DAH3	DAH4	DAH5	DAH6	DAH7	DAH8
H1	C	S		C				
H2	C		C				C	
H3				C				
H4	C	S	A		A	C,A		
H5		A,S						
H6	A,S		A,S	A,S		A,S		
H7			C			C		
H8	A,S	A,S		A,S				
H9	A,S	A,S	A,S		C			

Tabla 7. Combinación de las características de H y DAH.

3. Resultados

Para mostrar la aplicación de la lógica difusa para la detección de las alteraciones de conducta en niños, considere las siguientes características hipotéticas presentadas por un infante con un problema cognitivo:

Característica I. **No presta atención a los detalles**, incurriendo en errores por descuido en tareas escolares o en otras actividades.

Característica II. **Se levanta constante mente.**

El sistema difuso tiene dos variables de entrada (característica I y II) y una variable de salida (Problema cognitivo); cada una de estas variables están particionadas por 4 conjuntos difusos o etiquetas lingüísticas. En las Fig. 3, 4 y 5 se muestran las etiquetas lingüísticas asignadas a las variables de entrada y salida del sistema difuso.

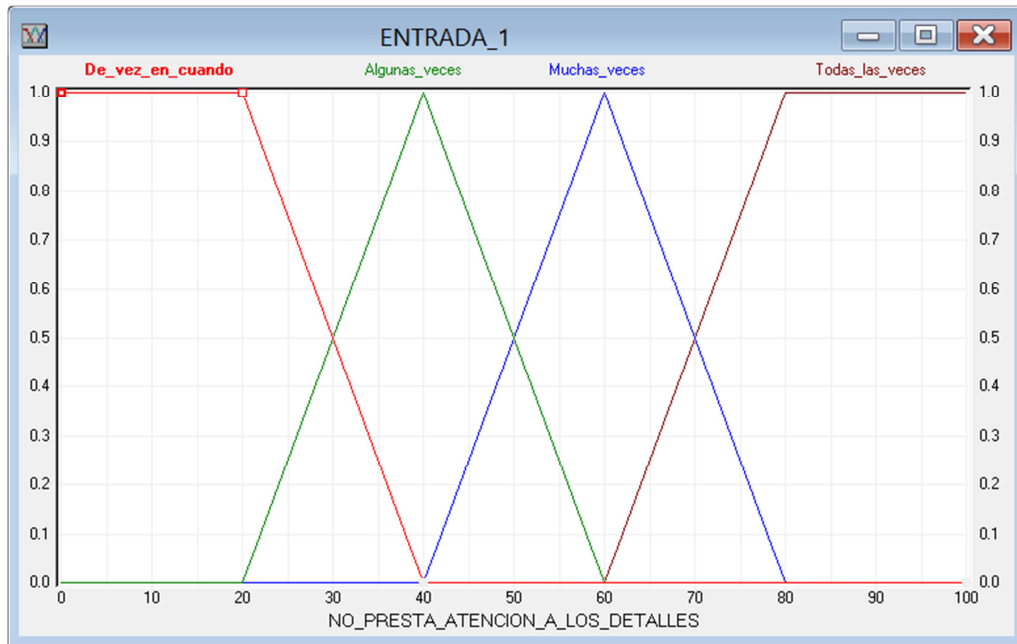


Fig. 3. Etiquetas lingüísticas para la variable de entrada 1.

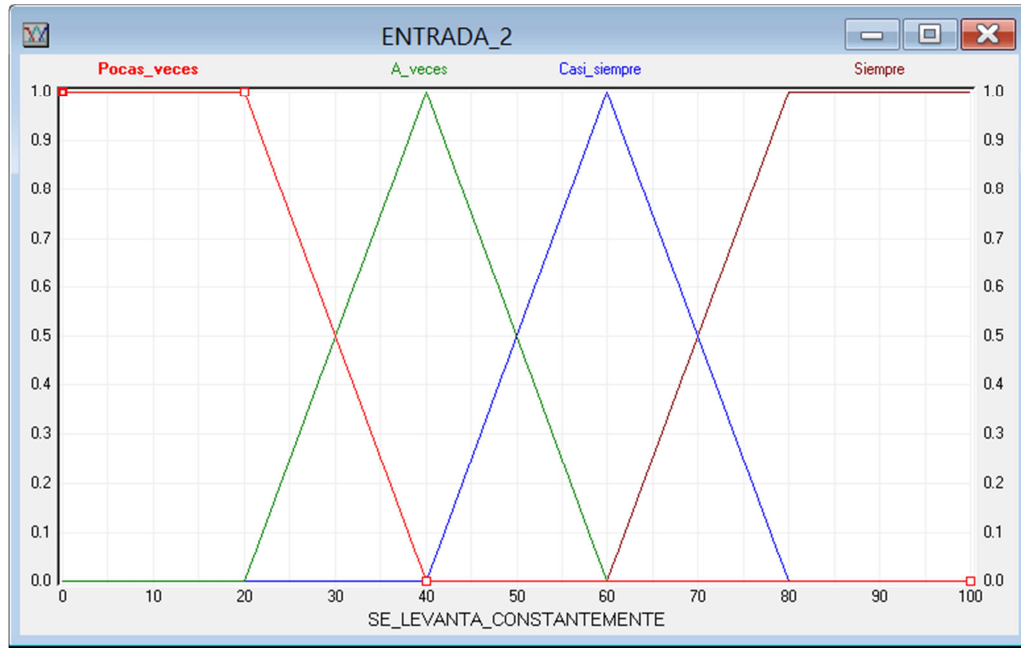


Fig. 4. Etiquetas lingüísticas para la variable de entrada 2.

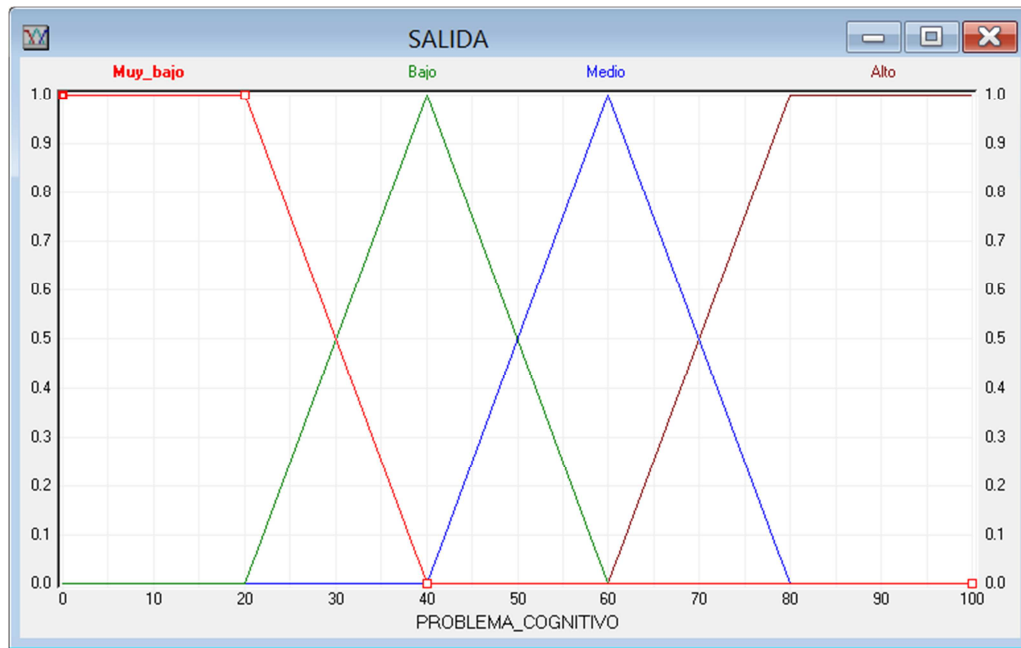


Fig. 5. Etiquetas lingüísticas para la variable de salida.

Las reglas difusas se obtienen combinando las etiquetas lingüísticas de las entradas y las salidas, éstas dependen totalmente del conocimiento del experto. En la Tabla 8 se muestran las combinaciones de las características que se están ejemplificando.

		No presta atención a los detalles			
		De vez en cuando	Algunas veces	Muchas veces	Todas las veces
Se levanta constantemente	Pocas veces	Muy bajo	Muy bajo	Medio	Medio
	A veces	Muy bajo	Bajo	Medio	Medio
	Casi siempre	Bajo	Bajo	Medio	Alto
	Siempre	Medio	Medio	Alto	Alto

Tabla 8. Combinaciones para la generación de las reglas del sistema difuso.

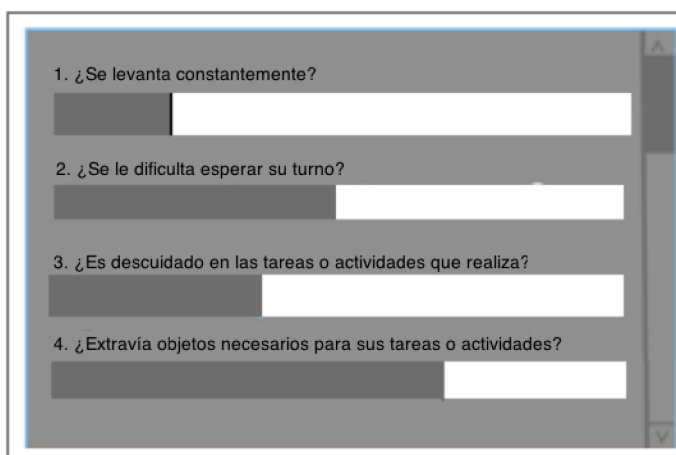
Se pueden generar un total de 16 reglas para el proyecto, por ejemplo: **SI algunas veces** no presta atención a los detalles **Y a veces** se levanta **ENTONCES** el problema cognitivo **es bajo**.

Los datos a evaluar en el sistema difuso, son proporcionados por el profesor quien tiene que hacer un registro de cada uno de los estudiantes vía la interfaz gráfica de usuario que se muestra en la Fig. 6.

The image shows a user interface for student registration. On the left, there is a cartoon character with the word 'Alumno' below it. On the right, the title 'Registro del Alumno' is followed by several input fields: 'Nombre del Alumno(a)' with the text 'Julio Ramirez Ayala', 'Edad del Alumno(a)' with the number '12', 'Sexo del Alumno(a)' with a male symbol and 'Masculino', 'Escolaridad del Alumno(a)' with a school icon and 'Secundaria', and 'Grado en curso del Alumno(a)' with the number '1'. A 'Seguir' button is located at the bottom right of the form area.

Fig. 6. Interfaz gráfica de usuario para el registro de alumnos.

Una vez hecho el registro del alumno, el profesor tiene que contestar un cuestionario que contiene preguntas basadas en las características de Hiperactividad, Déficit de atención, Déficit de atención con hiperactividad y Trastorno disocial (ver Fig. 7).



The image shows a screenshot of a questionnaire interface. It contains four questions, each followed by a horizontal bar representing a response scale. The questions are:

1. ¿Se levanta constantemente?
2. ¿Se le dificulta esperar su turno?
3. ¿Es descuidado en las tareas o actividades que realiza?
4. ¿Extravía objetos necesarios para sus tareas o actividades?

Fig. 7. Cuestionario.

Para la demostración considere que el profesor ha asignado los siguientes porcentajes: Se levanta constantemente: 25% y No presta atención a los detalles: 45%. Estos porcentajes son convertidos a valores difusos vía el proceso de fusificación, los valores difusos pasan al mecanismo de inferencia en donde son continuamente evaluados en el conjunto de reglas; este proceso genera un valor de salida difuso el cual es transformado a un valor de salida real a través del proceso de defusificación. La salida es un valor numérico (36.66 %) asociado a un problema cognitivo que puede ser evaluado para su tratamiento.

4. Discusión

En la actualidad el proceso de detección de niños con alteraciones de conducta presenta serios problemas. Los niños son identificados de manera ambigua y sin fundamentos, con una marcada inclinación a etiquetarlos como niños inmanejables por las personas de su entorno. No existe una orientación real y objetiva para identificar la tipología que presentan. En las escuelas, no existen recursos humanos necesarios que identifiquen, registren o describan apropiadamente las alteraciones de conducta de los

niños. Los niños mal diagnosticados son discriminados en el desempeño de sus actividades en deterioro de su confianza o autoestima según la edad. Por consecuencia se presume que no se tiene un conocimiento claro de las alteraciones de conducta y del manejo de las mismas.

5. Conclusiones

Los autores de este artículo están conscientes que la niñez es un período de vulnerabilidad y plasticidad en el desarrollo progresivo hacia la personalidad adulta, entienden que un niño con alteraciones de conducta puede presentar trastornos psiquiátricos en su edad adulta; por lo que la detección correcta y oportuna es de suma importancia.

Se ha demostrado que la lógica difusa es una excelente técnica de ingeniería para modelar, detectar, evaluar, analizar y valorar niños y adolescentes con alteraciones de conducta ya que: facilita el análisis de datos ambiguos, imprecisos y llenos de incertidumbre; genera resultados exactos de valoración para cada una de las tipologías presentadas por los niños; proporciona un método formal para la representación del conocimiento en forma entendible y comprensible; además, es fácil de implementar.

Este trabajo contribuye a la implementación de una herramienta de software que auxiliará a los profesores de educación básica (primaria y secundaria) para que realicen la detección oportuna de niños con problemas de conducta. Sin embargo, la detección no es suficiente, se tiene que trabajar en el desarrollo de herramientas (juegos o juguetes) didácticas orientadas al tratamiento de cada uno de los trastornos de conducta identificados. A futuro, la falta de estas herramientas y en consecuencia la detección incorrecta e inoportuna, puede provocar que el país enfrente un problema de alto costo económico, educativo y social.

6. Referencias

- [1] J. Hill, "Disorders Of Personality Child and Adolescent Psychiatry". 2006. M. Rutter and E. Taylor. Massachusetts, Blackweel Edition. 723-736 pp.
- [2] F. Machlup, "The Economics of Information and Human Capital, in Knowledge: Its Creation, Distribution, and Economic Significance". Princeton University Press. Vol. 3. 1984.
- [3] A. M. García Medina, M. A. Aguilera García, M. G. Pérez Martínez, G. Muñoz Abundez, "Evaluación de los aprendizajes en el aula: Opiniones y prácticas de docentes de primaria en México". Primera edición. 2011. Instituto Nacional para la Evaluación de la Educación. 11-19 pp.
- [4] J. Rodríguez Sacristán, "Psicopatología del niño y del adolescente", Segunda Edición. 1998. Universidad de Sevilla.
- [5] J. J. López-Ibor, M. Valdés-Miyar, "DSM-IV: Manual Diagnóstico y estadístico de los trastornos mentales". 1995. Ed. Mason. Barcelona, España.
- [6] "Sistema Educativo de los Estados Unidos Mexicanos: Principales cifras, ciclo escolar 2008-2009". Dirección General de Planeación y Programación, Secretaría de Educación Pública. México, D.F. 2009.
- [7] Entrevista al Secretario de Hacienda y Crédito Público. Ernesto Cordero Arroyo, por Joaquín López Doriga, conductor del programa López Doriga en el 103.3 de FM. México, D. F. 14 de febrero de 2011.
- [8] J. Yen, R. Langari, "Fuzzy Logic: Intelligence, Control, and Information". First Edition. 1998. Prentice Hall. New Jersey. 3-55 pp.
- [9] T. J. Ross, "Fuzzy Logic with Engineering Application". Third Edition. 2010. John Wiley & Sons. United Kingdom. 89-207 pp.

- [10] H. T. Nguyen, M. Sugeno, "Fuzzy Systems: Modeling and Control". Reprint of the First Edition. 2012. Springer. New York. 19-177 pp.
- [11] L. X. Wang, "A course in Fuzzy Systems and Control". First Edition. 1996. Prentice Hall. New Jersey. 1-17 pp.
- [12] Investigación sobre Trastornos del Comportamiento en niños y adolescentes, Proyecto Esperí. Fundación IBERDROLA. España. 2008.

7. Autores

Dr. Andrés Ferreyra Ramírez es Ingeniero Mecánico Electricista con Especialidad en Electrónica, por la Universidad Nacional Autónoma de México. Maestro en Ingeniería Biomédica, por la Universidad Autónoma Metropolitana, unidad Iztapalapa. Doctorado en Ciencias en Control Automático, por el Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional CINVESTAV-IPN. Desde 1996 se desempeña como Profesor Investigador Titular "C" de tiempo completo en el Departamento de Electrónica de la UAM-Azcapotzalco, donde desarrolla trabajos de Investigación en las áreas de Softcomputing, Machine Learning y Sistemas de Transporte Inteligentes.

M. en I. David G. Maxinez es Ingeniero Mecánico Electricista, por la Universidad Nacional Autónoma de México (UNAM). Maestro en Ingeniería con Especialidad en Electrónica, por la División de Estudios de Posgrado de la Facultad de Ingeniería de la UNAM. Desde 1992 se desempeña como Profesor Investigador de tiempo completo en el Departamento de Ingeniería en Computación de la Facultad de Estudios Superiores Aragon FES-UNAM, donde desarrolla trabajos de Investigación en las áreas de Lógica Difusa, Microcontroladores y Tecnología Educativa.

M. en C. Arturo Zúñiga López es Profesor Investigador del Departamento de Electrónica, en el Área de Instrumentación, de la UAM Azcapotzalco. Actualmente realiza investigación en el Área de Redes de Computadoras, Sistemas Embebidos y Procesamiento Digital de Imágenes.

M. en C. Roberto A. Alcántara Ramírez es Ingeniero en Electrónica, por la Universidad Autónoma Metropolitana. Maestro en Ciencias e Ingeniería Mecatrónica, por el T.E.S.E. Desde 1987 se desempeña como Profesor Investigador de tiempo completo en el Departamento de Electrónica de la UAM-Azcapotzalco, donde desarrolla trabajos de Investigación en las áreas de Electrónica de Potencia y Control de Procesos.

Plataforma de entrenamiento para PIC

Mauricio López Villaseñor

UAM-Iztapalapa, Av. San Rafael Atlixco núm. 186, México D.F., Teléfono: 58040000 ext. 1308
ixoic@xanum.uam.mx

Miguel Ángel Ruiz Sánchez

UAM-Iztapalapa, Av. San Rafael Atlixco núm. 186, México D.F., Teléfono: 58040000 ext. 1304
mars@xanum.uam.mx

Miguel López Guerrero

UAM-Iztapalapa, Av. San Rafael Atlixco núm. 186, México D.F., Teléfono: 58040000 ext. 1309
milo@xanum.uam.mx

Resumen

Parte importante de la formación de un ingeniero en electrónica es el diseño de sistemas basados en microprocesadores. Es por eso que se diseñó una plataforma para facilitar el aprendizaje de este tema, más específicamente microprocesadores de la tecnología PIC. Este documento describe los criterios de diseño de una tarjeta (PCB) de desarrollo, llamada «PIC Experimenta». El propósito es que los alumnos de cursos relacionados con los sistemas digitales cuenten en una tarjeta con todos los elementos necesarios para realizar diversas prácticas y que de esta manera les resulte más fácil tanto el aprendizaje de la programación de microcontroladores, así como el desarrollo de aplicaciones basadas en éstos.

Palabra(s) Clave(s): microcontroladores PIC, sistemas de desarrollo didáctico.

1. Introducción

Un sinnúmero de tareas de control, encontradas en la industria y en objetos de uso cotidiano, se llevan a cabo bajo la supervisión de un microcontrolador. En nuestro país hay un gran número de empleadores que requieren soluciones de bajo coste en la automatización de tareas, por lo que cada vez más empresas dirigen sus esfuerzos al diseño y producción de sistemas basados en microprocesadores. Así, este tema se ha convertido en una parte importante en la formación de un ingeniero en electrónica.

Este trabajo plantea el diseño de una tarjeta (PCB) que sirva como plataforma para desarrollar sistemas basados en microcontroladores PIC. Esta tarjeta llamada «PIC Experimenta», cuenta con las interfaces y los periféricos necesarios para integrar un sistema capaz de realizar algunas de las tareas más comunes de los sistemas digitales. También cuenta con un arreglo de conectores que están pensados para conectar tarjetas adaptadoras de 40 terminales para microcontroladores diferentes a los de la familia PIC (AVR u otra tecnología).

En la actualidad, en el mercado existe una gran variedad en la oferta de tarjetas PCB diseñadas para los microcontroladores PIC. Un ejemplo son las tarjetas a las que se hace referencia en libros orientados al aprendizaje de los microcontroladores PIC [1, 2, 3, 4, 5]. También existen tarjetas PCB de diseño propietario. En Internet también se encuentra a la venta una gran variedad de tarjetas de entrenamiento [6, 7]; inclusive se pueden adquirir tarjetas de los mismos distribuidores o fabricantes de los microcontroladores [8, 9]. Sin embargo, la mayoría de estos productos aparecen y rápidamente desaparecen o se actualizan, dando lugar a nuevos diseños, frecuentemente incompatibles.

Con la finalidad de asegurar la accesibilidad a un diseño de tarjeta PCB capaz de utilizarse en diferentes aplicaciones, se diseñó esta tarjeta que usa componentes electrónicos fáciles de conseguir en cualquier establecimiento de componentes electrónicos y lo más importante es que además de contar con un conjunto de

periféricos, también se tiene accesibilidad a todas las terminales del microcontrolador, como cualquier plataforma mínima actual de desarrollo (p. ej., Arduino y MSP430) en la que se pueden interconectar periféricos diferentes a los incorporados.

Esta tarjeta PCB se ha utilizado en las prácticas de los cursos de Sistemas con Microprocesadores I y II en la Universidad Autónoma Metropolitana-Iztapalapa. En las siguientes secciones detallaremos las características de la tarjeta «PIC Experimenta».

2. Desarrollo

«PIC Experimenta» es una tarjeta muy versátil que permite utilizar uno de varios modelos de los microcontroladores PIC, permitiendo poner en práctica las capacidades de los PIC16XXX de 18, 28 y 40 terminales y más específicamente de los microcontroladores PIC16F84, PIC16F876 y PIC16F877 de *Microchip*. También es posible utilizar otros modelos de la misma familia de microcontroladores de este mismo fabricante cuya configuración es sus terminales coincida con las de los anteriormente mencionados.

Dependiendo del PIC utilizado, se pueden o no usar los diferentes periféricos implementados en la tarjeta. A su vez, el funcionamiento de estos periféricos se puede habilitar o deshabilitar, esto último con la ayuda de interruptores DIP combinados con algunos puentes (*jumpers*). La tarjeta cuenta además con terminales (*headers*) que permiten llevar a cabo las conexiones con un circuito externo.

La tarjeta «PIC Experimenta» fue diseñada de manera modular, en el sentido de que cada uno de los periféricos integrados en la tarjeta ocupa un área muy específica. Así, se puede identificar: (a) un área donde se colocan los microcontroladores, que incluye los conectores que dan acceso a las terminales del microcontrolador, así como los conectores para colocar un adaptador que albergue otro microcontrolador y el conector para la señal de reloj, (b) el control de módulos, (c) el botón de reinicio de la tarjeta, (d) el botón de interrupción externa, (e) las memorias de bus I2C, (f) el grupo de LED de

propósito general, (g) la interfaz RS-232, (h) la pantalla alfanumérica LCD, (i) el sensor de temperatura y (j) la fuente de alimentación (circuito de rectificación y regulación a +5V). La Fig. 1 muestra la tarjeta «PIC Experimenta».

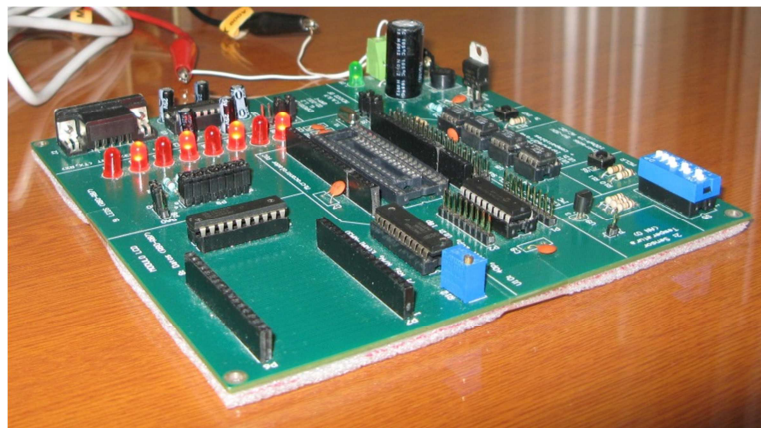


Fig. 1. Tarjeta «PIC Experimenta».

Las metas en el diseño de la tarjeta experimental fueron varias y de diferentes tipos: (a) tener una plataforma que pueda ser utilizada con una variedad de modelos de microcontroladores, (b) que el microcontrolador pueda usar los periféricos incluidos en la tarjeta de experimentación y otros no contemplados en el diseño de la tarjeta, (c) que el usuario tenga la posibilidad de alimentar la tarjeta con corriente directa o corriente alterna, y (d) que el usuario pueda seleccionar entre varias formas de alimentar las terminales asignadas a la señal de reloj.

Vale la pena mencionar que un microcontrolador puede llevar a cabo el control de una gran variedad de periféricos a través de sus terminales de entrada-salida. Algunos periféricos tienen un mayor coste que otros, algunos otros obligan al microcontrolador a invertir un mayor número de sus terminales de entrada-salida. Dentro de toda esa gran variedad, se incorpora en la tarjeta tres periféricos básicos, que cualquier aplicación probablemente pueda incluir: un arreglo de ocho LED, una interrupción (externa) y la capacidad de reiniciar al microcontrolador (*reset*). También se seleccionó un dispositivo de visualización (pantalla de cristal líquido, LCD), un dispositivo que haga uso del

módulo interno de conversión A/D y dos dispositivos que hacen uso de los módulos internos de comunicación serial, síncrona y asíncrona (la asíncrona basada en la norma RS232 y la síncrona usando un arreglo de memorias con comunicación I2C).

La selección del arreglo de LED se basó en el hecho de que, probablemente, la primera aplicación en el estudio de los microcontroladores sea el manejo de los puertos de entrada-salida, al controlar el prendido y apagado de un grupo de LED. El manejo de los puertos de entrada-salida es muy importante debido a que muchos de los periféricos son controlados utilizando las terminales de estos puertos. En la Fig. 2 se muestra el diagrama de conexiones entre los diferentes zócalos que albergan los microcontroladores PIC (de 18, 28 y 40 terminales) y los ocho LED.

La selección de la interrupción externa se basó en el hecho de que toda aplicación debe tener la capacidad de atender un evento externo. El evento externo por lo general lo produce una circuitería externa al microcontrolador y puede provenir de diferentes fuentes. En la tarjeta «PIC Experimenta» este caso se ejemplifica mediante el uso de la interrupción externa, denominada INT en el microcontrolador. La Fig. 3 muestra el diagrama de conexiones entre los diferentes zócalos que albergan los microcontroladores PIC (de 18, 28 y 40 terminales) y el botón que activa la interrupción.

La opción de incluir un circuito de reinicio del microcontrolador se basó en la conveniencia de permitirle al usuario que pueda reiniciar (*reset*) el microcontrolador. Esta opción es útil para reiniciar una aplicación que se encuentra en ejecución, no hay que olvidar que esta tarjeta se utiliza para el aprendizaje de la programación de los microcontroladores, y en este proceso, en algunas ocasiones, se requiere activar este reinicio. En la Fig. 3 se muestra el diagrama de conexiones entre los diferentes zócalos que albergan los microcontroladores PIC (de 18, 28 y 40 terminales) y el botón de reinicio MCLR. Sólo un microcontrolador a la vez debe ser usado en la tarjeta.

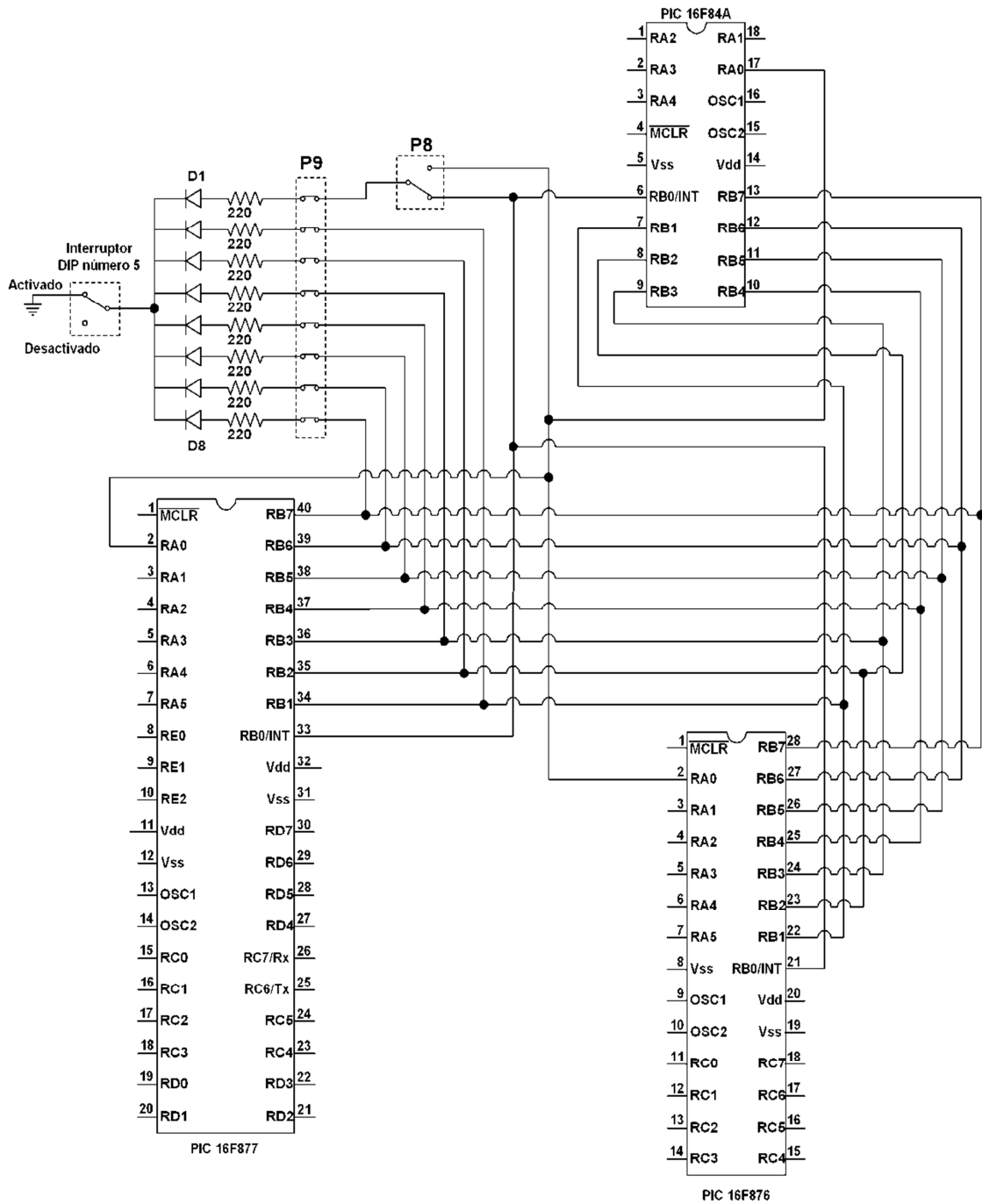


Fig. 2. Conexiones de los microcontroladores de 18, 28 y 40 terminales con el arreglo de ocho LED.

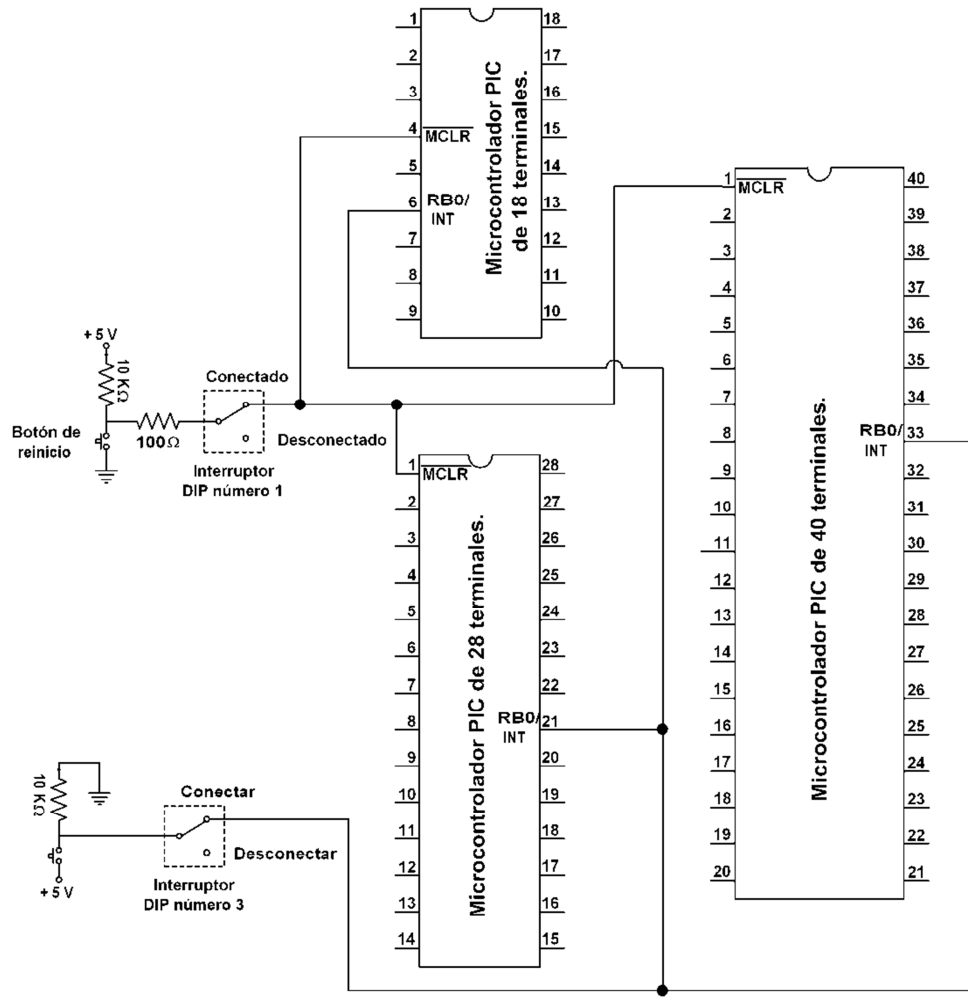


Fig. 3. Conexiones de los microcontroladores de 18, 28 y 40 terminales con la entrada de interrupción externa y con el botón de reinicio del microcontrolador (reset).

La opción de incluir un dispositivo de visualización de pantalla de cristal líquido se basó en el hecho de que en una aplicación el usuario tiene que interactuar, ya sea para producir alguna acción de cambio o simplemente para conocer el estado actual de la máquina, y en algunas ocasiones no es suficiente la información generada por un arreglo de LED. La Fig. 4 muestra el diagrama de conexiones entre los diferentes zócalos que albergan los microcontroladores PIC (de 18, 28 y 40 terminales) y la pantalla de cristal líquido.

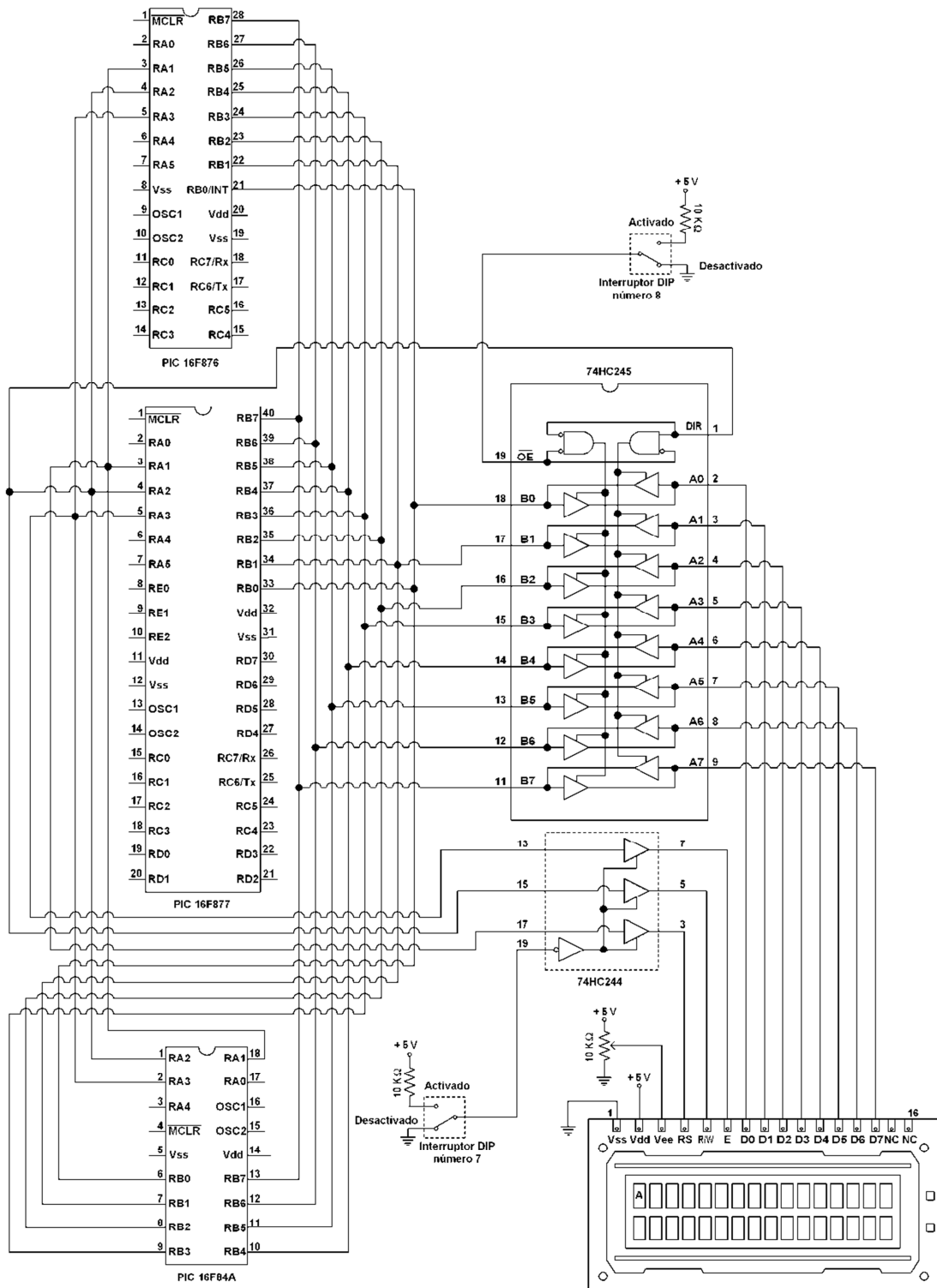


Fig. 4. Conexiones de los microcontroladores de 18, 28 y 40 terminales con el LCD.

Se eligió incluir un dispositivo que hiciera uso del módulo de conversión analógico a digital por el hecho de que todas las señales en el mundo real son fundamentalmente analógicas y algunas aplicaciones importantes deben realizar este proceso de conversión para poder procesarlas. En el diseño de esta tarjeta se utilizó un sensor de temperatura analógico, el LM35, para ejemplificar el uso del convertidor A/D.

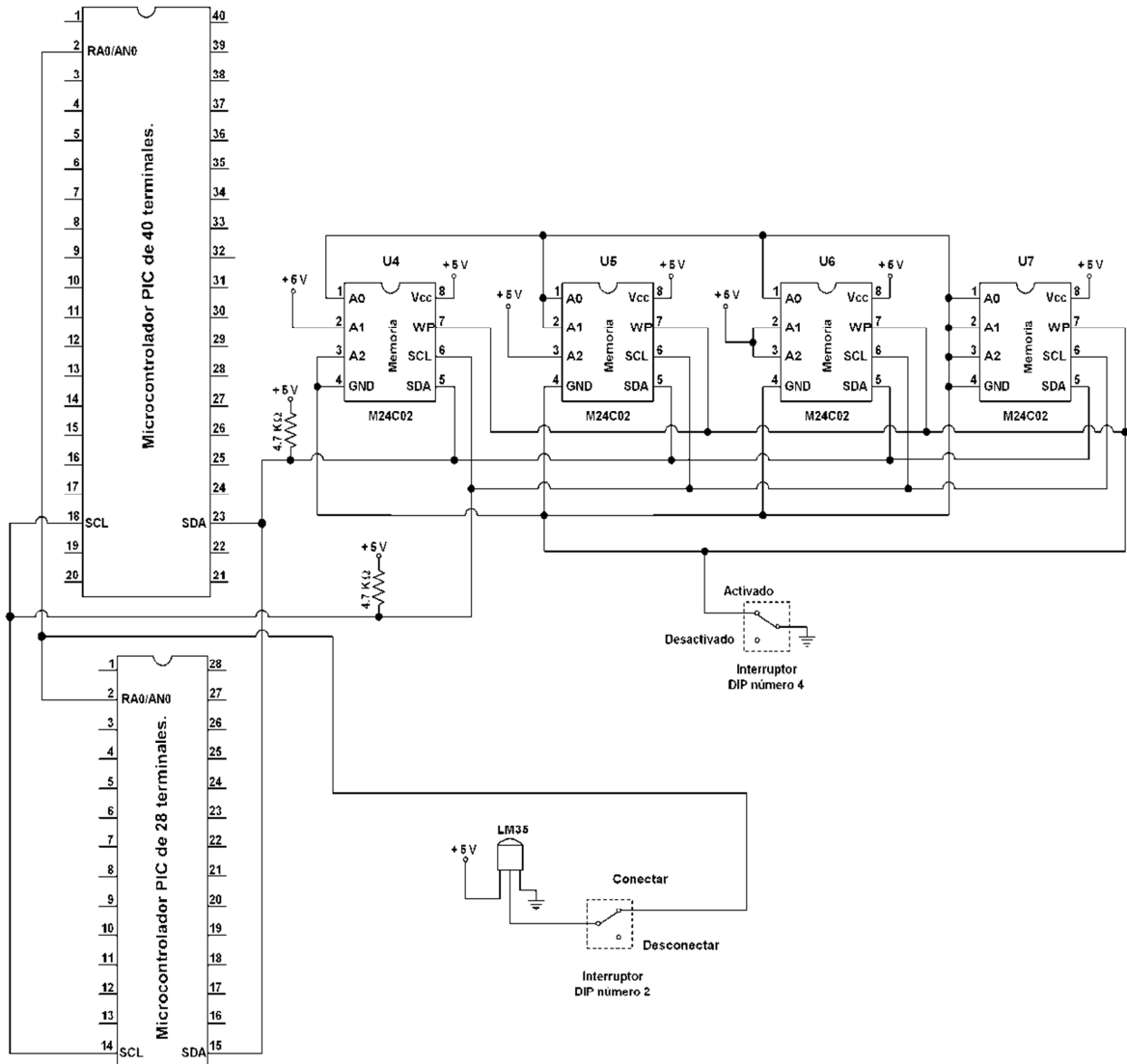


Fig. 5. Conexiones de los microcontroladores con el sensor de temperatura y las memorias bus I2C.

En la Fig. 5 se muestra el diagrama de conexiones entre los diferentes zócalos que albergan los microcontroladores PIC (de 28 y 40 terminales, no existe una conexión con los microcontroladores de 18 terminales) y el sensor de temperatura analógico.

También se consideró el uso de protocolos de comunicación, uno de ellos el serial asíncrono basado en la norma RS232, y el otro el serial síncrono I2C. Estos fueron seleccionados debido a que un gran número de periféricos utilizan alguna de estas interfaces para ser controlados. Si bien existen otros protocolos, creemos que los seleccionados, son indispensables, ya que son muy utilizados en la industria. Por ejemplo en la actualidad se encuentran dispositivos de radiofrecuencia (sobre todo dispositivos XBee y WiFi) que utilizan como interfaz la norma RS232; mientras que los dispositivos como las memorias EEPROM externas y algunos dispositivos sensores, entre otros, utilizan como interfaz la comunicación serial síncrona I2C.

La Fig. 6 muestra el diagrama de conexiones entre los diferentes zócalos que albergan los microcontroladores PIC (de 18, 28 y 40 terminales) y el conector DB9. Asimismo, en la Fig. 5 se muestra el diagrama de conexiones entre los diferentes zócalos que albergan los microcontroladores PIC (de 28 y 40 terminales, no existe una conexión con los microcontroladores de 18 terminales) y el arreglo de memorias EEPROM de capacidad de 250 bytes.

También, en la tarjeta, se incluye la sección de regulación y rectificación a +5V, voltaje que energiza la tarjeta, ver la Fig. 7. En esta figura se identifican dos conectores de entrada, una de alimentación tipo *jack* para AC o DC (J1) y otra de alimentación de transformador (P11), que entran a un puente de diodos para rectificación de la señal en caso de alimentación de AC, y para DC (se puede aplicar una polarización u otra de manera indistinta). También, se incluye un LED para indicarle al usuario que la tarjeta se encuentra energizada.

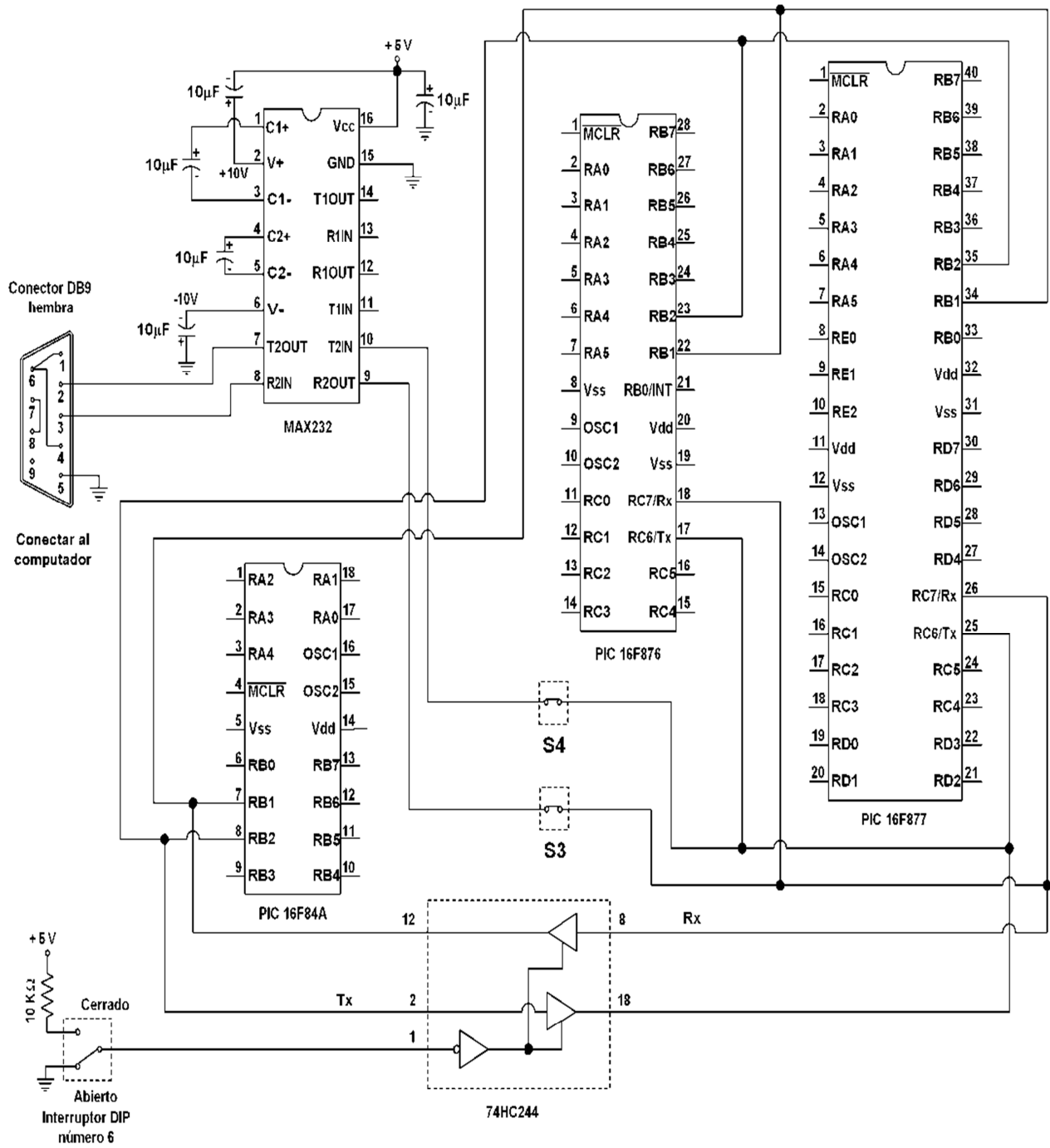


Fig. 6. Conexiones de los microcontroladores de 18, 28 y 40 terminales con el conector DB9.

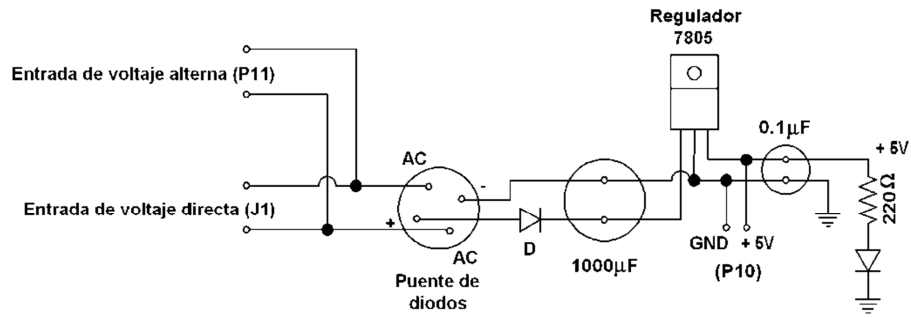


Fig. 7. Diagrama del módulo de rectificación y regulación a + 5V.

Para acceder a todas las terminales de los microcontroladores se incluye un arreglo de conectores cuya distribución, con respecto a los tres zócalos en los que se insertan los microcontroladores PIC (de 40, 28 y 18 terminales) se muestra en la Fig. 8. Adicionalmente a estos conectores, se incluyen dos conectores que están pensados para conectar tarjetas adaptadoras de 40 terminales con diseños de microcontroladores diferentes a los de la familia PIC (AVR u otra tecnología), y éste tiene la misma distribución de terminales que el zócalo de 40 terminales.

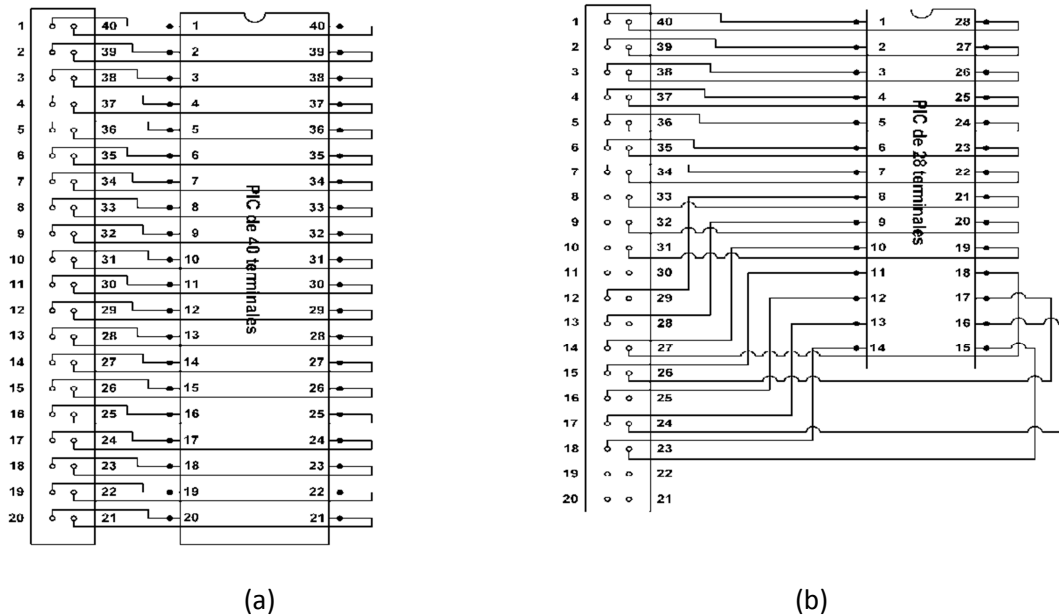


Fig. 8. Relación de terminales de un microcontrolador de (a) 40 terminales y (b) 28 terminales, con sus conectores de acceso (*header*).

3. Resultados

Con esta tarjeta «PIC Experimenta» se desarrollaron un conjunto de aplicaciones muy sencillas cuya finalidad es permitir al usuario verificar el funcionamiento de los diferentes periféricos ubicados en la misma tarjeta. Estas aplicaciones son programas que también son usados para comprobar el funcionamiento de la tarjeta de experimentación. Para llevar a cabo estas aplicaciones se pueden usar diferentes microcontroladores PIC (PIC16F84 y PIC16F877).

En cada uno de los ejemplos desarrollado se especifica: (a) el objetivo de la aplicación y el periférico o periféricos utilizados, (b) las conexiones de los interruptores DIP y los conectores a puentear para cada aplicación y (c) los diagramas de flujo que muestran la lógica del algoritmo implementado.

La lista de las aplicaciones son (en todos los casos se tiene habilitado el módulo del botón de reinicio y se aplicó un voltaje de alimentación en corriente directa en el intervalo de 9 a 12 volts):

- Luces rítmicas, permite verificar el funcionamiento del módulo del arreglo de LED de propósito general.
- Despliegue de datos controlado por interrupción, permite verificar el funcionamiento del módulo de interrupción externa. Para la visualización del efecto de la interrupción se utiliza el módulo del arreglo de LED de propósito general.
- Comunicación serial RS-232, permite verificar el funcionamiento del módulo de interfaz RS-232.
- Monitorización de temperatura, permite verificar el funcionamiento del módulo del sensor de temperatura. Para la visualización de la lectura de la temperatura se

utiliza el módulo de interfaz RS-232 y una computadora personal tipo PC que permita emular una terminal.

- Despliegue de un mensaje HOLA en un display LCD, permite verificar el funcionamiento del módulo de pantalla del LCD.
- Lectura y escritura en una memoria de bus I2C, permite verificar el funcionamiento del módulo de memorias de bus I2C. Para la visualización de la lectura de la memoria se utiliza el módulo de interfaz RS-232 y una computadora personal tipo PC que permita emular una terminal.

4. Discusión

El uso de este diseño de equipo de laboratorio ofrece al alumno la posibilidad de consolidar conceptos vistos en la clase de teoría. Por ejemplo, el alumno puede poner en práctica el manejo de puertos de entrada-salida mediante el despliegue de información en los LED conectados en su puerto. Puede incorporar mecanismos especiales de interrupción al procesador mediante el uso de la interrupción externa (botón de interrupción (*push button*) accesible por la terminal RB0/INT en los PIC). Por otro lado, al configurar la terminal RB0 como terminal de entrada-salida (no como entrada de interrupción), el alumno puede hacer uso de este botón para poner a prueba técnicas de encuesta o sondeo (*polling*), así como métodos para eliminación de «rebotes» por software. Puede poner en práctica la comunicación entre dos dispositivos que reconozcan la comunicación serial basada en la norma RS232, que involucra la recepción y transmisión de caracteres por interrupción, y como opción, el diseño de los algoritmos para llevar a cabo los niveles de señalización establecidos por la norma RS232. Puede poner en práctica la conversión analógica a digital, que involucra la programación del convertidor analógico-digital interno del microcontrolador y las técnicas en la caracterización del sensor. También, con el uso de esta tarjeta, el alumno puede poner en práctica el uso de una interfaz hombre-máquina mediante el despliegue de información en un módulo de cristal líquido (LCD). Así como poner en práctica el uso

de un protocolo de comunicación y el uso de memorias no volátiles, como las memorias EEPROM externas, al usar el protocolo de comunicación serial síncrono I2C.

A través de la tarjeta descrita en este trabajo el alumno pone a prueba y desarrolla sus habilidades en el proceso de diseño del programa de la aplicación. También, desarrolla habilidades en el uso de las herramientas de desarrollo: editores, simuladores y los programadores de microcontroladores, en las que se incluye la depuración y el proceso de grabación de un microcontrolador por medio de una computadora personal.

5. Conclusiones

El diseño de esta tarjeta ha sido de gran utilidad para incursionar en el diseño e implementación de tarjetas PCB con aplicaciones en las redes inalámbricas. A través de este trabajo se han visto las enormes ventajas de contar con tarjetas que incluyan los componentes necesarios para desarrollar rápidamente una aplicación.

En los cursos que hemos utilizado esta tarjeta nos hemos percatado de que el alumno puede poner mayor atención en el aprendizaje del uso de los microcontroladores y dejar a un lado la problemática de un mal funcionamiento debido a problemas de conexión.

Como trabajo futuro se pretende diseñar PCB adaptadoras para un microcontrolador AVR y llevar a cabo las pruebas de funcionalidad con los periféricos incluidos en la tarjeta «PIC Experimenta». En este caso, se abre la posibilidad del uso de esta tarjeta en los grupos que son impartidos por profesores que se inclinan al manejo de otras tecnologías, como la de los AVR.

6. Referencias

- [1] J. M. Angulo, S. Romero, I. Angulo, Microcontroladores PIC: Diseño práctico de aplicaciones. Segunda parte. 1ª Edición. 2000. McGraw-Hill. España. 232 pp.

- [2] J. M. Angulo, I. Angulo, *Microcontroladores PIC: Diseño práctico de aplicaciones. Primera parte. 3ª Edición.* 2003. McGraw-Hill. España. 357 pp.
- [3] E. Martín, J. M. Angulo, I. Angulo, *Microcontroladores PIC: La clave del diseño.* 1ª Edición. 2003. Thomson. España. 452 pp.
- [4] E. Palacios, F. Remiro, L. J. López, *Microcontroladores PIC16F84: Desarrollo de proyectos.* 2ª Edición. 2006. Alfaomega. México. 623 pp.
- [5] W. González, *Proyectos prácticos con microcontroladores PIC.* 1ª Edición. 2002. Electrónica y Servicio. México. 134 pp.
- [6] PIC Microcontroller Training Kit. <http://www.kanda.com/products/Kanda/STK-PIC.html>. Abril de 2015.
- [7] Sistemas Robóticos. http://www.roboticacnc.com.mx/tarjetas_robots.html. Abril de 2015.
- [8] Tarjeta de Demostración PICDEM 2 PLUS. <http://ljev.net/projects/picdem2/index.html>. Abril de 2015.
- [9] Kit de desarrollo PICDEM 4. <http://mx.rsdelivers.com/product/microchip/dm163014/kit-de-desarrollo-picdem-4/6231064.aspx>. Abril de 2015.

7. Autores

Ing. Mauricio López Villaseñor es Ingeniero en Electrónica por la Universidad Autónoma Metropolitana, Unidad Iztapalapa.

Dr. Miguel Ángel Ruiz Sánchez obtuvo su título de Doctorado por la Universidad de Nice-Sophia Antipolis, Francia.

Dr. Miguel López Guerrero obtuvo su título de Doctorado por la Universidad de Ottawa, Canadá.

Sistema de acceso a áreas restringidas con detección de intrusos

José Ignacio Vega Luna

Universidad Autónoma Metropolitana-Azcapotzalco, Av. San pablo 180, Col. Reynosa Tamaulipas,
México, D.F., Teléfono: 55-53189552
viji@correo.azc.uam.mx

Mario Alberto Lagos Acosta

Universidad Autónoma Metropolitana-Azcapotzalco, Av. San pablo 180, Col. Reynosa Tamaulipas,
México, D.F., Teléfono: 55-53189552
viji@correo.azc.uam.mx

Gerardo Salgado, Víctor Noé Tapia Vargas

Universidad Autónoma Metropolitana-Azcapotzalco, Av. San pablo 180, Col. Reynosa Tamaulipas,
México, D.F., Teléfono: 55-53189552
viji@correo.azc.uam.mx

Resumen

En este trabajo se presenta el desarrollo e implantación de un sistema electrónico usado en el acceso a áreas importantes y reservadas en un centro de datos. El usuario debe proporcionar, por medio de un botón o switch, el código Morse de cada uno de los números de una clave pre-establecida de 4 dígitos para que el sistema le permita el acceso. Cada vez que se proporciona una clave, válida o inválida, el sistema envía de forma inalámbrica una notificación a una computadora personal, ubicada en una oficina central de monitoreo.

Palabra(s) Clave(s): centro de datos, código Morse, inalámbrica.

1. Introducción

Un centro de procesamiento de datos (CPD), también llamado simplemente centro de datos o data center por su equivalente en inglés, es una instalación que concentra recursos o equipos necesarios para el procesamiento y almacenamiento de información de empresas e instituciones, así como equipos de telecomunicaciones para acceder tanto local como remotamente dicha información. Con la rápida evolución de la Internet y la necesidad de estar conectados en todo momento, las empresas se ven obligadas a contar con un alto nivel de confiabilidad y seguridad en el acceso a su información, ubicando sus equipos de cómputo, telecomunicaciones y de almacenamiento en un CPD para garantizar la continuidad de servicio a clientes, empleados, ciudadanos, proveedores y empresas colaboradoras [1]. Es vital que el CPD cuente con mecanismos seguros y eficientes para la protección física del equipo, ya que contienen información con datos críticos y necesarios para las operaciones diarias de la empresa a fin de evitar poner en riesgo la productividad y el negocio mismo. Hoy en día las compañías, sobre todo las medianas y grandes, cuentan con su propio CPD o usan los servicios que ofrecen empresas que se dedican a la instalación, mantenimiento y operación de centros de datos, lo cual les permite centrarse en el desarrollo de su propio negocio y olvidar las complejidades tecnológicas de un CPD, sin necesidad de realizar una elevada inversión en equipamiento e instalaciones. La seguridad en un centro de datos, tanto de equipos, instalaciones e información, es un aspecto tan importante como la operación del mismo. Periódicamente los centros de datos son auditados por organismos y empresas externas, para poder estar certificados y ofrecer servicios garantizados a sus clientes. Un punto importante que consideran estas auditorías es la vulnerabilidad de los sistemas de acceso [2]. En los centros de datos se usa una gran variedad de dispositivos para acceder a las instalaciones incluyendo: cerraduras electromagnéticas, torniquetes, videocámaras, detectores de movimiento, tarjetas de identificación, sistemas biométricos y de teclados para introducir una clave de acceso. Se usa uno o varios de estos dispositivos dependiendo de los siguientes

factores: tipo de área a proteger, cantidad y tipo de usuarios que pueden acceder al área, equipo alojado y confiabilidad del mecanismo de seguridad. Comúnmente, sólo una cantidad pequeña bien identificada de personal del centro de datos puede acceder a las áreas críticas, privilegiadas e importantes del mismo, donde el mecanismo de acceso es con dispositivos biométricos y/o con claves numéricas o alfanuméricas [3]. Este tipo de claves son suministradas por el usuario mediante un teclado de 10 botones similar al de los teléfonos, que aún son un método confiable y complementario de acceso. Cada tecla es push-button normalmente abierto. Estos sistemas son bastante seguros, ya que es muy difícil que un intruso determine la clave correcta. Sin embargo, con el tiempo y el uso, estos sistemas son más vulnerables que útiles, puesto que un intruso puede determinar la clave observando el desgaste por uso de las teclas.

En los centros de datos todos los sistemas de acceso, seguridad y monitoreo de variables, como humedad y temperatura, son controlados y operados remotamente desde una oficina central [4]. La comunicación de estos sistemas con la oficina central utiliza tecnologías alámbricas o inalámbricas. Cuando es necesario instalar un nuevo equipo de acceso y monitoreo, el punto de partida a considerar, es que no debe interrumpirse la operación actual y tanto como se pueda, no cambiar la infraestructura existente. Es decir, si se instala un nuevo equipo o mecanismo de acceso es altamente recomendable que no se modifique o adicione cableado al ya existente, puesto que el cableado de datos de los equipos alojados en el centro de datos cumple con estándares de instalación y operación altamente calificados. Por esta razón fundamental, es indispensable usar una tecnología de comunicación inalámbrica con la oficina central.

WiFi es la tecnología de comunicación inalámbrica con más tiempo en el mercado y que se usa para transmisión de grandes cantidades de datos y de alta velocidad. Existen alternativamente las tecnologías Bluetooth y ZigBee. Los dispositivos y electrónica de WiFi son de mucho mayor costo y consumo de energía que las dos últimas. WiFi se usa principalmente en las aplicaciones multimedia y acceso a la nube y no tanto en la transmisión de información de sensores de variables. La tecnología Bluetooth se usa en

la comunicación entre un par de periféricos o entre una computadora y un periférico previamente vinculados y a corta distancia. La tecnología ZigBee es la más aceptada actualmente para la comunicación con sistemas remotos de control y monitoreo. En la Tabla 1 se resumen las principales diferencias entre las tres tecnologías anteriores.

	ZigBee®	Bluetooth	WiFi™
Estándar usado	802.15.4	802.15.1	802.11
Aplicación	Monitoreo y control	Periféricos, monitoreo, control, video.	Web, Email, Video
Duración de la batería (días)	100 - 100+	1 – 7	0.5 - 5
Tamaño de la red (nodos)	65,535	7	32
Ancho de banda (Kbps)	250	24,000	300,000
Rango (metros)	100	30	20
Arquitectura de red	Malla	Estrella	Estrella
Optimizado para	Confiabilidad, bajo consumo de energía, bajo costo y crecimiento	Bajo costo y conveniencia	Velocidad y cantidad de información

Tabla 1. Principales características de ZigBee, Bluetooth y WiFi.

La tecnología ZigBee representa un conjunto de protocolos de alto nivel de comunicación inalámbrica de bajo consumo de corriente que se basa en el estándar de redes inalámbricas de área personal (WPAN) IEEE 802.15.4 [5]. Su objetivo son las aplicaciones que requieren comunicaciones seguras de baja velocidad de transmisión y maximización de la vida útil de baterías. ZigBee se ha desarrollado para satisfacer la creciente demanda de capacidad de red inalámbrica entre varios dispositivos de baja

potencia [6]. Se está utilizando en la automatización de procesos, con pequeños transmisores en cada dispositivo, lo que permite la comunicación entre dispositivos a una computadora central. ZigBee es ideal para configurar redes domóticas ya que fue diseñado específicamente para reemplazar la proliferación de sensores y actuadores individuales, presentando las siguientes tres características principales: bajo consumo de energía, se puede usar fácilmente para realizar redes de comunicación de datos con una topología de malla, es de fácil integración con otros dispositivos (se pueden fabricar nodos ZigBee con muy poca electrónica) y es más fácil de usar que otros dispositivos de transmisión inalámbrica como WiFi. ZigBee puede transmitir a una velocidad máxima de 250 Kbps., suficiente para la aplicación aquí diseñada [7].

En este trabajo se presenta el desarrollo e implantación de un sistema electrónico usado en el acceso de áreas importantes y reservadas en un centro de datos, donde el usuario debe proporcionar el código Morse de cada uno de los números de una clave pre-establecida de 4 dígitos.

El Código Morse es un medio de comunicación basado en la transmisión y recepción de mensajes empleando sonidos o luces parpadeantes y un alfabeto alfanumérico compuesto por dos símbolos: puntos y guiones. Debe su nombre a su creador, el pintor y físico estadounidense Samuel F.B. Morse (1791-1872), quien lo desarrolló en 1830 para servir como un medio de comunicación en la telegrafía eléctrica. Este código surgido en el siglo XIX, continúa usándose hoy en día fundamentalmente en ambientes donde las condiciones atmosféricas adversas no permiten el empleo de otros medios más desarrollados como, por ejemplo, la transmisión de la voz [8]. Aun cuando en una transmisión inalámbrica por radiofrecuencia realizada solamente con código Morse y bajo interferencias producidas por tormentas eléctricas, los sonidos de los puntos y los guiones serán siempre reconocibles para el oído humano aunque se escuchen mezclados con el ruido que produce en esos casos la estática atmosférica. El sistema Morse representa las letras del alfabeto, los números y otros signos mediante una combinación de puntos, guiones y espacios. Cada punto representa una unidad, cuyo

tiempo de duración es de aproximadamente 40 ms, y cada guion tres unidades. El espacio entre las letras es de 3 puntos y 5 puntos entre palabras.

2. Desarrollo

Para la implantación del sistema se siguió una metodología que consistió en dividir el trabajo en seis módulos funcionales: un microcontrolador, un módulo de identificación de usuario, un módulo de salida, un transceptor inalámbrico local, un transceptor inalámbrico remoto y una interface de usuario en una computadora personal. La Fig. 1 muestra el diagrama de bloques del sistema completo. A continuación se explicará el funcionamiento de cada módulo y posteriormente la programación del microcontrolador quién es el módulo principal del sistema.

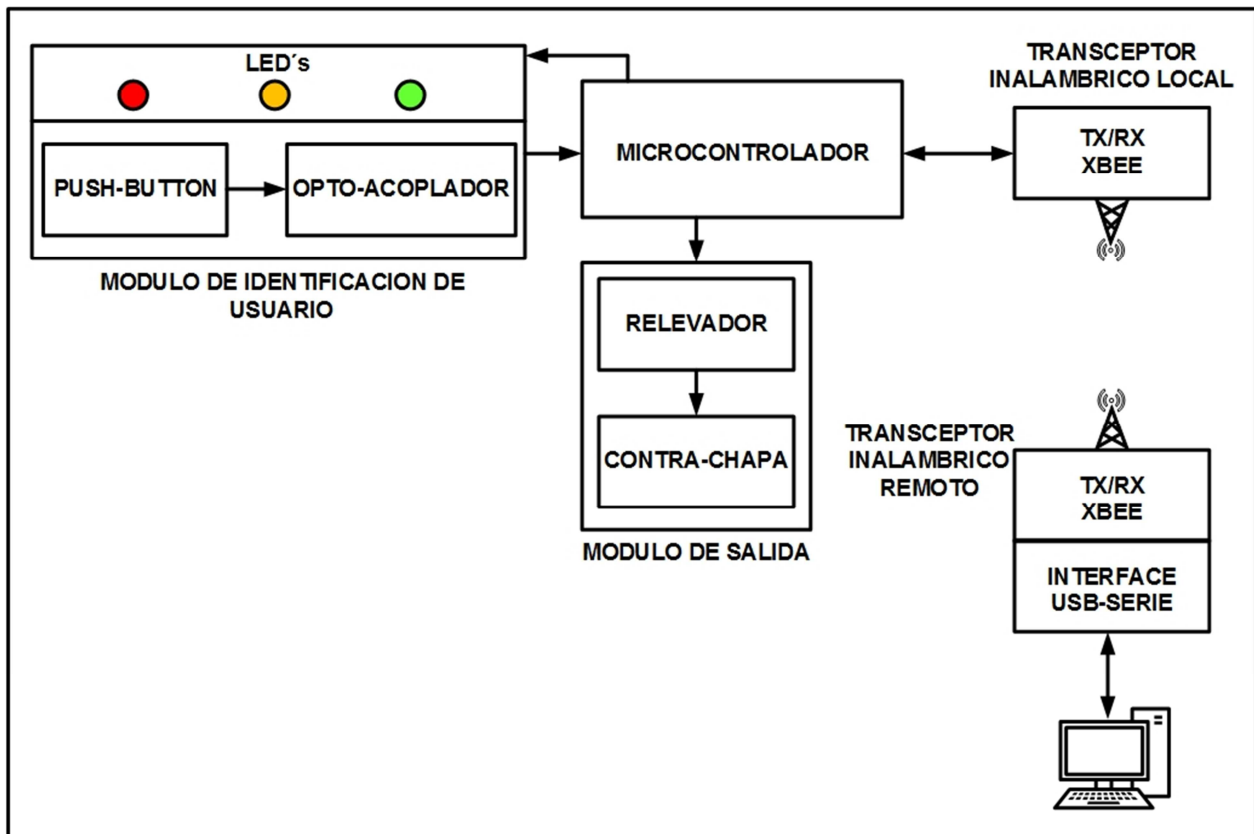


Fig. 1. Diagrama de bloques del sistema completo.

El microcontrolador

Se utilizó un microcontrolador PIC 16F887 ya que cuenta con los siguientes recursos principales necesarios y suficientes para la realización de este trabajo: CPU de 8 bits, memoria de programa FLASH de 8 KB, memoria RAM de 368 bytes, memoria EEPROM de 256 bytes, puerto serie EUSART, cuatro puertos paralelo y tres temporizadores [9]. En la memoria EEPROM del microcontrolador se almacena la clave de 4 números para activar una contra-chapa eléctrica y permitir el acceso al área bajo resguardo. Esta clave es establecida por el administrador del sistema desde una interface de usuario en una computadora personal, localizada en una oficina central de control y monitoreo, la cual es enviada al microcontrolador inalámbricamente usando transceptores ZigBee. La persona que necesite ingresar al área bajo resguardo debe suministrar el código Morse de cada número de la clave. Cada vez que se ingrese una clave correcta o incorrecta, el microcontrolador envía a la interface de usuario una notificación que se registra en un archivo de la computadora personal, indicándole el evento al usuario. Se seleccionó el código Morse porque es relativamente sencillo que un usuario pueda introducirlo al sistema, solo basta con usar un botón y que el usuario aprenda el código de los cuatro números de la clave. El código de cada número es una secuencia de uno hasta cuatro puntos y guiones, a los cuales se les denominará signos de aquí en adelante. Cada vez que se presione o cierre el botón ubicado en el módulo de entrada, potencialmente el usuario estará suministrado un signo. Si la persona presiona el botón durante un intervalo de 50 a 200 ms, se considera un punto, si lo presiona durante un tiempo de 200 a 1500 ms, se considera un guion. Menor a 50 ms y mayor a 1500 ms, se considera un signo inválido. Al proporcionar el código de un número, el usuario tiene máximo 5 segundos para proporcionar el siguiente. Si excede este tiempo, el sistema regresa a su estado inicial. Estos tiempos pueden modificarse y ser ajustados en la programación del microcontrolador, ya que son generados por el Timer 0 del microcontrolador

El módulo de identificación de usuario

Este módulo consiste de un switch del tipo push-button normalmente abierto conectado a la entrada de un opto-aislador 4N28 [10]. La etapa de salida del opto-acoplador se conectó a una línea de entrada del Puerto A del microcontrolador. Cuenta también con tres leds: un rojo, un ámbar y un verde. Inicialmente, cuando el usuario no está suministrando una clave, solo se encontrará prendido el led rojo que indica que la contra-chapa se encuentra cerrada. Al iniciar el suministro de una clave, se apaga el led rojo y se enciende el ámbar. Cuando se ha suministrado la clave correcta se apaga el led ámbar, se enciende el led verde y se activa la contrachapa durante 10 segundos. Si el usuario suministra una clave errónea se apaga el led ámbar y se enciende el rojo, regresando el sistema a su estado inicial. Como ya se indicó, al presionar el switch dentro de un rango de tiempo indicará un punto, un guion o un signo inválido. Un grupo de signos, de uno a cuatro, corresponde al código Morse de un número.

El módulo de salida

Este módulo consiste de un relevador conectado a una línea de salida del Puerto A del microcontrolador, y de una contra-chapa eléctrica conectada a la salida del relevador. Cuando el usuario ha suministrado la clave correcta, el microcontrolador activa la contra-chapa durante 10 segundos. En la Fig. 2 se muestra la contra-chapa eléctrica usada en este módulo.



Fig. 2. Contra-chapa magnética.

El transceptor inalámbrico local

En este módulo del sistema se utilizó un circuito XBee Serie 2, como el mostrado en la Fig. 3, conectado al puerto serie del microcontrolador. Su función es enviar una notificación a la interface de usuario de la computadora personal cada vez que el usuario suministre una clave, valida o invalida, así como recibir desde la interface de usuario de la computadora una clave, que el administrador establezca, y almacenarla en la memoria EEPROM del microcontrolador. El circuito XBee Serie 2 es un dispositivo compatible con el protocolo ZigBee 802.15.2. Se usa la tecnología ZigBee en este trabajo dado que permite ubicar la computadora a una distancia hasta de 90 metros del sistema de acceso, sin necesidad de instalar cableado adicional ni modificar la infraestructura existente, dado que por lo general no es factible realizar o en ocasiones imposible llevar a cabo en un centro de datos [11].

El circuito XBee Serie 2 cuenta con antena integrada, que puede transmitir información inalámbrica a una distancia máxima de 300 pies en interiores, trabaja a una frecuencia de 2.4 GHz. y usa los protocolos de red y ruteo del estándar ZigBee. Se alimenta con una fuente de voltaje de 3.3 V y puede configurarse para trabajar en una red de malla, lo que le permite extender su rango de transmisión haciendo uso de ruteadores. El circuito XBee Serie 2 se puede configurar en uno de los siguientes dos modos de operación: modo transparente o modo API. En el modo transparente o AT, el circuito XBee funciona como una línea serie simple, de manera que la información que recibe por su entrada serie (en este caso conectada a la salida de datos serie del USART del microcontrolador) la transmite por la antena y de manera similar, la información que recibe por medio de la antena se entrega por medio de la línea de salida serie. En el modo API (Application Programming Interface), el circuito XBee recibe y transmite comandos para realizar diversas actividades. Es en este modo en el que realmente el circuito XBee usa el protocolo ZigBee, aprovechando todas las funciones del protocolo, permitiendo al diseñador implantar redes inalámbricas. Independientemente del modo

transparente y modo API, los circuitos XBee pueden configurarse para funcionar como nodos coordinadores o nodos ruteadores.



Fig. 3. Circuito Xbee Serie2.

Los nodos coordinadores reportan a los nodos ruteadores. Los nodos coordinan la actividad al interior de la red, enviando paquetes de un nodo a otro, actuando, como lo indica el nombre, como ruteadores o intermediarios de la red. Para configurar un circuito XBee Serie 2 en modo transparente o API y para operar como coordinador o ruteador, es necesario cargar o cambiarle el firmware correspondiente [5].

El circuito XBee de este módulo se configuró en modo transparente y coordinador, para lo cual se utilizó el software X CTU proporcionado por el fabricante del circuito. Este software permite conectar el circuito XBee, vía una terminal serie, a una computadora personal y enviarles una serie de comandos para inicializarlos [6]. Para obtener el voltaje de 3.3 V que alimenta al circuito XBee Serie 2, se usa una tarjeta XBee Shield, como la indicada en la Fig. 4., que se alimenta con la misma fuente del microcontrolador, permitiendo una conexión sencilla y rápida del circuito XBee Serie 2. Para poder transmitir y recibir paquetes, la salida DOUT del circuito XBee Serie 2 se conectó a la entrada RX del USART del microcontrolador, y la entrada DIN del circuito XBee Serie 2 se conectó a la salida TX USART del microcontrolador.

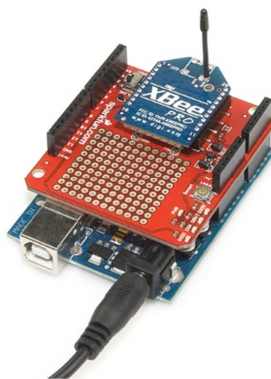


Fig. 4. Tarjeta Xbee Shield.

El transceptor inalámbrico remoto

Este módulo se compone de un dispositivo ZigBee Serie2, como el mostrado en la Fig.5, configurado en modo transparente y como ruteador. Aunque en este trabajo la computadora personal se comunica con un solo sistema de acceso, como el aquí presentado, en el futuro se instalarán sistemas de este tipo en otras áreas del centro de datos, los cuales se comunicaran también con este módulo ruteador, conformando de esta manera una red de circuitos XBee conectada a la computadora. Para conectar el circuito XBee Serie 2 al puerto USB de la computadora y obtener su voltaje de alimentación de 3.3 V, se usó una tarjeta XBee Explorer USB. Esta tarjeta contiene un circuito convertidor USB-Serie FT231X que le permite conectarse directamente a un puerto USB. El FT231X sirve como interface entre el XBee Serie 2 y el puerto USB de la computadora. Con esto se obtiene una base inalámbrica sin necesidad de construir una placa de circuito impreso para el XBee Serie 2, ya que únicamente éste se inserta en un conector específico de la tarjeta XBee Explorer USB.



Fig. 5. Circuito Xbee Serie2 en la tarjeta Explorer USB.

La interface de usuario en la computadora

La computadora personal está localizada en la oficina del administrador o responsable del monitoreo y control del centro de datos. Esta interface se realizó usando lenguaje de programación Visual C. La interface tiene tres funciones básicas: la primera, recibir las notificaciones de clave correcta o errónea enviadas por el microcontrolador y registrarlas de manera histórica en un archivo con formato Excel. Este archivo permite al administrador visualizar las notificaciones y entregar un informe del registro a la autoridad certificadora o auditora del centro de datos que así lo requiera. La segunda función es mostrar visualmente al administrador, que se ha suministrado una clave correcta indicando por el led verde o en rojo su es incorrecta. La tercera función es permitir al administrador establecer o cambiar una clave para el sistema de acceso.

La programación del microcontrolador

La programación se realizó usando el lenguaje MikroC que permite configurar al microcontrolador usando lenguaje C. Las tareas principales de esta programación son: establecer el ambiente inicial de trabajo, configurar los puertos paralelo y serie, los temporizadores y las variables. Una parte importante de la programación es el uso de los temporizadores, puesto que es base para determinar si se ha suministrado un

código Morse válido. A continuación, el programa enciende el led rojo, apaga los leds ámbar y verde y desactiva la contra-chapa. Posteriormente, entra en un ciclo en el cual el microcontrolador espera que se active el push-button. Al salir de este ciclo se apaga el led rojo y se enciende el amarillo para indicar al usuario que el sistema se encuentra solicitando una clave de acceso, arrancando al mismo tiempo un temporizador de 50 ms que marca el tiempo mínimo de un signo Morse.

3. Resultados

A pesar de que es complicado que una persona memorice la clave Morse de los 4 dígitos y que la introduzca en el tiempo requerido, se realizó un conjunto significativo de pruebas con 50 usuarios para validar el sistema, cuyos resultados y conclusiones se indican a continuación. Se establecieron desde la interface de usuario distintas claves de acceso, la cuales fueron proporcionadas correcta e incorrectamente por un grupo de 50 usuarios. Estas pruebas sirvieron para el ajuste de los temporizadores que el programa del microcontrolador usa tanto para eliminar los rebotes del push-button, como para establecer el tiempo máximo que debe transcurrir entre cada signo y entre cada código Morse suministrado por el usuario. Difícilmente el valor de estos temporizadores tendrá que cambiarse en el futuro, ya que la mayoría de usuarios que participaron en estas pruebas tuvieron características diferentes al usar el push-button. En caso de tener que modificar el valor de los temporizadores, puede realizarse muy fácilmente al inicio del programa principal del microcontrolador.

Con respecto a las pruebas de alcance realizadas en la transmisión inalámbrica, la distancia máxima que se logró fue de 80 metros, de manera tal que el sistema de acceso diseñado puede situarse hasta esta distancia de la oficina de monitoreo y control. En el centro de datos en el cual se trabajó, dicha oficina está situada a una distancia de 30 metros de recinto donde se instaló el sistema de acceso aquí diseñado y a 70 metros del recinto más lejano que aloja equipo de cómputo y en el que posiblemente necesite instalarse un sistema de acceso.

4. Discusión

Como puede observarse en el trabajo aquí presentado, el código Morse no se usa para la transmisión inalámbrica de textos, se aplicó en la codificación, sencilla, segura y flexible, de una clave de acceso. Aunque es complicado el código Morse, el sistema se construyó tal como fue solicitado para ser instalado en un centro de datos, y se puede utilizar en cualquier tipo de instalación donde se requiera un sistema de acceso compacto y fácil de operar y de configurar. Es importante indicar que, aunque el diseño del sistema dio como resultado una circuitería sencilla, lo más significativo fue que se realizó un prototipo que actualmente se encuentra en operación, con el cual se puede iniciar una relación con una empresa que necesita confiar en diseños llevados a cabo por Universidades y que a futuro puede fomentar la continuación de la relación con el desarrollo de distintos sistemas de control y monitoreo de variables.

5. Conclusiones

Si es necesario extender el alcance de la transmisión entre la oficina de monitoreo y control y el sistema de acceso, deberán diseñarse módulos repetidores de la señal y tramas ZigBee. Estos módulos son relativamente sencillos, ya que solamente están compuestos de circuitos XBee Serie 2 como los usados en este trabajo, con su correspondiente fuente de alimentación, configurados como ruteadores, conformando así una red de malla ZigBee. No tendrá que modificarse la configuración actual del sistema de acceso aun en el caso de adicionar otro sistema de acceso para otro recinto del centro de datos, ya que cada circuito XBee envía su identificador único a la computadora personal, lo cual puede ser usado para identificar la ubicación del circuito XBee con el cual se está comunicando la interface de usuario.

Finalmente, una actualización y trabajo futuro que podría ser realizado en este sistema es conectar el transceptor inalámbrico remoto, que actualmente se conecta a un puerto USB de la computadora, a un gateway ZigBee, lo cual le permitiría conectarlo a una red

Ethernet y ubicar la computadora personal fuera del centro de datos e inclusive en cualquier parte de la Internet.

6. Referencias

- [1] A multi-tiered model approach for monitoring and control of data center entrance and exit scenarios. 4th International Conference on Interaction Sciences (ICIS). Busan. 16-18 Aug. 2011.
- [2] Next Generation Data Center design under Smart Grid. Fourth International Conference on Ubiquitous and Future Networks (ICUFN). Phuket. 4-6 July 2012.
- [3] Data center design of optimal reliable systems. IEEE International Conference on Quality and Reliability (ICQR). Bangkok. 14-17 Sept. 2011.
- [4] Wireless sensor network for data-center environmental monitoring. 2011 Fifth International Conference on Sensing Technology (ICST). Palmerston North. Nov. 28-Dec. 1 2011.
- [5] Multi-sensors Data Fusion Based on Arduino Board and XBee Module Technology. International Symposium on Computer, Consumer and Control (IS3C). Taichung. 10-12 June 2014.
- [6] Wireless data acquisition system based on XBee modules for remote sensing and monitoring ions concentration in aqueous solutions. IEEE 9th Ibero-American Congress on Sensors (IBERSENSOR). Bogota. 15-18 Oct. 2014.
- [7] Development of a PIC-based wireless sensor node utilizing XBee technology. The 2nd IEEE International Conference on Information Management and Engineering (ICIME). Chengdu. 16-18 April 2010.

- [8] Implementation of Morse decoder on the TMS320C6748 DSP development kit. 2014 6th European Embedded Design in Education and Research Conference (EDERC). Milano. 11-12 Sept. 2014.
- [9] PIC16F887 Data Sheet. Microchip Technology Inc. En línea en: <http://www.microchip.com>. Acceso: 2015.
- [10] 4N25D Data Sheet. Motorola, Inc. En línea en: <http://Design-NET.com>. Acceso: 2015.
- [11] ZigBee RF Modules Documentation. Digi International Inc. En línea en: <http://www.digi.com>. Acceso: 2015.

7. Autores

M. en C. José Ignacio Vega Luna obtuvo su título de Maestría en Ciencias de la Computación en la UAM-Azcapotzalco. Sus áreas de especialización y trabajo son: aplicaciones de microcontroladores, UNIX y sistemas de alta disponibilidad. Desde 1985 es Profesor Titular de carrera en la UAM-Azcapotzalco.

Ing. Mario Alberto Lagos Acosta es Ingeniero en Electrónica por la UAM-Azcapotzalco. Sus áreas de especialización y trabajo son: aplicaciones con microprocesadores y microcontroladores. Actualmente es Profesor Asociado en la UAM-Azcapotzalco.

Ing. Gerardo Salgado es Ingeniero en Electrónica por la UAM-Azcapotzalco. Sus áreas de especialización y trabajo son: aplicaciones con microprocesadores y microcontroladores. Actualmente es Profesor Titular en la UAM-Azcapotzalco.

Ing. Víctor Noé Tapia Vargas es Ingeniero en Electrónica por la UAM-Azcapotzalco, cuenta con el 100% de créditos de la Maestría en Ciencias de la Computación en la UAM-Azcapotzalco. Sus áreas de especialización y trabajo son: aplicaciones con microprocesadores, microcontroladores y robótica. Actualmente es Profesor Titular en la UAM-Azcapotzalco.

Uso del lenguaje VHDL como apoyo a la enseñanza de arquitectura de computadoras

Carlos Federico Hernández Farfán

Instituto Tecnológico Superior de Irapuato, Carr. Irapuato-Silao km 12.5, Teléfono: (462) 60 6 79 00
cahernandez@itesi.edu.mx

Diego Andrés Navarro Jiménez

Instituto Tecnológico Superior de Irapuato, Carr. Irapuato-Silao km 12.5, Teléfono: (462) 60 6 79 00
diego.a.navarro.j@hotmail.com

Emmanuel Eduardo Hernández Rico

Instituto Tecnológico Superior de Irapuato, Carr. Irapuato-Silao km 12.5, Teléfono: (462) 60 6 79 00
eduardo_hdz1991@hotmail.com

Jonathan Paris Vargas Mosqueda

Instituto Tecnológico Superior de Irapuato, Carr. Irapuato-Silao km 12.5, Teléfono: (462) 60 6 79 00
paris.47@hotmail.com

Resumen

En el Instituto Tecnológico Superior de Irapuato se imparte la carrera de Ingeniería en Sistemas Computacionales, dentro del programa de estudio se incluye la materia de Arquitectura de Computadoras. La cantidad de temas a cubrir dentro de la materia están acotados a un periodo de tiempo e incluso la complejidad de los temas dificulta el proceso de enseñanza-aprendizaje por lo que se necesita un apoyo didáctico que permita cubrir los temas en forma teórico-práctica.

Este trabajo tiene como objetivo plantear el uso del lenguaje de descripción de circuitos VHDL como apoyo a la enseñanza de esta materia. La aportación de este trabajo

consiste en describir los circuitos digitales siguiendo la secuencia didáctica de un libro de texto de Arquitectura de Computadoras pero empleando una sola librería estándar del lenguaje y un solo paquete básico de la librería ya que se describen los componentes digitales más complejos a partir de los componentes básicos que los conforman. Se verifica el grado de avance que se puede tener en los temas de un curso empleando ésta técnica ya que se realiza la descripción de circuitos digitales básicos hasta la descripción de la interconexión de componentes de un procesador de 16 bits.

Palabra(s) Clave(s): arquitectura de computadoras, FPGA, VHDL.

1. Introducción

En el Instituto Tecnológico Superior de Irapuato se imparte la carrera de Ingeniería en Sistemas Computacionales, dentro del programa de estudios se imparte la materia de Arquitectura de Computadoras en el quinto semestre, forma parte de una cadena que inicia con la materia de Física impartida durante el tercer semestre y termina con la materia de Sistemas Programables en el séptimo semestre [1], es decir esta materia constituye un eslabón entre los principios electrónicos y las aplicaciones del hardware en el cómputo.

El temario de la materia de Arquitectura de Computadoras incluye temas como análisis y funcionamiento de los componentes de una arquitectura de cómputo, ensamble de equipo de cómputo y procesamiento paralelo. La duración del curso para un semestre es de 16 semanas con 5 horas por semana, 2 horas de teoría y 3 horas de práctica [1].

Un libro de texto que se puede emplear de base en la materia es el libro de Arquitectura de Computadoras del autor M. Morris Mano ya que incluye los temas del programa de estudio además de que los presenta en un secuencia didáctica conveniente, inicia con circuitos de lógica digital como circuitos combinacionales y secuenciales, posteriormente se aborda el tema de componentes digitales de mediana escala de integración como decodificadores, multiplexores, registros, contadores y memoria; a

continuación en el libro se presentan circuitos de transferencias entre registros, buses y circuitos digitales capaces de realizar de microoperaciones; posteriormente se presenta cómo todos estos elementos se integran para conformar un procesador [2].

Dado que el contenido del temario es extenso e incluye temas que pueden resultar complicados y el cual debe ser cubierto en un periodo de tiempo limitado se dificulta proceso de enseñanza-aprendizaje por lo que se necesita un apoyo didáctico que permita cubrir los temas en forma teórico práctica.

En este trabajo se muestra la forma en que es empleado el lenguaje de descripción circuitos VHDL como apoyo en la enseñanza de la materia de Arquitectura de Computadoras. Mediante el uso del lenguaje VHDL y la técnica de diseño asistido por computadora, en la cual se describe un circuito digital y se simula [3]; se permite seguir la secuencia didáctica del libro de texto ya que se abordan los temas en forma gradual en grado de complejidad. Se realizan primero los elementos de lógica digital, a continuación los componentes digitales de mediana escala de integración, posteriormente la interconexión de componentes que conforman un procesador de 16 bits.

Dentro de la revisión bibliográfica, se encuentra el libro [4], en el cual se presenta un enfoque práctico pero basado en circuitos MC68000, circuitos de mediana escala de integración y circuitos TTL, por lo que la implementación física de los circuitos requiere mayor tiempo.

El libro [5] , incluye temas desde microprocesadores hasta supercomputadoras, pero la secuencia didáctica en que se presentan los temas no siempre es gradual y no incluye implementaciones en VHDL.

En el libro [6], incluye múltiples ejemplos de implementaciones de VHDL incluyendo sistemas digitales de la arquitectura de una computadora, pero no se incluyen en orden gradual de complejidad los circuitos requeridos para el curso.

En el libro [7] se describen circuitos digitales, no todos los requeridos para el curso y se emplean diferentes paquetes de la librería.

Se considera que el libro [2], presenta los temas de forma didáctica y en forma creciente en grado de complejidad aunque no incluye descripciones en VHDL.

Finalmente el libro [8], es un libro que presenta circuitos digitales de manera didáctica partiendo desde ejemplos sencillos hasta los sistemas digitales complejos, con descripciones en VHDL aunque algunas empleando diferentes paquetes de la librería del lenguaje.

De acuerdo a esta revisión se emplean como apoyo los dos últimos libros presentando en este trabajo componentes de la arquitectura de computadoras en forma didáctica, gradual y su implementación en VHDL utilizando sólo un paquete de la librería.

En la revisión de artículos se encuentran [9, 10]. En el primer artículo se presenta un procesador embebido en FPGA, dado que es un procesador especializado resulta más complicado tener un seguimiento didáctico del mismo. En el segundo artículo se presenta un procesador con fines didácticos para su uso en laboratorio de sistemas digitales con enfoque hacia el diseño e implementación.

De acuerdo a esta revisión se motiva a realizar un trabajo que presente de forma didáctica los componentes que integran la arquitectura básica de una computadora considerando las alcances del curso y las necesidades particulares de los estudiantes de la carrera.

2. Desarrollo

En esta sección se muestra la forma en que es empleado el lenguaje VHDL como apoyo didáctico en la enseñanza de la materia de Arquitectura de Computadoras verificándose que los ejercicios se presenten de forma gradual, fluida, de acuerdo a la secuencia didáctica y dentro de la duración de un curso de un semestre. También se

muestra la forma en que se ha verificado el grado de impacto que ha tenido el lenguaje en los estudiantes de la carrera de Ingeniería en Sistemas Computacionales del Instituto Tecnológico Superior de Irapuato.

En la descripción de todos los circuitos se emplea el software Quartus® II versión 11.1 Web Edition para la edición y compilación del código VHDL, las simulaciones se realizan mediante el uso del software Altera® U.P. Simulator Qsim versión 11.1 Web Edition y las implementaciones físicas en la tarjeta de desarrollo de sistemas digitales basada en FPGA denominada Cyclone II, éstos productos tecnológicos son desarrollados por la empresa Altera® Corporation [11]. En la descripción de los circuitos se emplea sólo la librería estándar de la IEEE y sólo el paquete básico estándar "IEEE std_logic_1164" de la librería.

De acuerdo a la secuencia didáctica del libro de texto Arquitectura de Computadoras de M. Morris Mano y al programa de estudio de la materia, el primer tema a cubrir es el tema denominado Lógica Digital, que incluye compuertas lógicas, algebra booleana, circuitos combinacionales, flip-flop's y circuitos secuenciales básicos [2]. De acuerdo a las ecuaciones booleanas de un sumador completo (1) y (2), en donde S y C representan el bit de suma y carry respectivamente y X, Y y Z representan los bits de entrada [2], como primer ejercicio se presenta en la Fig.1 la simulación de un sumador binario de 4 bits en cascada.

$$S = X \oplus Y \oplus Z \quad (1)$$

$$C = X Y + (X \oplus Y) Z \quad (2)$$

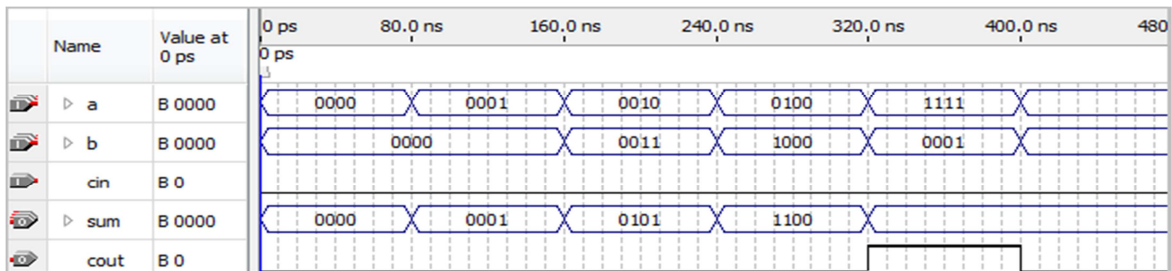


Fig. 1. Sumador de 4 bits.

Un elemento básico de memoria y componente de los circuitos secuenciales es un circuito denominado Flip-Flop [2]. En la Fig.2 se muestra una sección del código en VHDL que describe el comportamiento de un Flip-Flop JK y en la Fig. 3 su simulación.

```

process (clk,J,K)
begin
if (clk' event and clk ='1') then
  if (J='0' and K='0') then
    Q <= Q;
    nQ <= not Q;
  elsif (J='0' and K='1') then
    Q <= '0';
    nQ <= '1';
  elsif (J='1' and K='0') then
    Q <= '1';
    nQ <= '0';
  else Q <= not Q;
    nQ <= Q;
  end if;
end if;
end process;

```

Fig. 2. Descripción de un Flip-Flop JK.

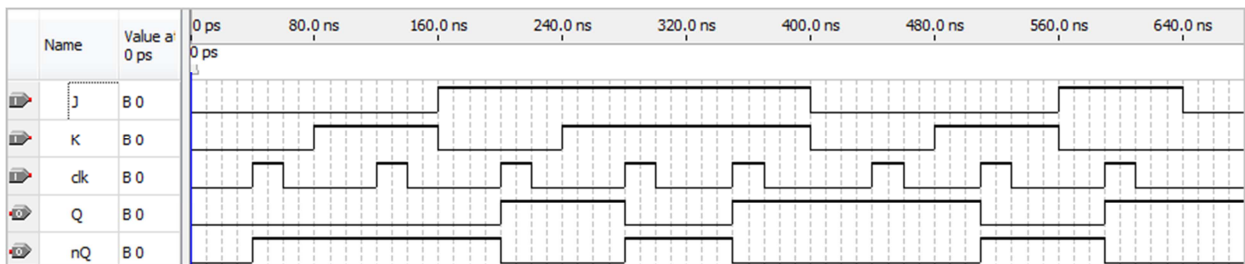


Fig. 3. Simulación de un Flip-Flop JK.

El segundo tema que se cubre es Componentes Digitales que incluye decodificadores, multiplexores, registros, contadores y memoria [2]. Un ejercicio que se realiza en este tema consiste en la descripción de una memoria RAM, la cual está constituida a partir de elementos básicos como un decodificador, registros y un multiplexor [8], en la Fig. 4 se muestra la declaración en VHDL de los componentes de una memoria RAM y en la Fig. 5 se muestra su simulación en donde a través de la señal de entrada de datos “de”

y de la dirección de entrada “ae” se almacenan tres datos en la memoria y los cuales posteriormente son leídos de la memoria.

```

component registro port (
  d : in std_logic_vector (7 downto 0);
  ld,rst,clk : in std_logic;
  q : out std_logic_vector (7 downto 0));
end component;

component multiplexor41 port (
  e3,e2,e1,e0 : in std_logic_vector (7 downto 0);
  s : in std_logic_vector (1 downto 0);
  y : out std_logic_vector (7 downto 0));
end component;

component deco24 port (
  a : in std_logic_vector (1 downto 0);
  d : out std_logic_vector (3 downto 0));
end component;
    
```

Fig. 4. Componentes de una memoria RAM.

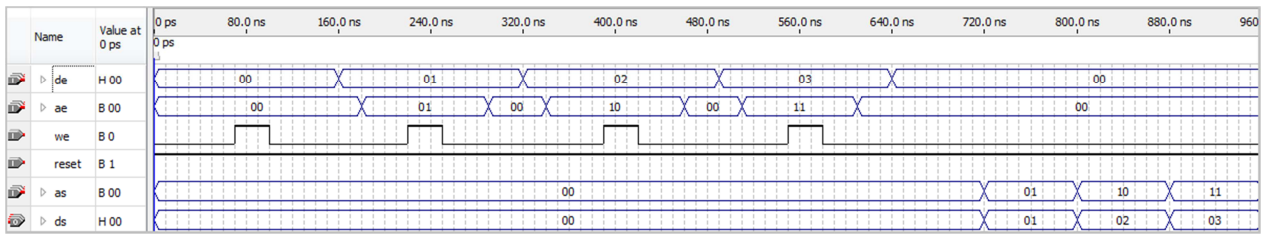


Fig. 5. Simulación de una memoria RAM.

El tercer tema denominado Representación de datos no requiere la descripción en VHDL de circuitos por lo que el siguiente tema que se aborda es Traslado de registro y microoperaciones, en el cual se describen circuitos digitales de transferencias entre registros, circuitos de establecimiento de un bus, circuitos digitales de microoperaciones aritméticas, lógicas y de corrimiento para finalmente conformar una unidad de corrimiento lógico y aritmética [2]. En la Fig. 6 se muestra la simulación de la unidad de corrimiento lógico y aritmética de 4 bits, en donde “a” y “b” representan los

datos de entrada y “f” la salida, se muestran las microoperaciones aritméticas suma, suma con carry, resta con préstamo, resta, transferir, incrementar, decrementar, y transferir; las microoperaciones lógicas and, or, xor y not; corrimiento a la izquierda y corrimiento a la derecha de “a”.

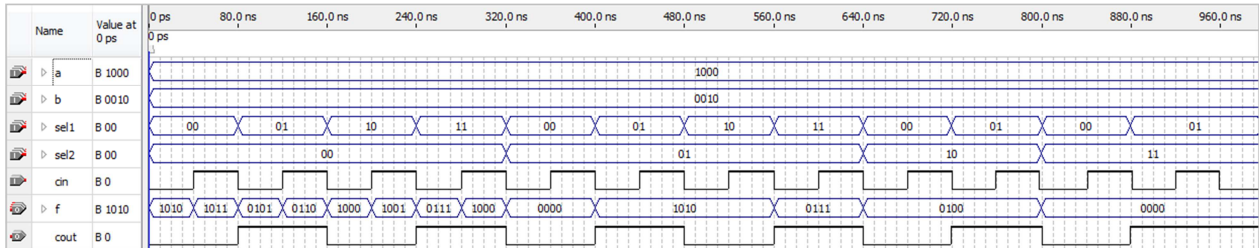


Fig. 6. Simulación de una unidad de corrimiento lógica y aritmética.

En el siguiente tema a cubrir titulado Organización y diseño básico de computadoras, se estudian los registros de la computadora, las instrucciones de la computadora, el ciclo de instrucción, temporización y control, y la descripción del funcionamiento de una computadora [2] refiriéndose a un procesador. Para el estudio de este tema se propone realizar la descripción de los componentes de un procesador construido a partir de los componentes revisados en los temas anteriores y probar las transferencias de datos entre los diferentes componentes empleando una unidad de control. El procesador incluye una memoria RAM, un registro de direcciones, contador de programa, registro de datos, acumulador, registro de direcciones y registros de entrada y salida [2]. En la Fig. 7 se muestra un diagrama a bloques simplificado de los registros y componentes del procesador conectados a través de un bus común y en la Fig. 8 la declaración en VHDL de la entidad del procesador.

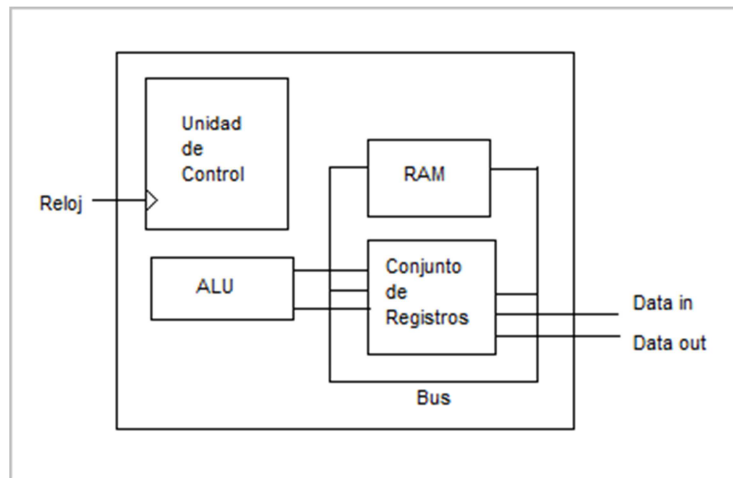


Fig. 7. Componentes del procesador basado en [2].

```
entity procesador is port (  
  datoin : in std_logic_vector (3 downto 0);  
  reloj: in std_logic;  
  datoout : out std_logic_vector (3 downto 0);  
  cout: out std_logic;  
  bus0 : buffer std_logic_vector (3 downto 0));  
end procesador;
```

Fig. 8. Descripción en VHDL de la entidad del procesador.

En la Fig. 9 se muestra una simulación para probar la transferencia de datos entre los componentes del procesador. Primero se realiza un reset al sistema, a continuación se introduce un dato por medio del registro de entrada el cual se trasfiere a través de la ALU para ser cargado en el acumulador. A continuación el dato es colocado en el bus para poder ser almacenado en la memoria, después es leído de la memoria y enviado al registro de datos, de ahí es tomado como un nuevo operando en la ALU en la cual ahora se aplica la operación de suma. El resultado es almacenado en el acumulador y enviado al registro de salida.

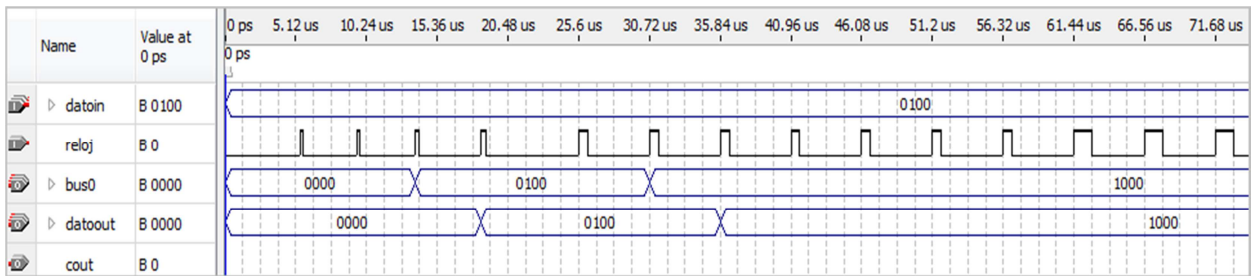


Fig. 9. Simulación de transferencias en el procesador.

El control de las transferencias de datos entre los componentes del procesador se realiza mediante la descripción en VHDL de un circuito secuencial o máquina de estados. En la Fig. 10 se muestra un fragmento de código del circuito de control para realizar el reset y carga de un dato de entrada.

```

p_estados : process (edo_pres)
begin
  case edo_pres is

    when A => s1<="011"; s2<='0'; s3<= "00"; s4<="00"; s5<='0'; s6<='0'; s7<='0';
              s8<="00"; s9<="00000000";
              edo_fut <= B;

    when B => s1<="011"; s2<='1'; s3<= "00"; s4<="00"; s5<='0'; s6<='0'; s7<='0';
              s8<="00"; s9<="00001000";
              edo_fut <= C;
  end case;
end process;
    
```

Fig. 10. Fragmento de la descripción en VHDL de la unidad de control.

El proceso para implementar un diseño en la tarjeta se describe en [12], en la Fig. 11 se muestra la implementación física en la tarjeta con FPGA, el pulso de reloj se aplica por medio del interruptor 0, el dato de entrada se introduce por medio de los interruptores 1 a 3 y el dato de salida se muestra por medio de leds.

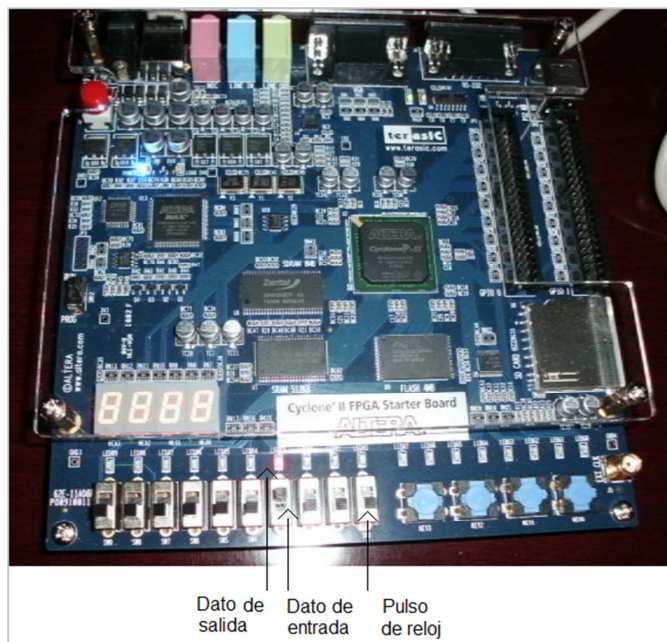


Fig. 11. Implementación de componentes de un procesador en FPGA.

Hasta este punto se han cubierto en forma teórica-práctica la mayoría de los temas de los primeros cinco capítulos del libro de texto. Dado que el capítulo 6 trata el tema de Lenguaje ensamblador [2], no se realizan descripciones en VHDL para este capítulo. Una vez que se han probado los componentes de un procesador básico de 4 bits tal como se muestra en [13], se realiza la ampliación de la capacidad de los componentes del procesador a 8 y 16 bits.

A partir de la descripción de la interconexión de los componentes de un procesador básico de 4 bits [13], se permite aumentar la capacidad de los componentes del procesador a 8 y 16 bits. En la comprobación del funcionamiento de los componentes resulta didáctico realizar las simulaciones ya que permite revisar eventos que suceden en intervalos de tiempo muy pequeños, en el orden de nanosegundos.

En la Fig. 12 se muestra la simulación de la unidad de corrimiento lógico y aritmética de 8 bits. Se observan los datos "A" y "B" cada uno de 8 bits y el resultado de las 8

operaciones aritméticas descritas en la sección anterior, así como 4 operaciones lógicas y 2 de corrimiento. En la Fig. 13 se muestra la sección de las operaciones aritméticas de la unidad de corrimiento lógica y aritmética de 16 bits.

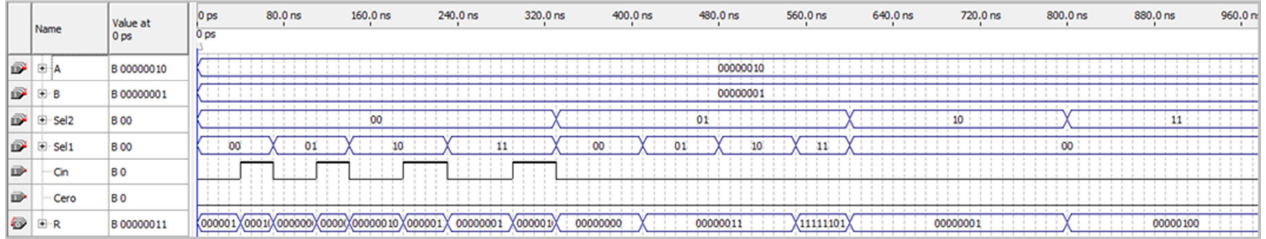


Fig. 12. Simulación de la unidad de corrimiento lógica y aritmética de 8 bits.

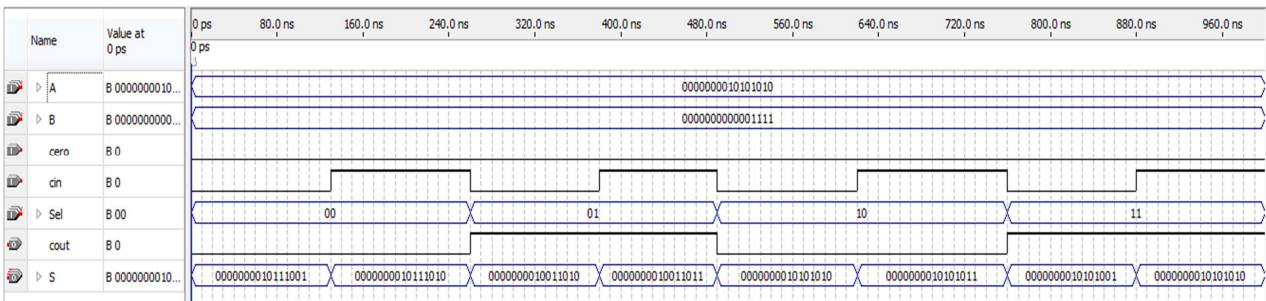


Fig. 13. Simulación de la unidad de corrimiento lógica y aritmética de 16 bits.

El siguiente componente al cual se amplía su capacidad, es la memoria RAM, la cual es descrita a partir de sus componentes básicos tal como se mencionó anteriormente. En la Fig. 14 se muestra la simulación de la memoria RAM de 8 localidades y datos de 8 bits, se almacenan 7 datos y posteriormente son leídos de la memoria.

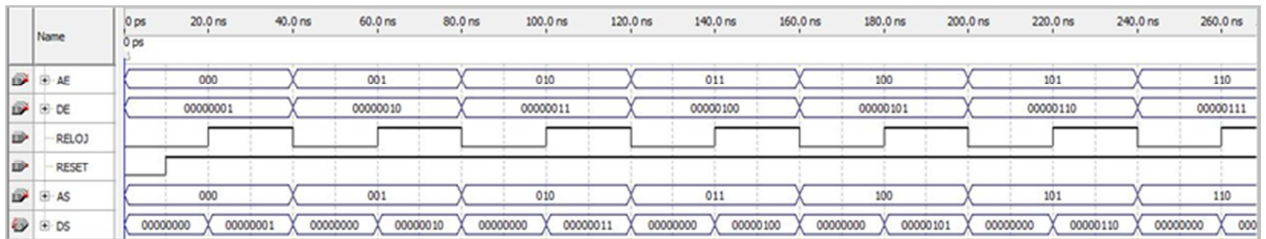


Fig. 14. Simulación de memoria RAM de 8 bits.

En la Fig. 15 se muestra la simulación de la memoria RAM de 512 localidades cada una de 16 bits, en este único caso la memoria se describe empleando el paquete estándar lógico- aritmético de la librería de la IEEE. La memoria se limita a 512 localidades dado que con las pruebas de compilación a 1024 localidades se excede la capacidad física de la tarjeta FPGA.

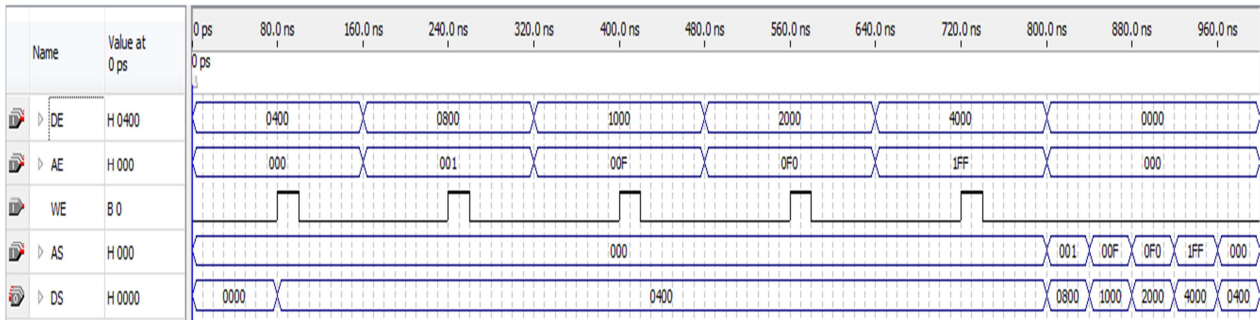


Fig. 15. Simulación de una memoria RAM de 16 bits.

En la Fig. 16 se muestra la transferencia de datos entre los componentes de un procesador de 8 bits, en donde el dato de entrada es almacenado en la memoria, posteriormente es enviado a la unidad aritmética donde es sumado con el contenido del acumulador y el resultado es mostrado en el bus.

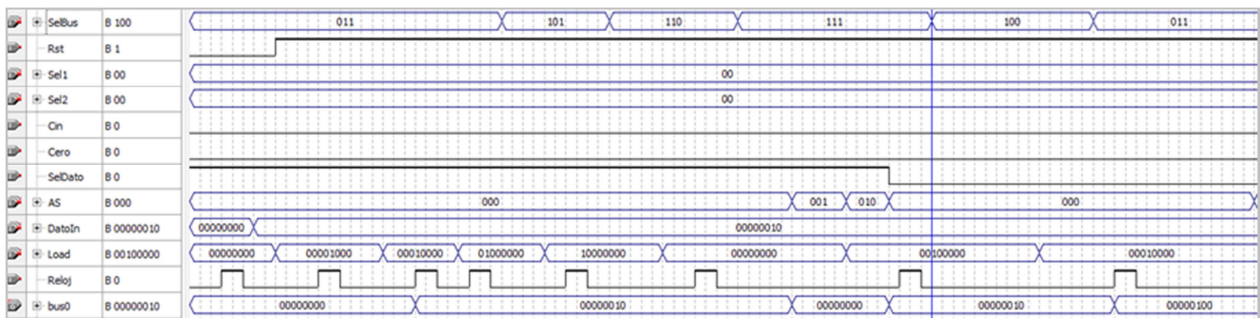


Fig. 16. Transferencia de datos entre los componentes de un procesador de 8 bits.

En la Fig. 17 se muestra la transferencia de datos entre los componentes de un procesador de 16 bits, en donde se introduce un dato que pasa a través de la ALU, se

carga en el acumulador, en el contador de programa, en el registro de direcciones y almacenado en la memoria y mostrado en el bus.

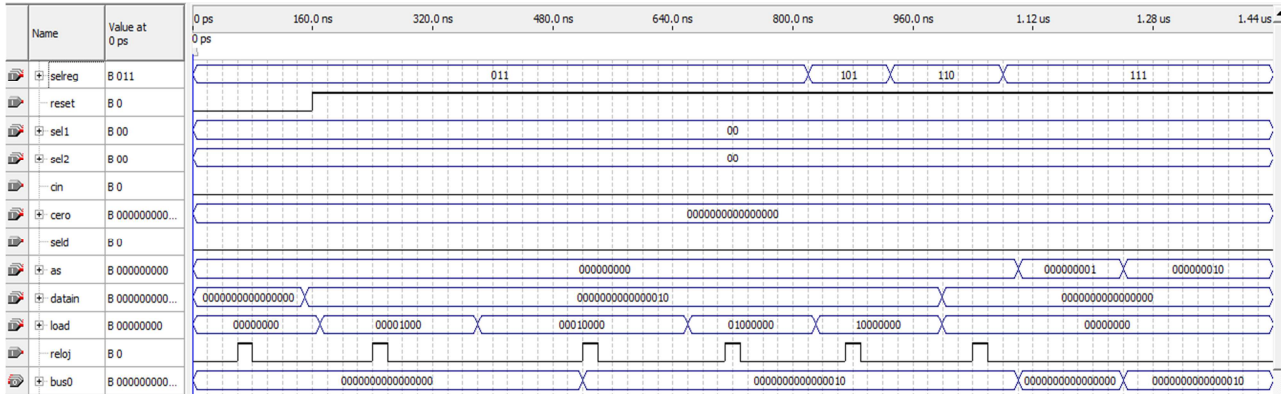


Fig. 17. Transferencia de datos entre los componentes de un procesador de 16 bits.

Respecto a la experiencia que se ha tenido con los estudiantes cabe mencionar que debido a que el uso del lenguaje VHDL no se ha generalizado aún en la carrera, hasta este momento no se ha establecido una metodología formal para establecer el grado de eficiencia en el aprovechamiento del curso empleando esta técnica como herramienta didáctica; sin embargo se ha aplicado una encuesta referente al uso de este lenguaje. En la encuesta se les pregunta a los estudiantes si consideran que el lenguaje ha contribuido satisfactoriamente en el proceso de enseñanza dentro de la carrera, qué tan importante consideran el uso de este lenguaje, qué tan difícil le ha parecido aprender el lenguaje, si consideran que se pueden cubrir los temas de sistemas digitales en forma fluida y gradual en su grado de complejidad y en qué porcentaje han utilizado el lenguaje en un determinado curso.

3. Resultados

Los resultados que se mencionan a continuación son a partir de uso del lenguaje VHDL en un curso con duración de un semestre enfocado hacia la enseñanza de los conceptos de Arquitectura de Computadoras.

A partir de los ejercicios de descripción en VHDL de componentes digitales mostrados en este trabajo, se logra cubrir en forma fluida prácticamente la mitad del contenido del libro de texto, excepto en el tema de temporización y control del procesador que requiere la descripción más detallada para el control de cada componente al ejecutarse el ciclo de instrucción. En este trabajo el control de las transferencias entre los registros se realiza por medio un componente que actúa como una máquina secuencial generando las señales requeridas para cada transferencia y micro-operación.

La descripción en VHDL de los componentes digitales se realiza de la forma más apegada a la secuencia didáctica presentada en el libro de texto, así de esta manera se construyen los bloques más complejos como la unidad de corrimiento lógica y aritmética de 16 bits, la memoria RAM y la interconexión de los componentes de un procesador de 16 bits, a partir de componentes más sencillos como decodificadores, registros, sumadores, etc., los cuales son probados individualmente y posteriormente integrados a un sistema digital mayor empleando la descripción jerárquica.

Los resultados de la encuesta realizada a los estudiantes que cursan a partir del quinto semestre en adelante de la carrera de Ing. en Sistemas Computacionales del Instituto Tecnológico Superior de Irapuato respecto a su experiencia con el uso del lenguaje VHDL como herramienta didáctica son los siguientes:

De una población de 803 estudiantes [14], se consideran prácticamente a la mitad que pudieran haber tenido una experiencia del uso del lenguaje, por lo que se aplicó la encuesta a 43 estudiantes de diferente semestre y turno; de los cuales el 72 % manifestó haber usado el lenguaje y 28 % no lo ha usado.

De los estudiantes que lo han usado, el 96 % considera que el lenguaje ha contribuido satisfactoriamente en el proceso de enseñanza-aprendizaje. El 75 % considera que es importante el lenguaje en su carrera. Sin embargo el 55 % opina que es difícil o muy difícil utilizar este lenguaje, ninguno lo considera muy fácil. El 96 % considera que es

posible cubrir los temas de sistemas digitales en forma fluida y gradual en su grado de complejidad. En la Fig.18 se muestran los resultados de la encuesta.

4. Discusión

Por un lado la descripción en VHDL y el proceso de diseño asistido por computadora permiten realizar ejercicios prácticos y de simulación para consolidar los conceptos teóricos pero se requiere del aprendizaje del lenguaje, sin embargo se permite estudiar la integración de componentes digitales y estudiar eventos de transferencias de datos entre componentes digitales que ocurren en periodos de tiempo muy cortos.

Para fines didácticos la simulación permite mostrar más detalles respecto al funcionamiento de un sistema digital que incluso la propia implementación física, además de que el objetivo de este trabajo no está enfocado en sí a la implementación aplicaciones de un procesador, sino del estudio de los conceptos de sistemas digitales.

Dentro del programa de estudio de la materia de Arquitectura de Computadoras de los Institutos Tecnológicos en la carrera de Ing. en Sistemas Computacionales se incluye el tema de Ensamble de equipo de cómputo, lo cual puede inducir a que el enfoque del curso sea hacia este fin; sin embargo con este trabajo se pretende reforzar el enfoque del curso al estudio del funcionamiento de los componentes digitales que integran la arquitectura de una computadora.

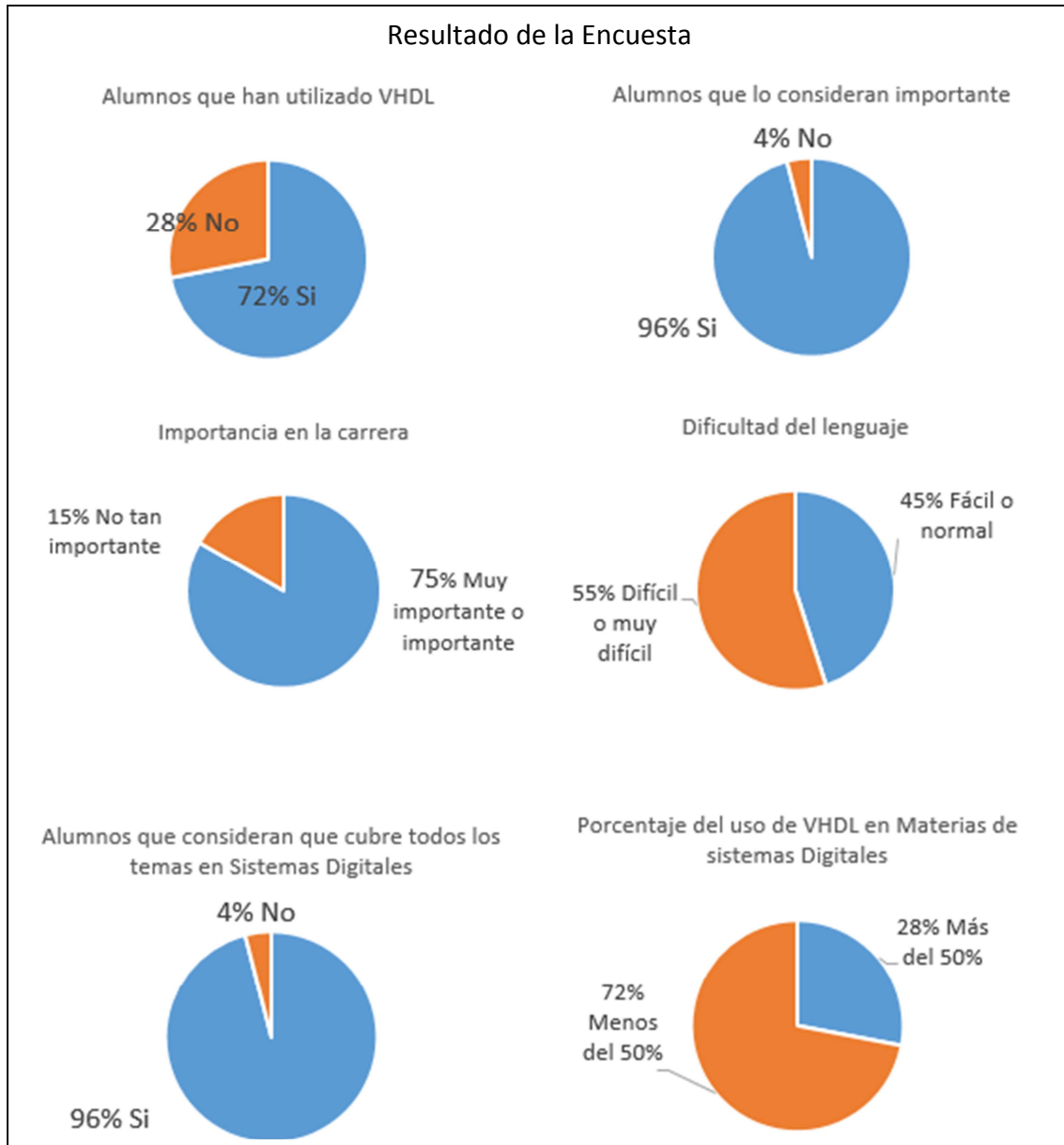


Fig. 18. Encuesta a estudiantes.

Para un estudio más completo sobre arquitectura de computadoras empleando el lenguaje VHDL como apoyo didáctico, se puede estimar que requiere de otro curso de un semestre en donde se puedan abordar temas más avanzados.

El uso del lenguaje VHDL se ha ido incorporando a la dinámica de los cursos del área de sistemas digitales de la carrera de Ingeniería en Computacionales con una aceptación muy buena por parte de los docentes y estudiantes.

5. Conclusiones

El uso del lenguaje VHDL y la técnica de diseño asistido por computadora apoyan el proceso de enseñanza de la materia de Arquitectura de Computadoras en la carrera de Ingeniería en Sistemas Computacionales del Instituto Tecnológico Superior de Irapuato, ya que permite estudiar los temas del programa de estudio y seguir la secuencia didáctica del libro de texto.

Fue posible realizar la descripción de todos los componentes digitales de la arquitectura de una computadora básica empleando una sola librería estándar del lenguaje y un solo paquete básico de la librería, aunque la memoria RAM también puede ser descrita de esta manera, sólo en este caso se empleó el paquete aritmético-lógico para poder ampliar la capacidad de la memoria. Se describieron en forma gradual de complejidad desde circuitos básicos hasta la interconexión de un procesador de 16 bits.

Empleando este apoyo didáctico es posible cubrir prácticamente la mitad del contenido del libro de texto, es decir 6 de los 13 capítulos, en un curso de un semestre. La intención en este trabajo consiste en utilizar esta experiencia para poder lograr cubrir más temas en el mismo tiempo pero sin sobrecargar de actividades a los estudiantes del curso y logrando el mayor aprovechamiento académico.

En un siguiente trabajo se pretende encontrar los ejemplos adecuados para cubrir los temas avanzados relacionados con el control y temporización por circuitería, control micro-programado, procesamiento en paralelo, etc.

6. Referencias

- [1] Oferta Educativa. www.itesi.edu.mx. Mayo 2015
- [2] M. M. Mano, *Arquitectura de Computadoras*. Tercera Edición. Año 2000. Prentice Hall. México. 123, 43, 99, 131, 139, 183 pp.
- [3] Quartus[®] II Introduction for VHDL Users. Altera[®] Corporation. Estados Unidos de América. 2011
- [4] M. A. de M. Cabello, *Arquitectura de Computadoras*. Primera Edición. Ra-Ma. Año 1997. México.
- [5] B. Parhami, *Arquitectura de Computadoras*. Primera Edición. Año 2007. Mc Graw Hill. México.
- [6] M. A. Larrea Torres, et. al. *Ejercicios Prácticos con Lógica Programable*. Primera Edición. Año 2002. España. 7 p.
- [7] D. G. Maxinez, J. Alcalá. *VHDL El arte de programar sistemas digitales*. Primera Edición. Año 2003.
- [8] R. de J. Romero Troncoso, *Electrónica Digital y Lógica Programable*. Primera Edición. Año 2007. Universidad de Guanajuato. 336 p.
- [9] L. Morales Velázquez, R. A. Osornio Ríos, R. de J. Romero Troncoso, "FPGA embedded single-cycle microprocessor and tolos". *International Conference on Reconfigurable Computing and FPGAs*. No. DOI 10.1109/ReConFig 2012.6416749.
- [10] R. de J. Romero Troncoso, A. Ordaz Moreno, J. A. Vite Frías, A. García Pérez, "8-bit CISC Microprocessor Core for Teaching Applications in the Digital Systems Laboratory". *IEEE International Conference on Reconfigurable Computing and FPGAs*. No. DOI 10.1109/RECONF 2006.307782.

- [11] www.altera.com. Enero 2012
- [12] Cyclone[®] II FPGA Starter Development Board Reference Manual. Altera[®] Corporation. Estados Unidos de America. 2011.
- [13] C. F. Hernández Farfán. J. P. Vargas Mosqueda, “Descripción en VHDL de la interconexión de componentes de un procesador básico”. *Pistas Educativas*. No. 108. Octubre 2014. 373-388 pp.
- [14] Estadística. www.itesi.edu.mx. Agosto 2015.

7. Autores

M. en I. Carlos Federico Hernández Farfán es Ingeniero en Electrónica egresado del Instituto Tecnológico de Celaya, obtuvo su título de Maestría en Ingeniería Eléctrica por la Universidad de Guanajuato y es profesor de la carrera de Ingeniería en Sistemas Computacionales del Instituto Tecnológico Superior de Irapuato.

Diego Andrés Navarro Jiménez, Emmanuel Eduardo Hernández Rico, Jonathan Paris Vargas Mosqueda son estudiantes de la carrera de Ingeniería en Sistemas Computacionales del Instituto Tecnológico Superior de Irapuato.

Desarrollo e implementación de un algoritmo tolerante a fallas para una red ZigBee

Stephany Bucio Herrera

UAM-Iztapalapa, Av. San Rafael Atlixco núm.186, México D.F., Teléfono: 58040000 ext. 1308
stephbu.h89@gmail.com

Alberto Carlos Cañada Gómez

UAM-Iztapalapa, Av. San Rafael Atlixco núm.186, México D.F., Teléfono: 58040000 ext. 1308
alberto_ccg@hotmail.com

David Rodríguez Uribe

UAM-Iztapalapa, Av. San Rafael Atlixco núm.186, México D.F., Teléfono: 58040000 ext. 1308
dabitt@me.com

Ricardo Marcelín Jiménez

UAM-Iztapalapa, Av. San Rafael Atlixco núm.186, México D.F., Teléfono: 58040000 ext. 1303
calu@xanum.uam.mx

Mauricio López Villaseñor

UAM-Iztapalapa, Av. San Rafael Atlixco núm.186, México D.F., Teléfono: 58040000 ext. 1308
ixoic@xanum.uam.mx

Resumen

Una red de sensores inalámbrica consiste en un conjunto de dispositivos autónomos con la capacidad de comunicación por radiofrecuencia, pensados para monitorizar una serie de condiciones físicas o ambientales. En este trabajo se desarrolló e implementó un algoritmo tolerante a fallas para una red basada en el protocolo ZigBee (IEEE 802.15.4 [1]) de sensores compuesta de seis nodos: un coordinador (C), dos encaminadores (R) y tres dispositivos terminales (ED). Esta red posee la restricción de

que los nodos R deben recopilar los valores monitorizados por todos sus hijos y hasta entonces enviarlos a su destino final. Si un nodo R falla, sus hijos deben reconocer como padre a otro R, al que le enviarán sus valores. Cada uno de los nodos R y ED es controlado por un respectivo microcontrolador PIC. En las tramas se incluyen etiquetas para identificar quién es el dispositivo que transmitió la trama o el tipo de procedimiento a realizar. En los resultados presentados se comprueba el funcionamiento del algoritmo desarrollado, mediante la verificación de las tramas transmitidas o recibidas por los nodos de la red. Además, se presenta un criterio para implementar una red inalámbrica tolerante a fallas, que permite cualquier distribución de los nodos.

Palabra(s) Clave(s): monitorización, red de sensores, redes ZigBee.

1. Introducción

Las tecnologías de redes inalámbricas han tenido un rápido desarrollo en los últimos años. Éstas son una tecnología emergente muy prometedora para una amplia variedad de aplicaciones debido a su fácil instalación y mantenimiento. En la actualidad un sinnúmero de aplicaciones se han planteado alrededor de las redes inalámbricas basadas en la tecnología ZigBee. Algunas de las aplicaciones para este tipo de redes se presentan en las áreas de: domótica [2], como control de temperatura ambiental, seguridad, control de iluminación, etc.; inmótica, en el cual se encuentran control de procesos [3], de ambiente o energía y salud, como la Telebiomedicina [4] y Telecuidado es la monitorización de condiciones ambientales.

Con la finalidad de contar con dispositivos capaces de tomar muestras de temperatura en un área específica, se desarrolló una red de sensores inalámbrica. Éstas tienen ventajas sobre las redes guiadas ya que pueden cubrir grandes áreas de terreno sin la necesidad de una infraestructura física, y el alcance depende del tipo de antena utilizada (la usada corresponde a un alcance aproximado de 100 m a línea de vista). Esta red está formada por nodos que muestrean temperaturas y que la envían a una

computadora personal (a través del nodo Coordinador), de manera que puedan ser visualizadas por un usuario.

Para construir al nodo R o ED se implementó una tarjeta PCB que puede contener un microcontrolador PIC (PIC16F877), un sensor de temperatura (DS1621), un módulo de radio frecuencia (XBee) y opcionalmente se puede incluir una memoria externa EEPROM. Esta tarjeta PCB también cuenta con terminales para conectar diferentes sensores o inclusive un dispositivo GPS, que utilicen la comunicación I2C. En estos dispositivos, la función del microcontrolador consiste en coordinar las funciones de monitorización, así como la obtención de temperatura muestreada por un sensor de propósito particular.

La red consta de seis nodos: tres de ellos con un módulo XBee configurados como dispositivos finales (End Device) llamados nodos de tipo ED, dos de ellos con sus respectivos módulos XBee configurados como dispositivos de encaminamiento (Router), llamados nodos de tipo R. Finalmente, el último módulo XBee fue configurado como nodo de tipo C (Coordinador) [5].

El nodo ED captura y envía muestras de temperatura a su nodo padre (previamente identificado). Esto implica, que antes de obtener muestras de temperatura, identifica la dirección de 64 bits del nodo tipo R al que reporta sus lecturas, dirección asignada de fábrica en cada módulo. En caso de que el nodo padre deje de operar, el dispositivo final busca otro nodo padre, dentro de su radio de alcance. Por otro lado, para que el nodo padre pueda identificar que se está llevando a cabo una solicitud de búsqueda de su dirección de 64 bits, el nodo ED incluye en el campo del mensaje de la trama una etiqueta adhoc. El muestreo de temperatura se realiza cada 2 segundos hasta obtener 10 lecturas, posteriormente, el nodo ED determina los valores extremos de este conjunto y los reporta a su padre. En el campo de mensaje de la trama transmitida, se incluyen dos palabras clave, una usada para indicar que se manda un paquete de temperaturas (con su máximo y su mínimo) y la otra que identifica al nodo que envía la trama.

Por su parte el nodo R da servicio a una solicitud de identificación de su dirección por parte de un nodo hijo, es decir, un nodo de tipo ED y recopila las muestras de temperatura de todos sus hijos y las propias. Una vez que el nodo R adquiere un total de ocho paquetes (de máximos y mínimos), construye una trama con estos paquetes y los envía al coordinador.

El nodo coordinador, que no es manejado por un microcontrolador, recibe las tramas de temperatura de los nodos ruteadores o dispositivo de enrutamiento y las transmite a una computadora personal. Todos los campos recibidos de la trama (que incluyen los campos asociados a las temperaturas) se visualizan en la pantalla de la computadora personal, para su análisis por parte de un usuario.

2. Desarrollo

La arquitectura de la red inalámbrica implementada se muestra en la Fig. 1. En ésta un nodo ruteador tiene asociado un nodo hijo ED (End Device) y el otro dos nodos hijos ED. Cada ruteador envía las tramas directamente al coordinador, independientemente de su ubicación en la arquitectura de la red. Cada nodo ED y R tiene un microcontrolador que lleva el control de la información que se encamina hacia el nodo tipo C y también se encarga de sincronizar las lecturas de los sensores acoplados con los nodos.

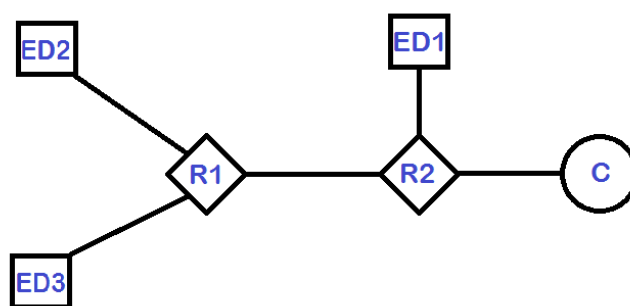


Fig. 1. Distribución de los nodos en la red inalámbrica implementada.

Las funciones del microcontrolador del nodo ED son (ver Fig. 2):

- (a) Obtiene la cadena de identificador del nodo (4 caracteres), almacenado en el XBee, y usada como identificador en el envío de tramas de temperatura. Para obtener esta cadena, el microcontrolador manda al módulo XBee una trama tipo comando AT (08h) con parámetros 'NI' (Node Id) [6]. Luego recibe la respuesta del XBee en una trama tipo Respuesta al Comando AT (88h), de la que extrae la información buscada.

- (b) Obtiene la dirección de 64 bits de su padre, al que enviará las muestras de temperatura. Para ello primero recupera la dirección de 16 bits de su padre (asignada por el nodo C al crearse la red), que usa para la búsqueda de la dirección de 64 bits del padre. Para obtener la dirección de 16 bits del padre, el microcontrolador envía al módulo XBee una trama tipo comando AT con parámetros 'MP' (16-bit Parent Network Address), para luego recibir la respuesta del XBee en una trama tipo Respuesta al Comando AT. Una vez obtenida la dirección de 16 bits, el microcontrolador manda al módulo XBee una trama tipo Solicitud de Transmisión ZigBee (10h), con la palabra de identificación "IDP" (Identificación de la Dirección del Padre), que se incluye en los campos del mensaje. En este caso recibe dos tramas del módulo XBee: la trama tipo Estado de Transmisión (8Bh), en donde verifica que el nodo padre recibió la trama, y luego la trama tipo Recepción de Paquete (90h), en ésta espera en el campo del mensaje la palabra de identificación "STP", para luego extraer la dirección de 64 bits buscada. Si el nodo padre no recibió la trama, debido posiblemente a que el padre dejó de operar (verificado con la trama tipo Estado de Transmisión), o si la segunda trama recibida no contiene la palabra clave del identificador "STP", entonces el microcontrolador envía al módulo XBee una trama tipo comando AT con parámetros 'DA' (*Force Disassociation*) para forzar a que el módulo XBee se asocie a otro nodo ruteador. Espera la respuesta, que incluye en los campos del

mensaje el identificador “STP” (Soy Tu Padre), de esta trama extrae la dirección de 64 bits buscada.

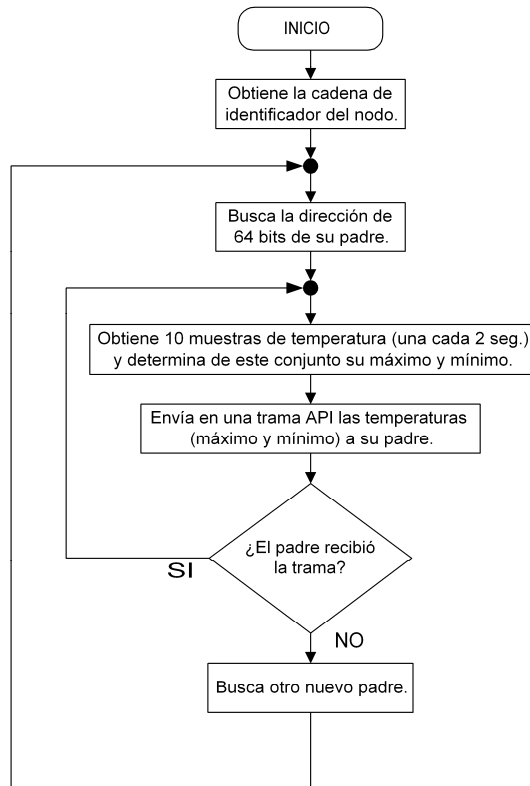


Fig. 2. Funciones principales de un nodo ED.

- (c) Si la dirección de 64 bits obtenida corresponde al coordinador, entonces se deslinda del coordinador. Para ello el microcontrolador envía al módulo XBee una trama tipo comando AT con parámetros ‘DA’, para deslindarse del nodo padre actual, y regresa al paso (b). En caso contrario continúa con el paso (d).
- (d) Obtiene cada 2 seg. una muestra de temperatura hasta acumular 10 de ellas. De este conjunto determina el valor de temperatura máxima y mínima. Luego envía estos valores a su nodo padre. Para ello el microcontrolador envía al módulo XBee una trama tipo Solicitud de Transmisión ZigBee con la dirección de su padre, en donde incluye en el campo del mensaje dos palabras de identificación (además de

los valores de temperatura): “TMT” (Tramas de Muestras de Temperatura), para indicar que se trata de una trama que lleva valores de temperatura, y la cadena de identificador del nodo (de 4 caracteres), que permite que el usuario pueda identificar de qué nodo provienen los valores de temperatura.

- (e) Una vez enviada la trama de temperaturas, se mantiene a la espera de recibir dos tramas del módulo XBee: la trama tipo Estado de Transmisión, en donde verifica que el nodo padre recibió la trama, y la trama de tipo Recepción de Paquete, en donde espera en el campo del mensaje la palabra de identificación “TOK” (Trama OK), que es un ACK de que su nodo padre almacenó correctamente las muestras de temperatura recibidas. Si el nodo padre no recibió la trama, debido posiblemente a que éste dejó de operar (verificado con la trama tipo Estado de Transmisión), o si la segunda trama recibida no contiene la palabra clave del identificador “TOK”, entonces el microcontrolador envía al módulo XBee una trama tipo comando AT con parámetros ‘DA’ para forzar a que el módulo XBee se asocie a otro nodo ruteador, y regresa al paso (b). En caso contrario regresa al paso (d), proceso de captura de temperaturas y envío, que repite de manera cíclica.

Las funciones del microcontrolador del nodo R son (ver Fig. 3):

- (a) Obtiene la cadena de identificador del nodo (4 caracteres). Proceso igual al del nodo ED, vea el inciso (a) de las funciones del nodo ED.
- (b) Se mantiene en espera de una trama para realizar cualquiera de los dos procesos siguientes: Dar servicio a la solicitud de búsqueda de la dirección de 64 bits del padre por parte de un nodo hijo o recibir las muestras de temperatura enviadas por uno de sus nodos hijo. Para discriminar el tipo de acción a realizar, verifica la palabra de identificación incluida en el campo del mensaje de la trama: en este caso “IDP” o “TMT”. Además por cada 2 seg. de espera obtiene una muestra de temperatura de su sensor. Es posible que el nodo no tenga asociado un nodo hijo, en tal caso sólo obtiene sus propias muestras de temperatura cada 2 seg.

- (c) Si el campo del mensaje de la trama recibida coincide con la palabra de identificación “IDP” entonces da servicio a la solicitud de búsqueda de la dirección de 64 bits del padre por parte de un nodo hijo. Para ello recupera de la trama recibida la dirección de 64 bits de su hijo, que usa como dirección destino para la trama que envía al módulo XBee de tipo Solicitud de Transmisión ZigBee, con la palabra de identificación “STP” en el campo del mensaje de la trama y regresa al paso (b).

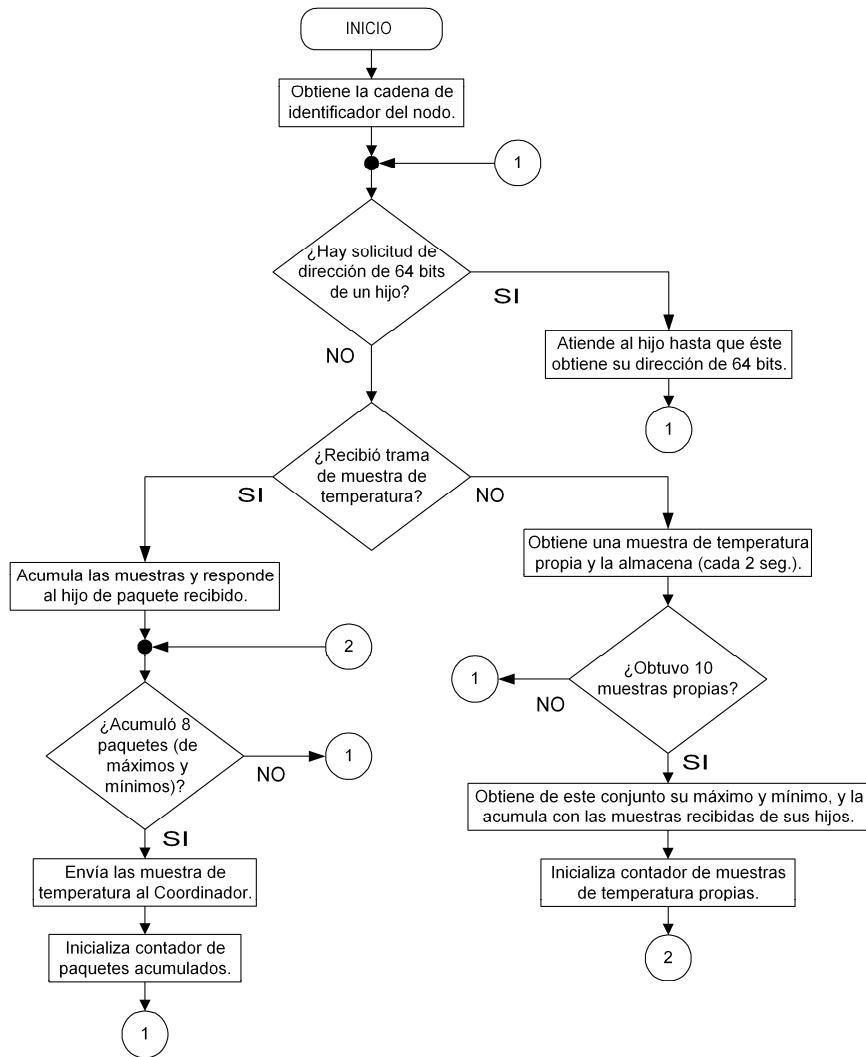


Fig. 3. Funciones principales de un nodo R.

- (d) Si el campo del mensaje de la trama recibida coincide con la palabra de identificación "TMT" extrae de ésta las muestras de temperatura y las integra a los campos de la trama que enviará al Coordinador; también envía a su nodo hijo un ACK para indicarle que se almacenaron correctamente todas las muestras de temperatura recibidas. Para ello envía al módulo XBee una trama tipo Solicitud de Transmisión ZigBee con la palabra clave "TOK", utilizando como dirección destino la del nodo hijo, y continúa con el paso (e).
- (e) Si tiene acumulado un total de ocho paquetes de muestras, incluyendo las propias (vea el paso (f)), envía una trama al módulo XBee de tipo Solicitud de Transmisión ZigBee con la dirección del módulo XBee del Coordinador. En esta trama incluye la palabra de identificación "MTR" (Muestras de Temperatura enviadas por el Ruteador), además de la cadena del identificador de cada nodo hijo que envió sus muestras de temperatura y las correspondientes muestras de temperatura. Regresa al paso (b).
- (f) Si ha transcurrido un intervalo de tiempo de 2 seg. obtiene una muestra de temperatura. Si ésta corresponde a la décima capturada, determina el valor máximo y mínimo de este conjunto, que luego integra a los campos de la trama que enviará al Coordinador, y regresa al paso (e). En caso contrario regresa al paso (b).

El nodo Coordinador no se encuentra manejado por un microcontrolador, por lo que todas las tramas recibidas las transmite a una computadora personal para su visualización por parte del usuario.

3. Resultados

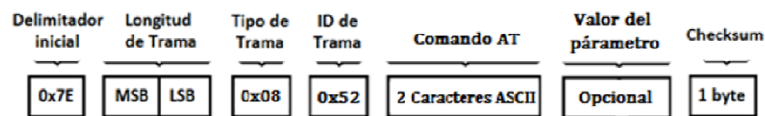
Los resultados en esencia corresponden a la comprobación del algoritmo planteado, mediante la verificación de las tramas que son transmitidas o recibidas por los nodos de la red y que permiten llevar a cabo los procesos de señalización y transferencia de

valores de temperatura. Es decir, los resultados a interpretar son literalmente las tramas que son enviadas o recibidas por el módulo XBee de cada nodo.

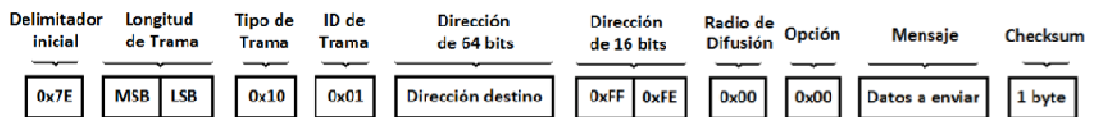
En la aplicación sólo el nodo Coordinador requiere de una conexión con una computadora personal. Sin embargo, con el fin de verificar los procesos de señalización y de transferencia de datos en todos los nodos, se permitió que cada uno tuviera una conexión con una computadora personal. En cada caso sólo es posible observar las tramas transmitidas o las recibidas en una sola ventana de captura de tramas visualizada en una computadora personal; por lo que en este documento se muestra una ventana con las tramas transmitidas y otra con las tramas recibidas por un nodo.

Para llevar a cabo la interpretación adecuada de los resultados, presentamos los diferentes tipos de tramas que aparecen en los procesos de transmisión y recepción, en éstas se identifican los diferentes campos de cada tipo de trama, como se muestra a continuación.

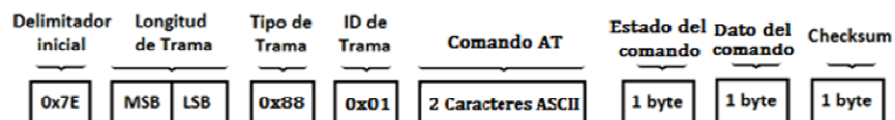
- Estructura de la trama tipo Comando AT (08h):



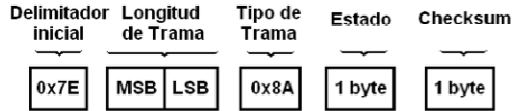
- Estructura de la trama tipo Solicitud de Transmisión ZigBee (10h):



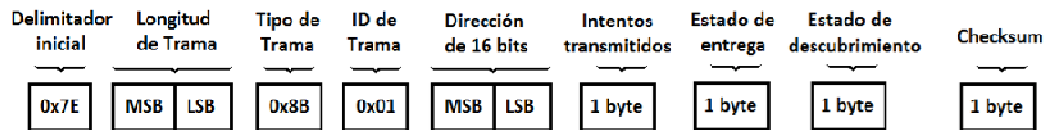
- Estructura de la trama tipo Respuesta al Comando AT (88h):



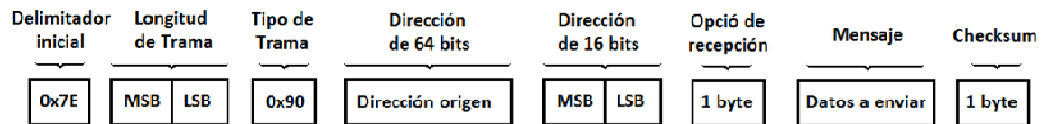
- Estructura de la trama tipo Estado del Módulo (8Ah):



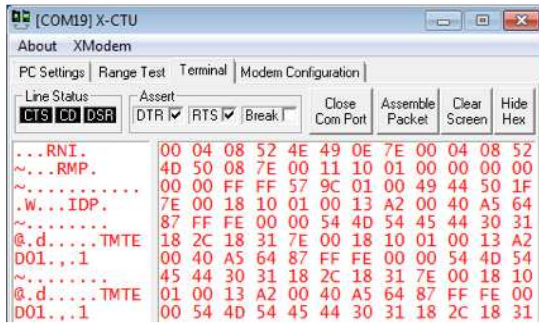
- Estructura de la trama tipo Estado de la Transmisión ZigBee (8Bh):



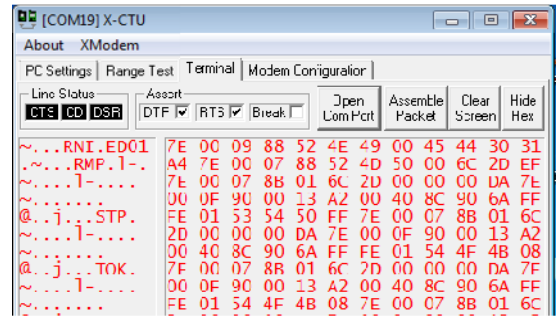
- Estructura de la trama tipo Recepción de Paquete (90h):



Se inicia con las tramas recibidas y transmitidas por el módulo XBee de uno de los nodos ED, ver Fig. 4. En la Fig. 4(a) se observan las tramas enviadas por el microcontrolador al XBee: la obtención de su identificador del nodo (comando AT 'NI') y de la dirección de 16 bits del padre (comando AT 'MP'). También la trama con el mensaje 'IDP' como solicitud de Transmisión ZigBee para obtener la dirección de 64 bits del padre y finalmente el envío de las temperaturas, que incluye las palabras claves 'TMT' y 'ED01' (para el caso particular del ED identificado como uno). En la Fig. 4b) se observan las tramas enviadas por el XBee al microcontrolador, tal como la respuesta al comando AT 'NI', que incluye la cadena de identificación del nodo, la respuesta al comando AT 'MP', que incluye la dirección de 16 bits del nodo padre, la respuesta a la solicitud de búsqueda de la dirección de 64 bits del padre ('STP'), y finalmente la confirmación de recepción de las temperaturas por parte del padre ('TOK').

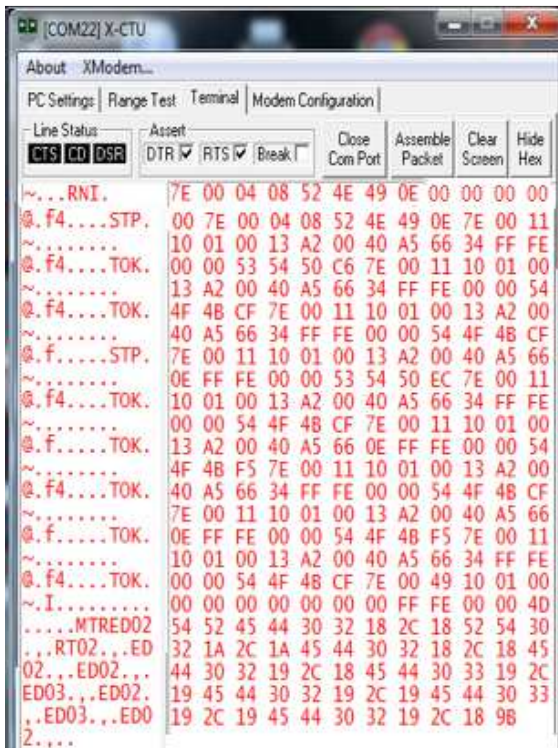


(a)

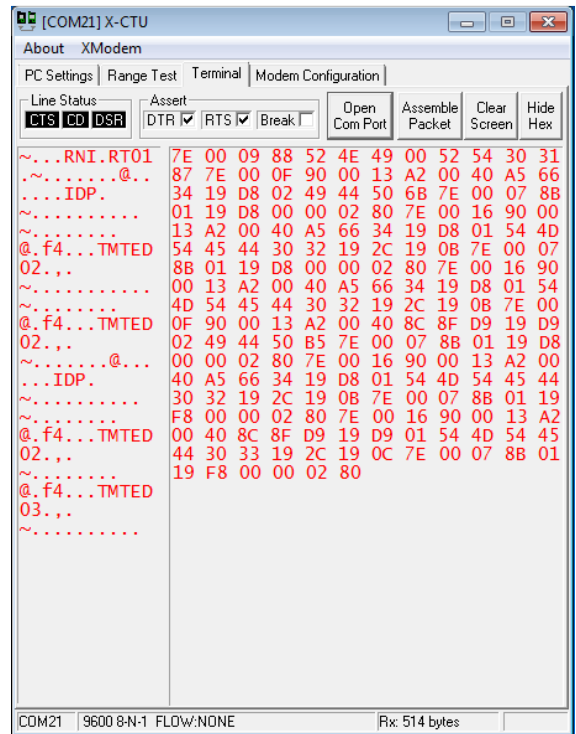


(b)

Fig. 4. Tramas de transmisión y recepción de un nodo ED.



(a)

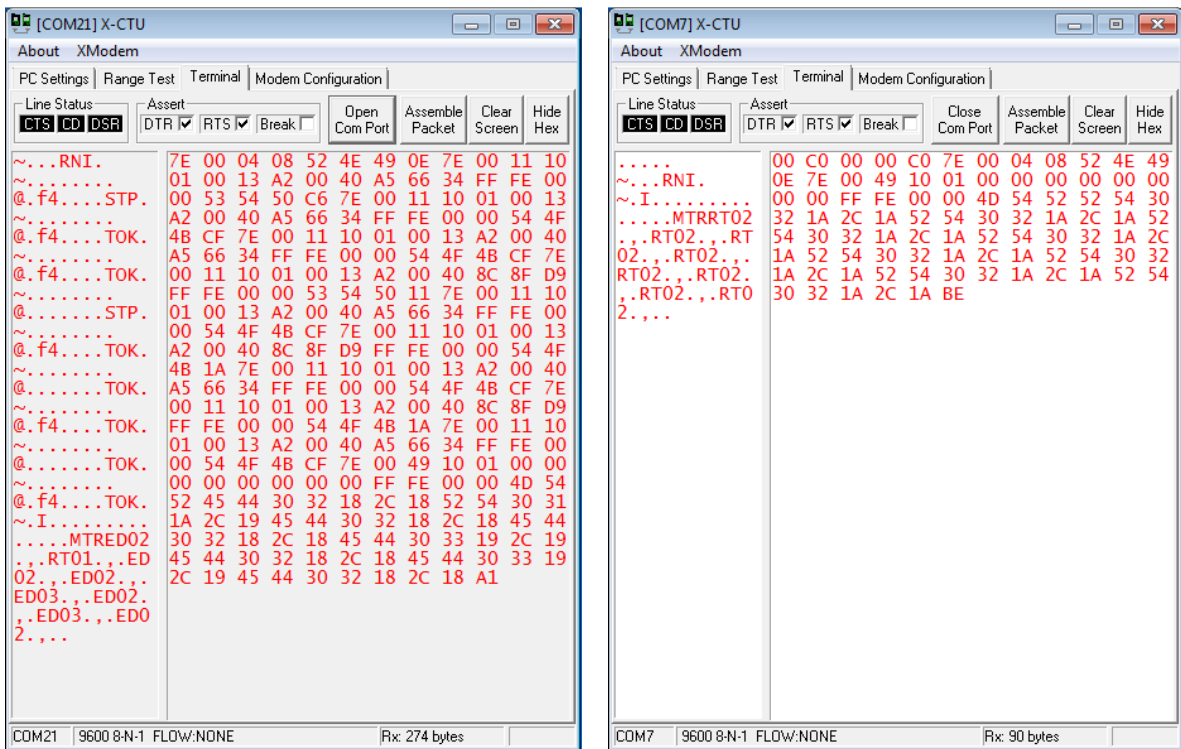


(b)

Fig. 5. Tramas de transmisión y recepción de un Router.

En la Fig. 5 se tienen las tramas recibidas y transmitidas por el módulo XBee de uno de los nodos R. En la Fig. 5(a) se observan las tramas enviadas por el microcontrolador al

XBee: la obtención de su identificador del nodo, responde a la solicitud de búsqueda de la dirección de 64 bits ('STP'), envía el ACK ('TOK') al hijo de que se recibieron las muestras de temperatura correctamente y finalmente envía las muestras recopiladas al Coordinador. En la Fig. 5(b) se observan las tramas enviadas por el XBee al microcontrolador, tal como la respuesta a la solicitud del identificador del nodo, recibe la solicitud de búsqueda de la dirección de 64 bits del padre ('IDP'), recibe las muestras de temperatura de sus hijos ('TMT').



(a)

(b)

Fig. 6. Comparación de nodos R con y sin hijos.

En la Fig. 6 se comparan nodos R, uno sin hijo (RT02), ver Fig. 6(b) que envía tramas de temperatura propias, y otro (RT01) con dos hijos (ED02 y ED03), ver Fig. 6(a).

En la Fig. 7 se observan las tramas recibidas por el nodo Coordinador y que son enviadas a la computadora personal.

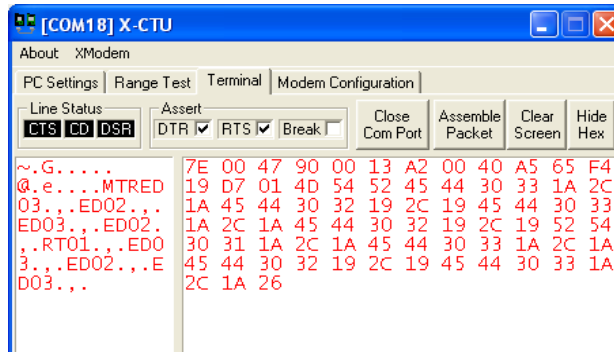


Fig. 7. Función del Coordinador.

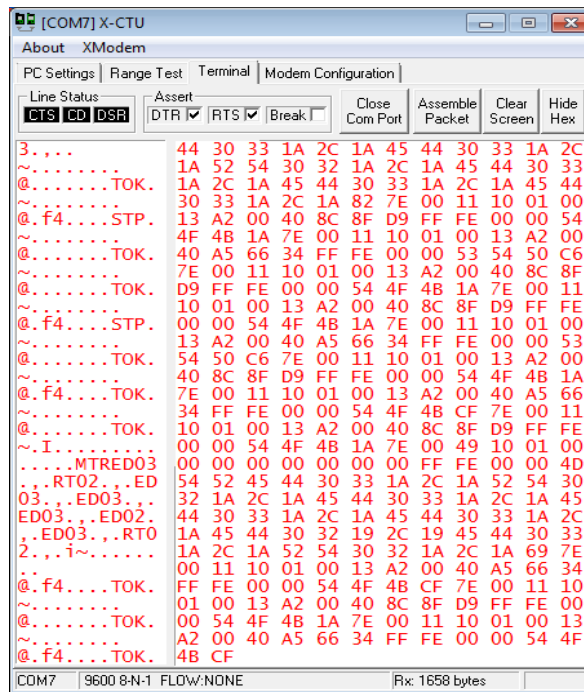


Fig. 8. Función de RT03 como padre.

Con la finalidad de mostrar la adaptabilidad de la red se modificó la arquitectura original (ver Fig. 1), manteniendo dos nodos R y dos ED, en este caso se le quitó al nodo R2 su

único hijo. A partir de esta nueva red se sacó de operación al nodo R1, quedando sin padre los nodos ED2 y ED3. En la Fig. 8 se observan las tramas que verifica la adaptabilidad de la red, en donde el nodo ED2 y ED3 se adhieren a su nuevo padre, en este caso a R2 (ver Fig. 9).

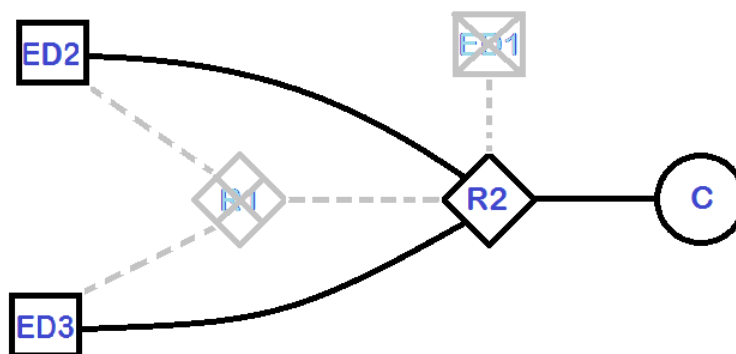


Fig. 9. Ejemplo de adaptabilidad de la red.

4. Discusión

La arquitectura de la red implementada puede armarse como tipo mesh debido a que los nodos ED no cuentan con una dirección del padre preestablecida, ya que el algoritmo obtiene la dirección del padre en tiempo real. La lógica del algoritmo permite incorporar a la red nuevos ED y R en cualquier momento. Esto hace que se pueda aumentar el área de trabajo a monitorización sin la necesidad de modificar el algoritmo; es decir se tiene una red adaptativa a medida que cambia cuando un ruteador deje de operar. Además, la restricción establecida en los ED y R hace que el tráfico de la red disminuya de manera considerable, debido a que los nodo R funcionan como concentradores de información proveniente de sus nodos hijos, esto antes de transmitirla a su destino (en este caso al Coordinador).

Se diseñó e implementó una tarjeta (PCB) para la aplicación, y en cada una de éstas es posible adherir otros sensores que aumenten la prestación de la red (por ejemplo un sensor de humedad).

La interacción entre los diferentes tipos de nodo (ED, R y C) se realiza mediante tramas tipo API. Esta interacción permite una mayor flexibilidad al establecer la dirección del destinatario. Además el algoritmo implementado realiza un proceso de discriminación entre los diferentes tipos de trama recibidos y enviados, controlando los permisos para almacenar en la memoria de datos del microcontrolador mediante banderas que establecen los correspondientes permisos.

En las diferentes tramas de tipo Solicitud de Transmisión ZigBee fue conveniente incluir etiquetas de identificación (dentro de los campos del mensaje) de manera que se pueda distinguir el proceso que se esté llevando a cabo. Tales como la obtención de 64 bits de la dirección del padre, el envío de las temperaturas del nodo tipo ED al nodo tipo R, o del nodo tipo R al nodo tipo C.

La red puede ser utilizada para el estudio de eventos críticos. Un ejemplo es la detección temprana de incendios forestales, donde se desea proteger una zona determinada, obteniendo los valores de temperatura de manera precisa y constante. De manera que estime el riesgo de incendio en cada uno de los puntos de interés, así como la detección de un foco incendiario [7, 8, 9].

La selección del protocolo 802.15.4 fue por la conveniencia, a largo plazo, para transferir los datos recopilados sobre plataformas de redes Web hacia un dispositivo de concentración masiva [10].

Además en este tipo de dispositivos se aprovecha la accesibilidad de enlace de acceso al medio (MAC).

5. Conclusiones

En este documento se presentó un criterio para implementar una red inalámbrica tolerante a fallas, basada en un mecanismo de enrutamiento adaptativo (EAR), diseñado especialmente para escenarios de emergencia. La arquitectura de la red

puede permitir cualquier distribución de los nodos, debido a que los nodos ED de la red no son establecidos a priori con una dirección del nodo padre, al que le debe enviar muestras de temperatura.

Si bien se restringe el tráfico de datos de la red entre un nodo R y un nodo hijo ED de manera unicast, la transferencia de información entre éstos pudiera ser excesiva y con muchos candados para asegurar la transferencia de datos entre ellos [11]. A pesar de ello, creemos que éstos son los primeros pasos para que en un futuro próximo se optimice la ocupación del espectro electromagnético. La cualidad de este trabajo se basa en la forma en que se permite la transferencia de información hacia su destino final, que consiste en retener o recopilar, por parte de un nodo Ruteador, los valores monitorizados por todos sus nodos hijos, antes de enviarlos a su destino final.

Sin duda todavía hay mucho por trabajar en la eficiencia de la red, tanto en la búsqueda de la dirección de un nodo padre (por parte de un nodo hijo), como en el número de transferencias de tramas tipo ACK, en que el nodo destino indica al nodo fuente la integridad de los datos recibidos. Otro aspecto en el que se podría trabajar es el de añadir nuevos sensores y un mayor número de nodos con el fin de desarrollar redes más complejas. Así como el permitir a los nodos ED pasar a un estado de dormido para el ahorro de energía.

Es importante comentar que se usaron los módulos XBee por su capacidad de adaptarse fácilmente a distintas interfaces a través de Gateways, de manera que se tiene la posibilidad de implementar redes con distintas tecnologías e integrarse en diferentes ambientes como el control de procesos industriales, control de tráfico vehicular, monitoreo de signos vitales en medicina, atención y prevención de desastres entre muchas otras [12, 13].

Como comentario final, el desarrollo de este trabajo no sólo se limitó a las pruebas de funcionalidad de la red con los seis nodos en operación, también se implementaron y

desarrollaron tarjetas PCB adhoc para la aplicación. De manera que este trabajo difiere de otros que utilizan módulos kits comerciales [14, 15].

6. Referencias

- [1] IEEE 802.15.4. http://www.google.com.mx/url?sa=t&rct=j&q=&esrc=s&source=web&cd=5&cad=rja&uact=8&ved=0CD0QFjAE&url=http%3A%2F%2Fcatarina.udlap.mx%2Fu_dl_a%2Ftales%2Fdocumentos%2Flem%2Farchundia_p_fm%2Fcapitulo4.pdf&ei=HdRcVeHSDMKdyAT-_oHYDQ&usg=AFQjCNGxJTU LY NoyGgh7UuO2j8ss69FghA&sig2=2KnP8G83dRcL3bm7GSpk9A.
- [2] J. Camargo, L. García, E. Gaona, "Human Voice Recognition Applied to Domotics". *INGENIUM*, Revista de la Facultad de Ingeniería. Vol. 13. No.26. julio-diciembre de 2012. 97-106 pp.
- [3] J. Pérez, E. Urdaneta, A. Custodio, "Metodología para el diseño de una red de sensores inalámbricos". *Universidad, Ciencia y Tecnología*. Vol.18. No.70. Marzo 2014. 12-22 pp.
- [4] D. M. Ballesteros, H. E. Melo, A. J Maya, "Sistema de transmisión inalámbrica de señales ECG y de temperatura para ambientes hospitalarios (SINHO)". *Revista Ingeniería Biomédica*. Vol. 4. No. 7. Enero-Junio 2010. 55-63 pp.
- [5] Redes Zigbee. <http://www.javierlongares.com/arte-en-8-bits/introduccion-a-zigbee-y-las-redes-de-sensores-inalambricas/>. Abril de 2015.
- [6] XBee ZB User Manual. XBee®/XBee-PRO® ZB RF Modules.
- [7] Redes zigbee para la detección de incendios. http://dSPACE.ucuenca.edu.ec/bitstream/123456789/21330/1/MATCH%2714_01_Erazo%20%26%20Hervas.pdf Abril de 2015.

- [8] Red de sensores para la detección de incendio temprana. http://www.aragon.es/estaticos/ImportFiles/02/docs/Areas/Convocatorias/PremiosProyectos/2006/RES_UMEN_RED_SENSORIAL.pdf. Abril de 2015.
- [9] Redes ZigBee tolerantes a fallas. <http://cybertesis.uach.cl/tesis/uach/2013/bmfciv146a/doc/bmfciv146a.pdf>.
- [10] Redes de sensores inalámbricos utilizando ZigBee. http://kosmos.upb.edu.co/web/uploads/articulos/%28A%29_Redde_de_Sensores_Inalambricos_Utilizando_ZIGBEE802154_a05yzX_.pdf. Abril de 2015.
- [11] Redes tolerancia a fallas. <http://infotelecommil.webcindario.com/librostelecom/ALGO%20DE%20REDES.pdf>
- [12] A. J. Garcia-Sanchez, F. Garcia-Sanchez, J. Garcia-Haro, "Wireless sensor network deployment for integrating video-surveillance and data-monitoring in precision agriculture over distributed crops". *Computers and Electronics in Agriculture*. Vol. 75. No. 2. February 2011. 288–303 pp.
- [13] D. Bansala, M. Khanb, A.K.Salhanc, "Real time acquisition and PC to PC wireless transmission of human carotid pulse waveform". *Computers in Biology and Medicine*. Vol. 39. No. 10. October 2009. 915-920 pp.
- [14] Redes inalámbricas de temperatura. http://academica-e.unavarra.es/bitstream/handle/2454/11846/TFG_IraceburuGonzalezJulen2014.pdf?sequence=1. Abril de 2015.
- [15] Red inalámbrica de sensores de temperatura. <http://tesis.ipn.mx/jspui/bitstream/123456789/13168/1/Red%20Inalambrica%20de%20Sensores%20Ambientales%20Mediante%20el%20Uso%20de%20la%20Tecnologia%20ZIGBEE.pdf>. Abril de 2015.

7. Autores

Ing. Stephany Bucio Herrera es Ingeniero en Electrónica por la Universidad Autónoma Metropolitana, Unidad Iztapalapa.

Ing. Alberto Carlos Cañada Gómez es Ingeniero en Electrónica por la Universidad Autónoma Metropolitana, Unidad Iztapalapa.

Ing. David Rodríguez Uribe es Ingeniero en Electrónica por la Universidad Autónoma Metropolitana, Unidad Iztapalapa.

Ing. Mauricio López Villaseñor es Ingeniero en Electrónica por la Universidad Autónoma Metropolitana, Unidad Iztapalapa.

Dr. Ricardo Marcelín Jiménez obtuvo su título de Doctorado por la Universidad Nacional Autónoma de México, IIMAS.

Estructuras diseñadas a medida para adquisición de datos de un sensor de visión dinámica usando el protocolo AER en un FPGA

Nicolás Maldonado Orozco

CUCEI, Universidad de Guadalajara, Departamento de Electrónica, México
Blvd. Marcelino García Barragán # 1421, C.P. 44430, Guadalajara, Jalisco, México
nicolas.maldonado.orozco@gmail.com

J.Roberto Reyes Barón

CUCEI, Universidad de Guadalajara, Departamento de Electrónica, México
Blvd. Marcelino García Barragán # 1421, C.P. 44430, Guadalajara, Jalisco, México
juan.raygoza@cucei.udg.mx

Juan José Raygoza P.

CUCEI, Universidad de Guadalajara, Departamento de Electrónica, México
Blvd. Marcelino García Barragán # 1421, C.P. 44430, Guadalajara, Jalisco, México
jose.reyes@red.cucei.udg.mx

Susana Ortega Cisneros

Centro de Investigación y de Estudios Avanzados del I.P.N, CINVESTAV, Unidad Guadalajara
Av. del Bosque 1145, colonia el Bajío, Zapopan, C.P. 45019, Jalisco, México
susana.ortega@gdl.cinvestav.mx

Juan Luis del Valle

Centro de Investigación y de Estudios Avanzados del I.P.N, CINVESTAV, Unidad Guadalajara
Av. del Bosque 1145, colonia el Bajío, Zapopan, C.P. 45019, Jalisco, México
juan.delvalle@cts-design.com

Resumen

La retina humana genera impulsos representados por los cambios en la reflectancia de los foto-receptores, cuenta con amplio rango dinámico que permite a la visión adecuarse a diferentes condiciones de iluminación. El Sensor de Visión Dinámica (DVS) cuenta con una matriz de pixeles que generan impulsos cuando hay cambios de iluminación. El DVS emula la función de la retina humana, procesa los cambios generados por la reflectancia en los pixeles, logra un bajo consumo de potencia y un amplio rango dinámico por el uso de configuraciones de transistores CMOS en nivel sub-umbral. Los impulsos generados por los pixeles, se transfieren a través del protocolo de comunicación asíncrono AER; Representación de eventos a través de direcciones (*Address Event Representation*). Este trabajo presenta el diseño de estructuras asíncronas utilizando la característica de modularidad, estas estructuras fueron probadas con diferentes configuraciones, variando profundidad en bloques de control asíncrono y el número de elementos de retardo, el diseño de un conjunto de bloques de control para flujo de datos asíncronos basada en el protocolo de riel simple a cuatro fases, un análisis del impacto de la profundidad de estos bloques y la fiabilidad encontrada en la transferencia de datos del circuito *self-timed* diseñado.

Palabras Claves: AER, DVS, FPGA, protocolo de riel simple

1. Introducción

1.1. Circuitos síncronos y asíncronos

La mayoría de los diseños de circuitos digitales están sincronizados con una señal de reloj global, la cual es necesaria para forzar los estados de transición de forma correcta. Conforme el área del circuito integrado aumenta, la longitud de la ruta global se incrementa así como la carga capacitiva, llegando a ser un problema importante a considerar, ya que puede causar que los flancos de la señal de reloj lleguen en

diferentes tiempos a los distintos componentes o bloques del circuito, a este fenómeno se conoce como *Clock Skew* [1, 2].

En un sistema de lógica síncrona convencional, todas las partes de la arquitectura consumen potencia con cada flanco de reloj, desarrollen o no algún trabajo útil en dicho sistema. Los circuitos lógicos asíncronos puros son controlados por eventos [3]. Estos circuitos permanecen inactivos con un consumo de potencia mínimo o nulo [4], hasta que un evento lógico o una secuencia de eventos se transmiten a través de la red lógica, al terminar su proceso o tarea el circuito asíncrono regresa a la inactividad. Así, la lógica asíncrona permite una solución tanto a los problemas de desfase de la señal de reloj como al ahorro en el consumo de potencia [5].

1.2. Protocolo de riel simple a cuatro fases

En este protocolo los datos que se envían se encuentran en una sola línea de transmisión. Además, se emplean dos señales de control para realizar la comunicación entre los bloques emisor y receptor (Fig. 1(a)), estas señales son *request* (petición) y *acknowledge* (reconocimiento) [6, 7].

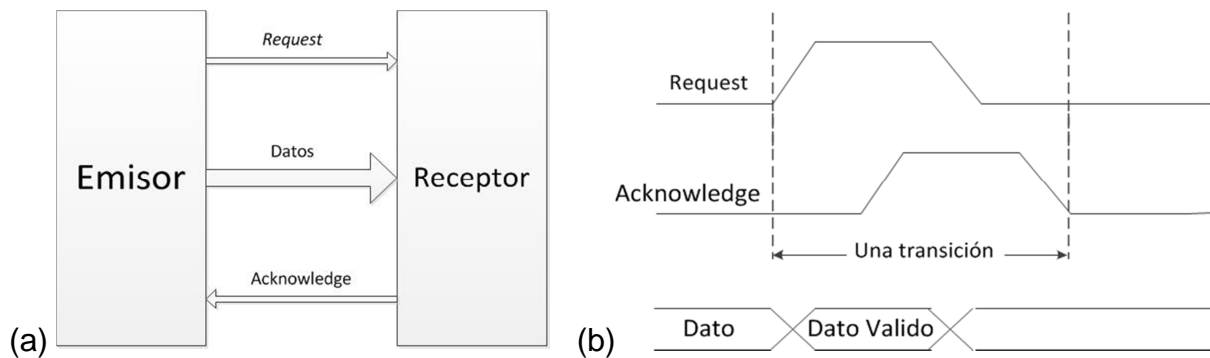


Fig. 1. (a) Comunicación con protocolo de riel simple (b) Protocolo de riel simple a 4 fases.

Los pasos necesarios para la comunicación en este protocolo son los siguientes:

1. El emisor coloca un dato en el bus de transmisión y pone la señal de *request* en nivel alto.
2. El receptor toma el dato y pone en nivel alto la señal de *acknowledge*.
3. El emisor responde poniendo la señal de *request* en nivel bajo.
4. El receptor termina la transferencia poniendo la señal de *acknowledge* en nivel bajo.

La representación de estos pasos se muestra en Fig. 1(b).

Para que se generen correctamente las señales, es necesario una fase de retorno a cero que restaure el estado que tenían las variables de control antes de una transferencia [7].

1.2.1. Bloques de Control Asíncrono BCA

Para la realización de este bloque de control es necesario el uso de Muller-C (Fig. 2(a)), estos elementos tienen el comportamiento de una compuerta AND de eventos [6]. Si se presenta el mismo nivel lógico en ambas entradas, la salida toma dicho nivel. Si alguna de las entradas cambia de nivel, la salida se mantiene, el diagrama del comportamiento de este elemento se presenta en Fig. 2(b).

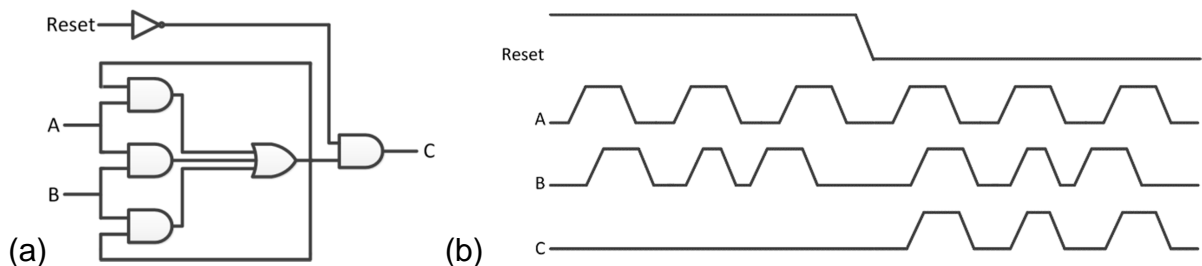


Fig. 2. (a) Diagrama lógico Muller-c (b) Comportamiento Muller-c.

La implementación de un BCA se muestra en Fig. 3(a), este utiliza elementos Muller-C y compuertas NOT, el diagrama de su comportamiento se muestra en Fig. 3(b).

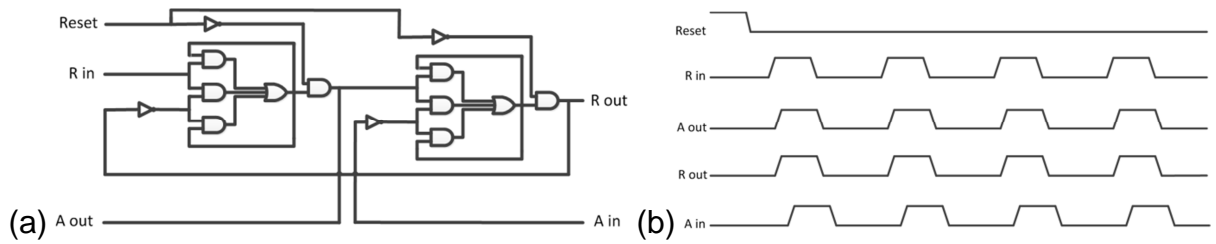


Fig. 3 (a) Diagrama lógico del BCA de 4 fases (b) Comportamiento BCA de 4 fases.

1.2.2. Pipeline

La técnica de *Pipelining* superpone múltiples procesos en transferencia de datos, además, las señales de control se transfieren de una etapa a otra, controlando así distintos procesos en un circuito. Este proceso de propagación de las señales de control se asemeja a una FIFO, primero en entrar, primero en salir (del inglés *First In, First Out*). En un *Pipeline* asíncrono la latencia del circuito depende de la propagación de la señal a través del mismo, esto provoca que cada etapa opere a su propia velocidad y solamente se requiere de la transferencia de las señales de control de su etapa vecina, dicha transferencia se logra mediante el uso de elementos de retardo que garantice la correcta señalización y lectura de datos entre cada uno de los módulos que integran el circuito. A diferencia de en un circuito síncrono la latencia es igual al periodo del reloj multiplicado por el número de etapas del circuito.

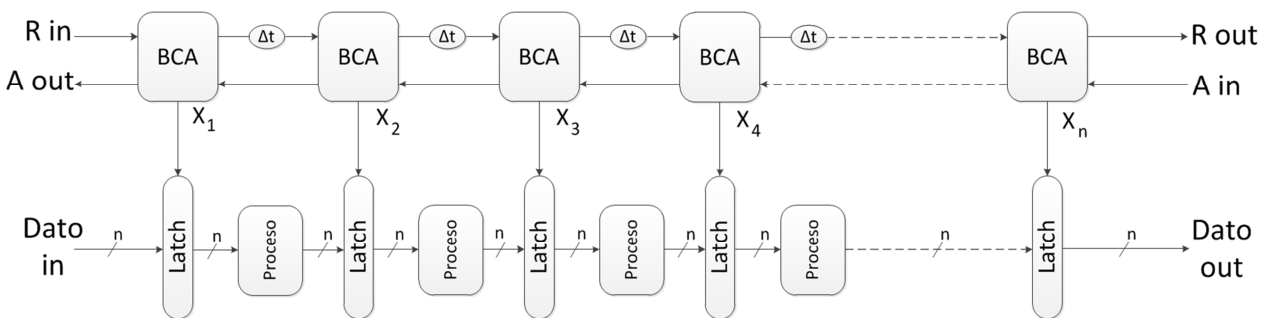


Fig. 4. Pipeline protocolo de riel simple de 4 fases.

Un *Pipeline* que utiliza comunicación asíncrona basada en BCAs se muestra en Fig. 4, se observa que las señales “X” activan los *Latches* con un tiempo de retardo dependiente de los bloques “ Δt ”, además se observa que la señal X_1 ingresa el dato a través de las etapas mientras que el X_n , entrega el dato procesado por el circuito.

1.3. Sensor de Visión Dinámico DVS

Este tipo de sensor es lo más parecido a una retina biológica, replicada de manera artificial, el cual no envía imágenes completas a una tasas de transferencia fijas, sino que solo se envían los cambios producidos en la escena por la variación de intensidad luminosa al momento que ocurren, a diferencia de los sensores de visión convencional que envían *frames* sucesivos con información que pudiese resultar redundante, lo cual conlleva a un mayor consumo tanto computacional como de potencia [8].

El DVS utilizado es el TmpDiff128 cuenta con una matriz de 128 x 128 pixeles, los cuales desarrollan la función de foto-receptores como los que internamente tiene la retina biológica, esta estructura está fabricada con transistores CMOS trabajando en la región de sub-umbral, con esto se obtiene un bajo consumo de potencia y la capacidad de emular la respuesta de la retina humana con un amplio rango dinámico. El resultado a la salida del DVS es un flujo de eventos basados en el protocolo AER, siendo éste el medio de comunicación entre el sensor y diferentes elementos externos [9, 10].

1.4. Representación de eventos a través de direcciones AER

AER (*Address Event Representation*) es un protocolo de comunicación entre circuitos, el cual emplea el multiplexado digital asíncrono, representando eventos basados en direcciones [11]. El funcionamiento de este protocolo asíncrono se observa en Fig. 5.

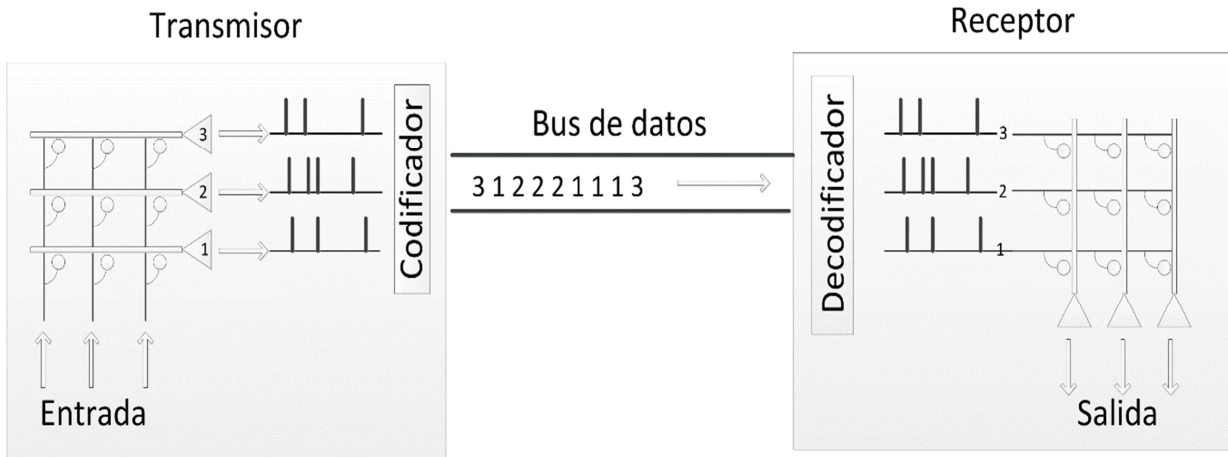


Fig. 5. Representación del protocolo AER.

Cada uno de los pixeles del chip TmpDiff128 tiene una dirección digital con un identificador único. Cuando ocurre un evento en un pixel, se transmite la dirección del pixel además de su polaridad (1,0), donde “1” indica un incremento en la iluminación y “0” un decremento, con respecto a un umbral dado. El orden de los bits del mensaje transmitido establece que el bit [0] representa la polaridad del evento, los bits [7:1] corresponden a la dirección en X, y los bits [14:8] corresponden a la dirección en Y y el bit [15] es un bit reservado para sincronización que es raramente utilizado, una de las aplicaciones de este bit es empleando dos DVS en visión estereoscópica.

2. Desarrollo

2.1. Elementos de retardo

Dentro del diseño de sistemas asíncronos, el elemento de retardo es uno de los que tienen mayor importancia, debido a que su desempeño permite a los otros bloques procesar el flujo de datos en el sistema. Este retardo debe ser calculado basado en el tiempo requerido para procesar los datos en algún punto dado del circuito. Los módulos fueron construidos en el software Xilinx ISE 14.6 utilizando macros y la tarjeta de desarrollo ML605 que incluye un FPGA XC5VSX50T [12], donde señales son forzadas

a pasar a través de una LUT del FPGA, como resultado la latencia es el tiempo requerido por las señales para pasar a través de los elementos internos (Fig. 6).

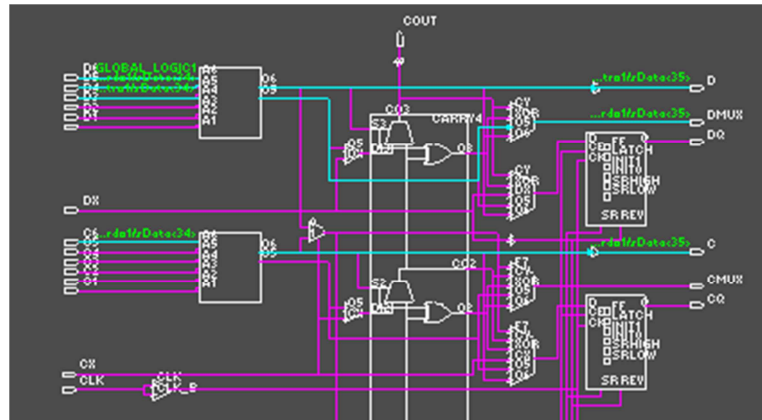


Fig. 6. Restricciones de usuario para generar elementos de retardo.

El tiempo de retardo de estos módulos se calcula como:

$$\Delta_{TOT} = T_{PI} + T_{LUT} + T_{PO} + T_{RUT}. \quad (1)$$

Donde:

- Δ_{TOT} es el retardo total.
- T_{PI} es la combinación de retardos entre la entrada y la salida del módulo T_{IOPI}
- T_{LUT} es la combinación de retardos entre entradas y salidas de las LUTs.
- T_{PO} es la combinación de retardo entre la entrada y salida del módulo T_{IOOP} .
- T_{RUT} es el tiempo de propagación existente de la conexión a otros módulos

2.2. Estructuras de adquisición de datos

El conjunto de estructuras propuestas es mostrado en Fig.7, las variables en estas estructuras son profundidad en los bloques de control asíncrono y número de elementos de retardo, Fig. 7a corresponde a cuatro bloques de control, Fig. 7b corresponde a ocho bloques de control, Fig. 7c corresponde a doce bloques de control y finalmente en Fig. 7d se muestra la estructura con dieciséis bloques de control, cada

una de ellas cuenta con cuatro cantidades diferentes de número de elementos de retardo, estos son; 10, 20, 30 y 40.

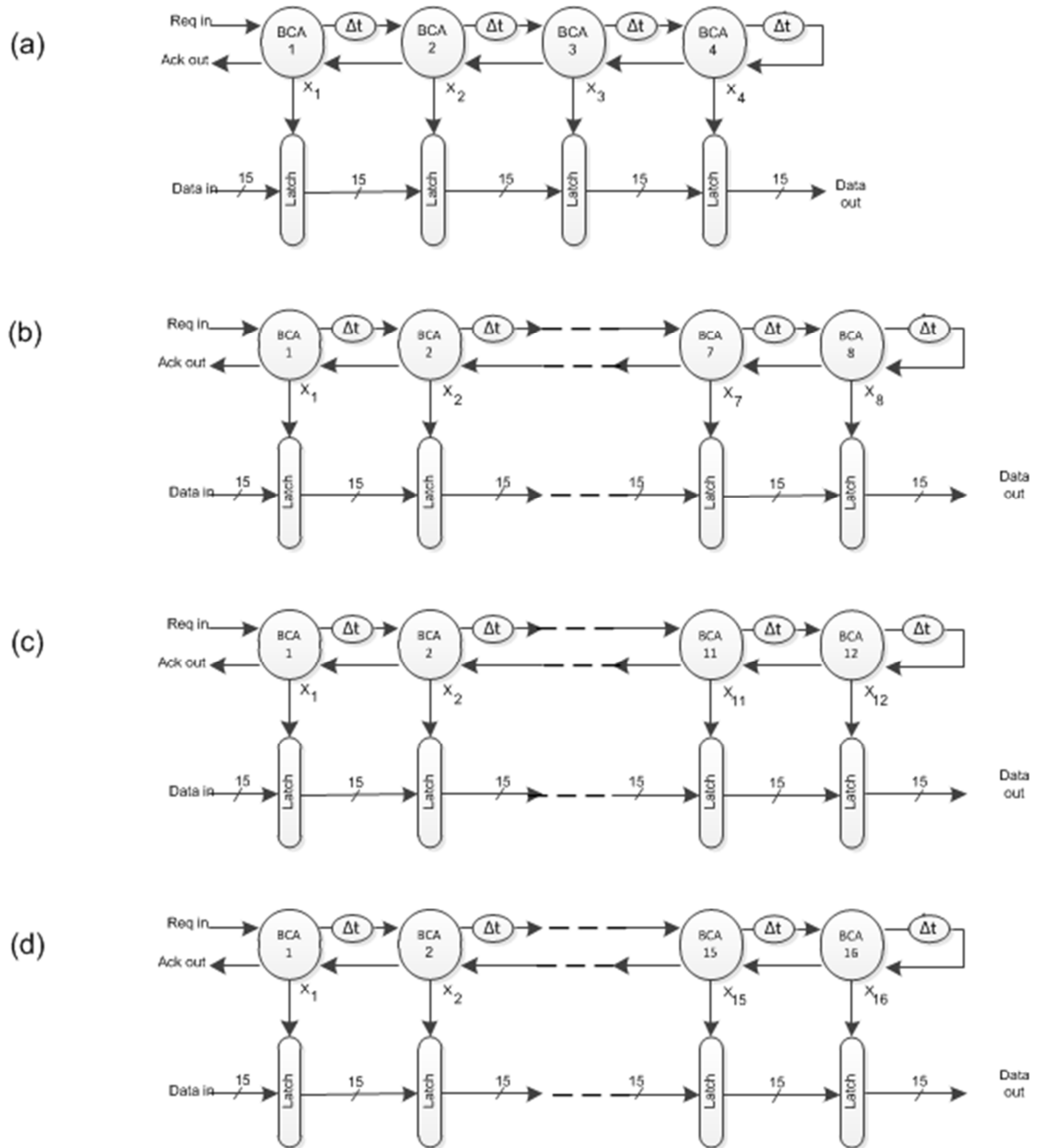


Fig. 7. Estructuras de pruebas diseñadas.

3. Resultados

3.1. Circuito generador de direcciones

La validación del circuito *self-timed* (ST) fue desarrollada mediante un circuito generador de direcciones, el cual emula el comportamiento del DVS usando un bus de datos de 15 bits y señales de control correspondientes al protocolo de riel simple de cuatro fases, su principal funciones proveer un flujo de datos al circuito *ST*, el cual genera direcciones correspondientes a una diagonal principal de una estructura de 128 x 128, las direcciones son enviadas y repetidas haciendo un ciclo en direcciones transmitidas, la frecuencia de operación de este generador es de 844.59 KHZ. El diagrama a bloques del circuito generador de direcciones se muestra en Fig. 8.

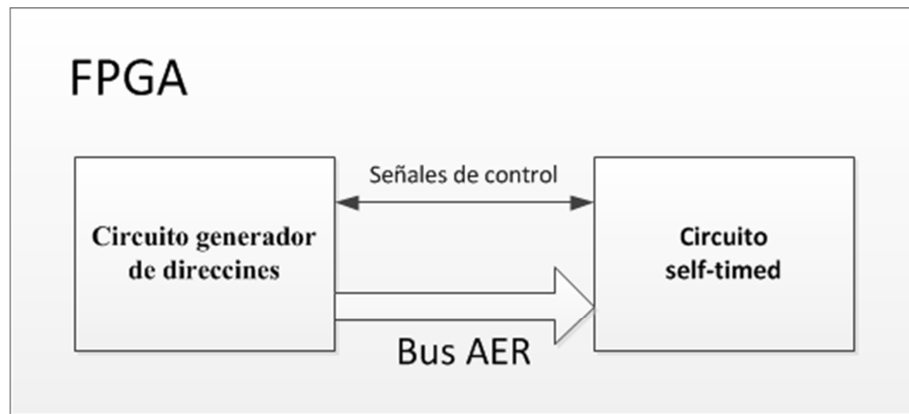


Fig. 8. Circuito generador de direcciones para pruebas con circuito *self-timed*.

El comportamiento del circuito generador de direcciones fue simulado utilizando las herramientas de Xilinx ISE 14.6. El resultado de la simulación (Fig.9) demuestra el correcto funcionamiento de este módulo, el cual maneja la señal de *request* y un bus de 15 bits, cambiando la dirección que será transmitida con cada petición.

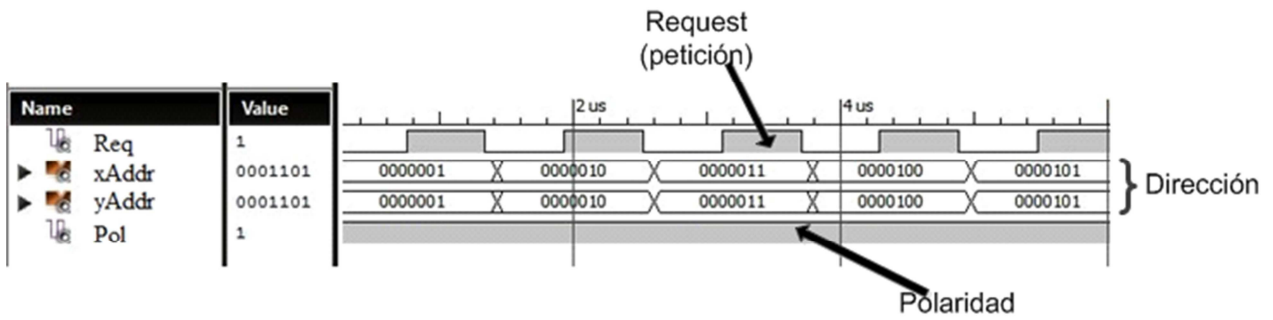


Fig. 9. Comportamiento en simulación del circuito generador de direcciones.

Al terminar la validación, el circuito generador de direcciones fue conectado al circuito ST para verificar el funcionamiento de ambos. La simulación (Fig. 10) presenta una correcta adquisición de datos por parte del circuito ST, donde la dirección que es enviada hacia el circuito ST (Dirección generador) fluye a través del circuito self-timed y éste presenta a su salida la misma dirección entrante (Dirección *self-timed*) con un retardo debido a la propagación de los datos por la estructura asíncrona, además el circuito ST genera la señal de *acknowledge* que servirá para responder a la señal de control del DVS, esta señal tiene un tiempo de respuesta determinado solo por la lógica del primer BCA, debido a esto, parece que se genera al mismo tiempo que la señal de *request* proveniente del circuito generador, pero este efecto es debido a la escala de medición.

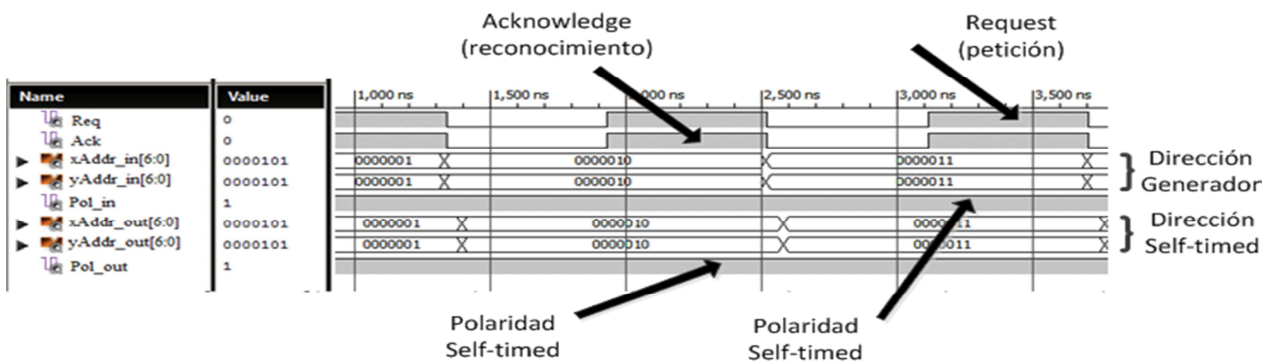


Fig. 10. Comportamiento en simulación del circuito generador de direcciones conectado al circuito self-timed.

La prueba en tiempo real del circuito generador de direcciones fue realizada utilizando un analizador lógico TLA5204B de Tektronix y es mostrada en Fig 11. El comportamiento en tiempo real resulto satisfactorio, debido a que su funcionamiento no presenta alteraciones en la generación de direcciones ni en la generación de la señal de control que servirán para estimular al circuito ST.

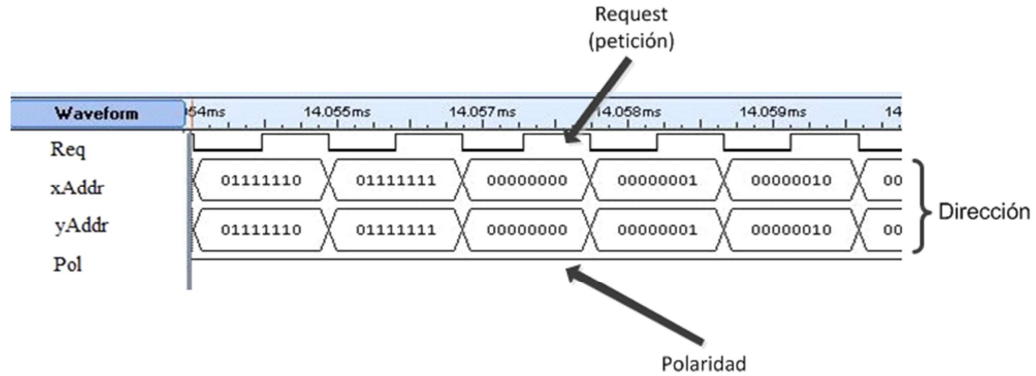


Fig. 11. Comportamiento en tiempo real del circuito generador de direcciones.

La prueba en tiempo real utilizando el circuito generador de direcciones conectado al circuito ST (Fig. 12), demuestra la capacidad del circuito asíncrono de manejar el flujo de datos utilizando la señal de control proveniente de una fuente externa como medio de señalización.

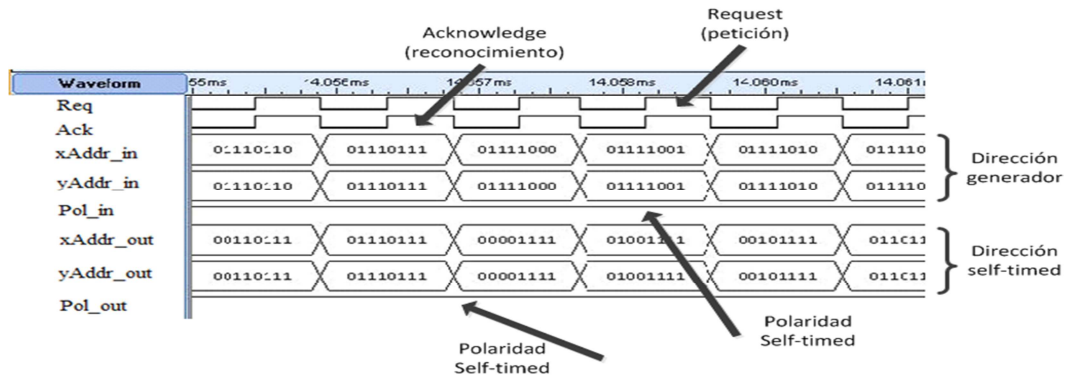


Fig. 12. Comportamiento en tiempo real del circuito generador de direcciones y self-timed.

El resultado de los datos de prueba, valida la funcionalidad de ambos circuitos; generador de direcciones y *ST*, donde muestra al generador de direcciones proporcionar un flujo de datos al circuito asíncrono, el cual tiene una generación de la señal de control y una captura de datos. Los resultados también completan la fase de prueba de la estructura de adquisición de datos.

3.2. Flujo de datos asíncronos provenientes del DVS

La cama de pruebas con la que se realizaron las mediciones en tiempo real se muestra en Fig. 13, donde se presenta la conexión de la cámara (Fig. 13c), la tarjeta de desarrollo (Fig. 13a) y el equipo necesario para la captura de información (Fig. 13b). El analizador lógico utilizado fue el encargado de generar una base de datos correspondientes al flujo proveniente del DVS así como el entregado por el circuito asíncrono.

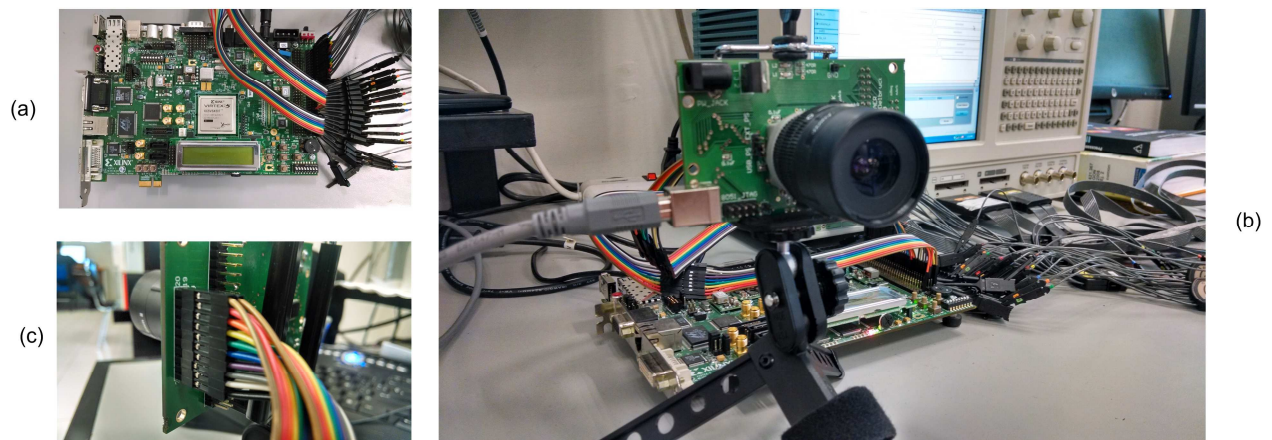


Fig. 13. (b) Conexión al equipo para captura de información (a) Tarjeta de desarrollo (c) Conexión de la cámara.

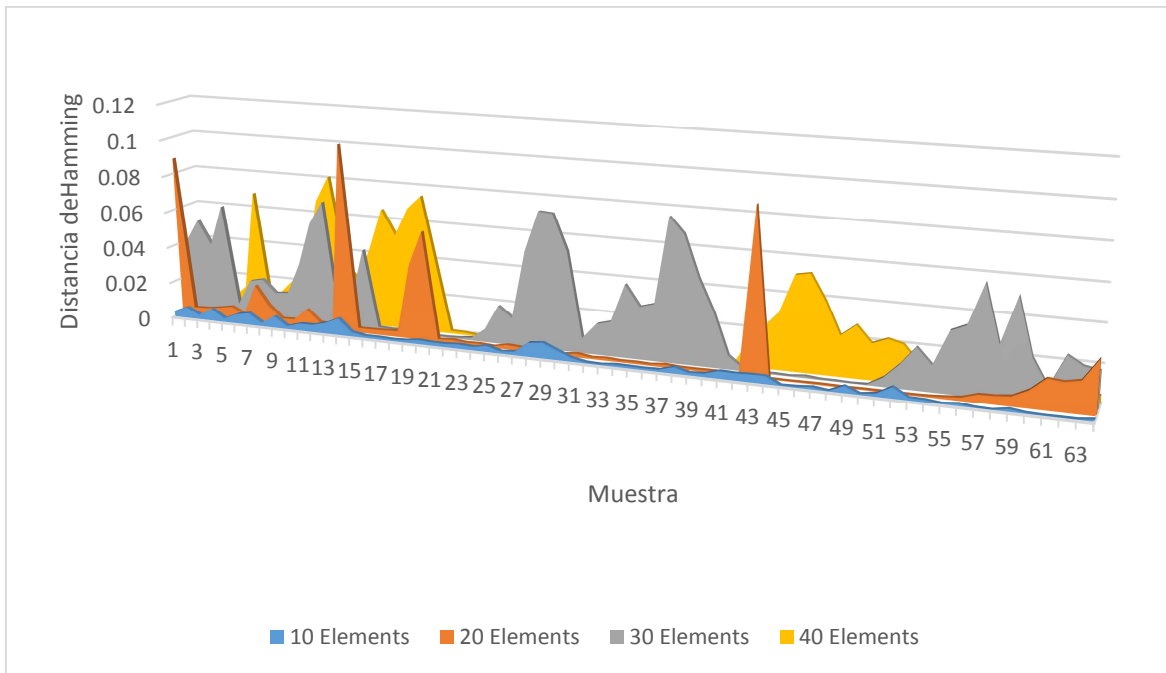
Los datos capturados en cada uno de los diseños fueron procesados con ayuda del software MATLAB, donde se realizó una comparación de la salida del DVS con respecto a la salida del circuito *ST*, con la finalidad de analizar que configuración tiene

una mejor respuesta (menor error), entre los datos generados por el DVS y el flujo de datos asíncronos a través de la estructura *Pipeline*.

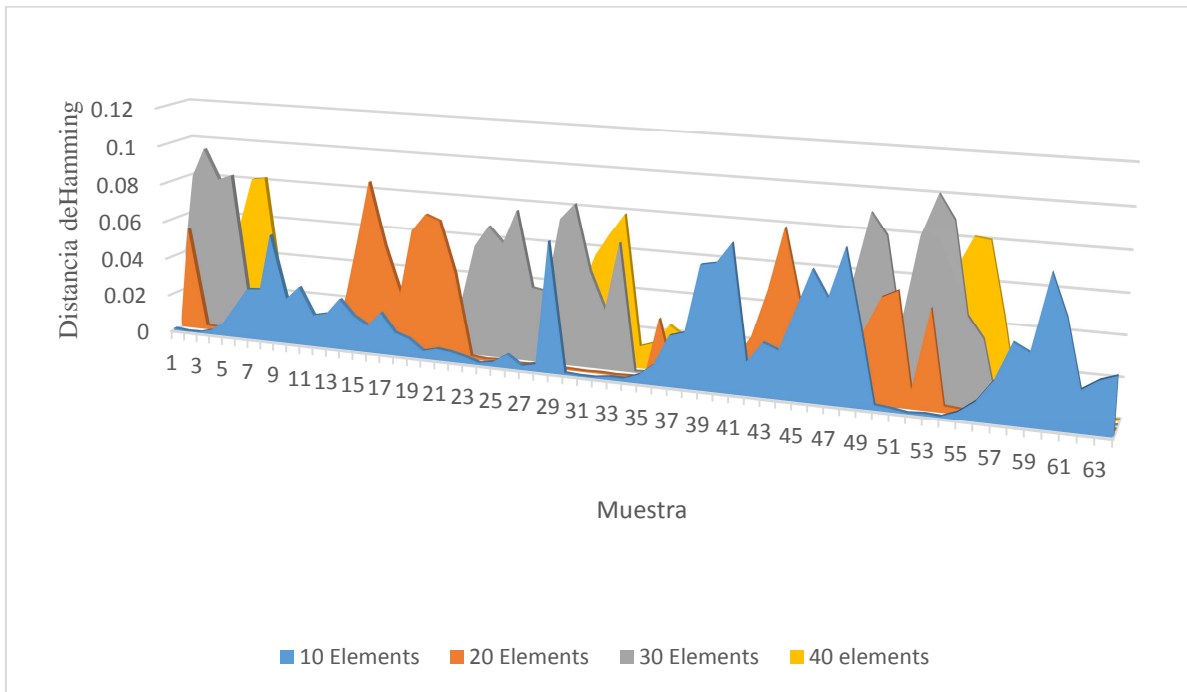
La comparación fue determinada por la Distancia de Hamming que corresponde a la ecuación (2).

$$H.D = \frac{1}{MN} \sum_{i=1}^M \sum_{j=1}^N x(i,j) \oplus y(i,j) \quad (2)$$

Para realizar el análisis se partió de una base de datos con dos millones de muestras, que se seccionó en 64 bloques, con fin de realizar cuadros de imagen y realizar la comparación (DVS vs ST). El resultado de esta comparación se presenta en la Fig. 14, donde se presentan las cuatro configuraciones de profundidad en bloques de control asíncrono y diferente cantidad de elementos de retardo.

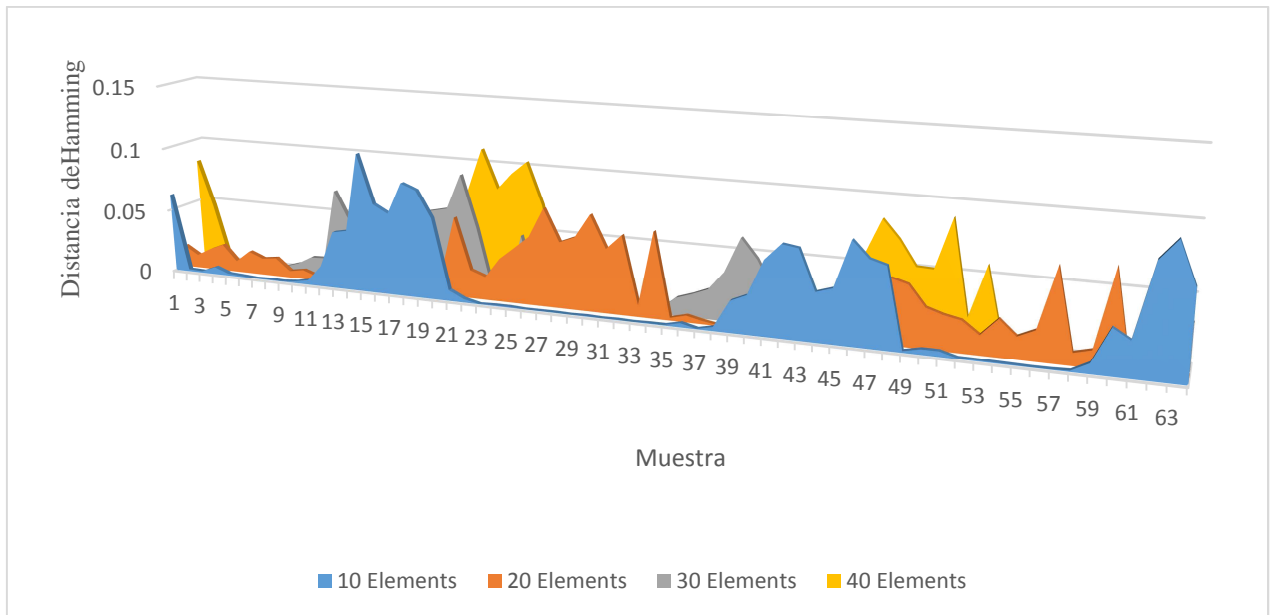


(a)

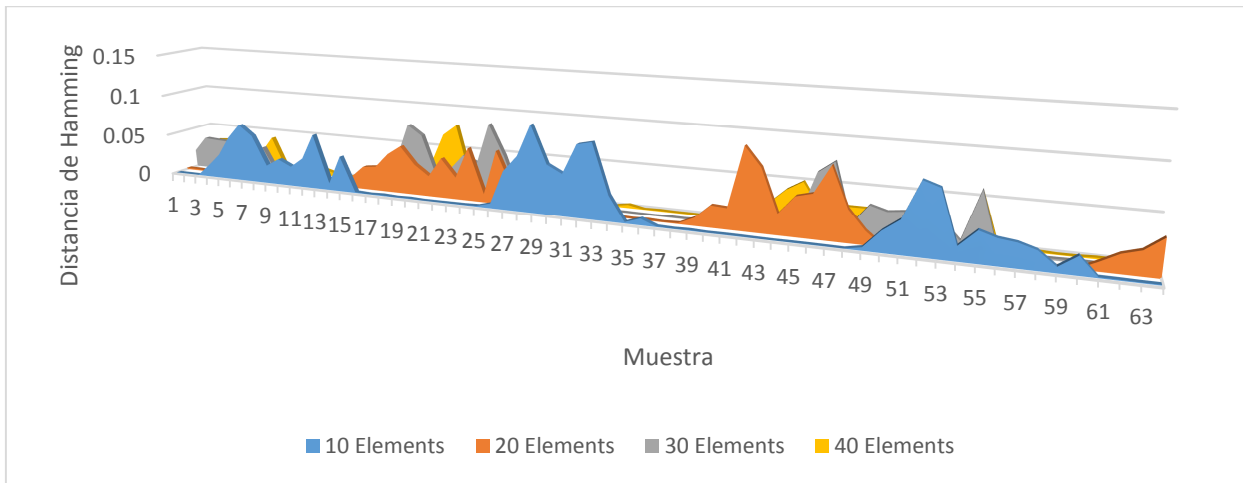


(b)

Fig. 14. (a) y (b) Relación de distancia de Hamming en las estructuras de adquisición de datos: (a) 4 BCAs, (b) 8 BCAs.



(c)



(d)

Fig. 14. (c) y (d) Relación de distancia de Hamming en las estructuras de adquisición de datos: (c) 12 BCAs y (d) 16 BCAs.

La comparación de las cuatro configuraciones se muestra en la Fig. 15, esta vez se llevó a cabo utilizando la información de la muestra completa, es decir, se realizó la comparación, uno a uno la salida de datos del DSV y salida de datos del circuito *ST* y se utilizó (2).

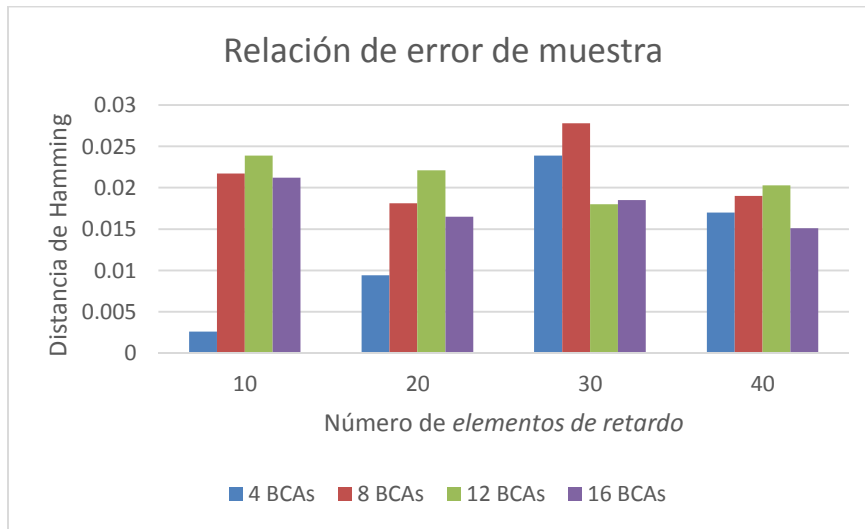


Fig. 15. Comparación de error con las cuatro configuraciones diseñadas.

4. Conclusiones

El protocolo AER emplea el flujo de datos asíncronos, lo cual requirió del diseño de elementos de retardo para trabajar con un circuito *self-timed*, éste circuito fue probado con un circuito generador de direcciones, con el fin de verificar su funcionamiento de forma independiente al DVS. En las pruebas en tiempo real con el sensor de visión dinámico, las estructuras diseñadas fueron capaces de realizar la captura de información generada por el chip TmpDiff128 y la relación de error obtenido se observan en Fig.14 y Fig.15. El comportamiento de las estructuras fue validado, y los resultados mostraron fiabilidad, además, se logró una buena adquisición del flujo de datos asíncronos utilizando el protocolo de riel simple de cuatro fases. Las características del DVS y el suministro de datos en una estructura asíncrona propician su empleo en áreas tales como medicina, biomedicina y militar, donde se requiere de un análisis óptico, por ejemplo, en la contabilidad de las células o partículas, velocimetría de seguimiento del flujo de partículas, análisis morfológico o la búsqueda de objetivos.

5. Referencias

- [1] H. Seo, J. Heo, T. Kim, "Clock skew optimization for maximizing time margin by utilizing flexible flip-flop timing". In Quality Electronic Design (ISQED), 16th International Symposium. IEEE. 2015. 35-39 pp.
- [2] Z. Xia, M. Hariyama, M. Kameyama, "Asynchronous Domino Logic Pipeline Design Based on Constructed Critical Data Path". Very Large Scale Integration (VLSI) Systems, IEEE. Vol. 23. No. 4. 2015. 619-630 pp.
- [3] P. A. Beerel, "Asynchronous circuits: an increasingly practical design solution". In Quality Electronic Design. Proceedings. International Symposium. 2002. 367-372 pp.

- [4] C. H. Van Berkel, M. B. Josephs, S. M. Nowick, "Applications of asynchronous circuits". Proceedings of the IEEE. Vol 87. No. 2. 1999. 223-233 pp.
- [5] S. Hauck, "Asynchronous design methodologies: An overview". Proceedings of the IEEE. Vol. 83. No. 1. 1995. 69-93 pp.
- [6] S. Ortega, J. Raygoza, E. Boemo, "Sincronización self-timed: protocolo de 4 fases". JCRA Jornadas de computación reconfigurable y aplicaciones. 2003. 517 – 528 pp.
- [7] J. Spars, S. Furber, "Principles Asynchronous Circuit Design". Kluwer Academic Publishers, 2002.
- [8] T. Delbruck, "Frame-free dynamic digital vision". In Proceedings of Intl. Symp. on Secure-Life Electronics, Advanced Electronics for Quality Life and Society. 2008. 21-26 pp.
- [9] P. Lichtsteiner, "An AER temporal contrast vision sensor" Doctoral dissertation, Diss., Naturwissenschaften, Eidgenössische Technische Hochschule ETH Zürich. No. 16898. 2006.
- [10] Overview of Dynamic Vision Sensors. www.inilabs.com/support/overview-of-dynamic-vision-sensors. Febrero 2015.
- [11] S. C. Liu, T. Delbruck, "Neuromorphic sensory systems". Current opinion in neurobiology. Vol. 20. No. 3. 2010. 288-295 pp.
- [12] Xilinx, Constraints guide. www.xilinx.com/itp/xilinx10/books/docs/cgd/cgd.pdf. Diciembre 2014.

Implementación y optimización del uso de DPS en FPGA en diseño de circuitos a medida para calcular determinantes de orden 4

Francisco J. Plascencia Jauregui

Centro Universitario de Ciencias Exactas e Ingenierías, Universidad de Guadalajara,
Blvd. Marcelino García Barragán #1421, esq. Calzada Olímpica, C.P. 44430, Guadalajara, Jal., México
francisco.plascencia@alumno.udg.mx

Juan José Raygoza P.

Centro Universitario de Ciencias Exactas e Ingenierías, Universidad de Guadalajara,
Blvd. Marcelino García Barragán #1421, esq. Calzada Olímpica, C.P. 44430, Guadalajara, Jal., México
juan.raygoza@cucei.udg.mx

Edwin C. Becerra A.

Centro Universitario de Ciencias Exactas e Ingenierías, Universidad de Guadalajara,
Blvd. Marcelino García Barragán #1421, esq. Calzada Olímpica, C.P. 44430, Guadalajara, Jal., México
edwin.becerra@cucei.udg.mx

Susana Ortega Cisneros

Centro de Investigación y de Estudios Avanzados del I.P.N, CINVESTAV, Unidad Guadalajara
Av. del Bosque 1145, colonia el Bajío, Zapopan, 45019, Jalisco, México
susana.ortega@gdl.cinvestav.mx

Resumen

En este artículo se presenta el diseño e implementación de dos circuitos digitales a medida para el cálculo de determinantes de matrices de orden 4, mediante el algoritmo del Teorema de Laplace, utilizando números enteros de 8 bits. Se analizan los resultados de la implementación de los circuitos enfocados desde dos perspectivas, la

primera instanciando un módulo que calcula determinantes de orden 3, mientras que en la segunda, las multiplicaciones se realizan de manera directa en el mismo bloque, reduciendo así la cantidad de unidades DSP necesarios para obtener el resultado final. En ambos casos se comparan tanto la ocupación y los tiempos de respuesta. Por otro lado, la descripción del circuito se realizó en Lenguaje de Descripción de Hardware (HDL) en el software ISE de Xilinx.

Palabra(s) Clave(s): determinante, DSP, FPGA, teorema de Laplace.

1. Introducción

El trabajo con matrices ha resultado desde sus inicios de gran ayuda para el quehacer científico sobre todo por su gran adaptabilidad a diferentes ramas del saber; operaciones como el cálculo de determinantes, matrices inversas, transpuestas, entre otras son esenciales en áreas como la navegación espacial, visión artificial y procesamiento digital de imágenes, por mencionar algunas.

No obstante, con el avance y especialización de las ciencias, la cantidad de información a procesar crece cada vez más, y con ello la complejidad del álgebra matricial [3], es por ello que en el ámbito académico se trabaja en el desarrollo de algoritmos cada vez más eficaces y eficientes [1, 2, 6, 7, 9].

Por otro lado, existen en la actualidad herramientas que facilitan el procesamiento de datos basadas en hardware y proporcionan al diseñador la flexibilidad de diseñar la arquitectura y gran capacidad de procesamiento, estos son los dispositivos reconfigurables FPGAs.

Utilizando los FPGAs como plataforma se abre la oportunidad de aplicar algoritmos enfocados al álgebra matricial. Además, es importante señalar que es posible reducir el consumo de energía, minimizar el uso de recursos, aumentar las velocidades de respuesta o la cantidad de información procesada [4, 5, 7, 8, 10, 11].

A pesar de esto, los dispositivos reconfigurables tienen ciertas limitantes, por ejemplo, la representación de los números decimales, que implica un gran consumo de recursos del FPGA.

2. Matrices y determinantes

Las matrices se definen como un arreglo bidimensional de datos y se les nombra con una letra mayúscula, mientras que sus elementos se enumeran con letras minúsculas. (ver Fig. 1).

$$A = \begin{pmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{pmatrix}$$

Fig. 1. Matriz de 2x2.

En la Fig. 1 los subíndices señalan la posición del elemento respecto a las filas y las columnas, así pues, el elemento a_{21} se encuentra en la fila 2 y columna 1.

Por otro lado, una matriz que tiene la misma cantidad de filas y columnas se le denomina matriz cuadrada y se dice que es de orden n , en este sentido, la Fig. 1 muestra una matriz de orden 2.

Ahora bien, el determinante hace referencia a la expresión matemática que está intrínsecamente relacionado con la matriz cuadrada que le da origen, y posee varias propiedades, como la de establecer la singularidad de dicha matriz, es decir, indica que si a partir de esa matriz es posible obtener un determinante mediante ciertas operaciones, es decir, dicha matriz es no singular.

Sin embargo, dependiendo del tamaño de la matriz y sus elementos, se han desarrollado diferentes algoritmos para el cálculo de determinantes a través de los años, así pues, son varias las formas de señalar el determinante de una matriz. (ver Fig. 2).

$$\det A = \det \begin{pmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{pmatrix} = \begin{vmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{vmatrix}$$

Fig. 2. Determinante de una matriz de orden 3.

3. Algoritmo para calcular determinantes

Para el cálculo de un determinante se emplea el algoritmo del Teorema de Laplace, mediante el cual es posible calcular este valor a partir del uso de menores y cofactores [3].

$$|A| = \sum_{i=1}^n \sum_{j=1}^n (-1)^{i+j} a_{ij} c_{ij} \quad (1)$$

Considerando la fórmula general planteada en (1), se selecciona una fila o columna, para en seguida obtener los menores de cada uno de los elementos de esa fila o columna. Además, es importante señalar que los menores son las matrices reducidas que se obtienen eliminando los elementos de la fila y columna del elemento elegido (ver Fig. 3).

$$\begin{vmatrix} a_{11} & \mathbf{a_{12}} & a_{13} \\ \mathbf{a_{21}} & a_{22} & \mathbf{a_{23}} \\ \mathbf{a_{31}} & a_{32} & \mathbf{a_{33}} \end{vmatrix} \rightarrow a_{12} = \begin{pmatrix} a_{21} & a_{23} \\ a_{31} & a_{33} \end{pmatrix}$$

Fig. 3. Menor del elemento a12.

Una vez que se tiene el menor se calcula su determinante, que se conoce como cofactor. Ahora, este cofactor se multiplica con el elemento seleccionado, y su signo depende de la posición del elemento, es decir, si la suma de los subíndices es par, el signo es positivo, mientras que si la suma es impar es negativo.

Por lo cual la aplicación del teorema a una matriz de orden 3 en la primera columna se observa en la Fig 4.

$$\begin{vmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{vmatrix} = +a_{11} \begin{vmatrix} a_{22} & a_{23} \\ a_{32} & a_{33} \end{vmatrix} - a_{21} \begin{vmatrix} a_{12} & a_{13} \\ a_{32} & a_{33} \end{vmatrix} + a_{31} \begin{vmatrix} a_{12} & a_{13} \\ a_{22} & a_{23} \end{vmatrix}$$

Fig. 4. Aplicación de Teorema de Laplace a una matriz de orden 3.

A continuación se realiza el desarrollo a nivel de operaciones aritméticas (ver Fig. 5).

$$+a_{11}((a_{22} * a_{33}) - (a_{32} * a_{23})) - a_{21}((a_{12} * a_{33}) - (a_{32} * a_{13})) + a_{31}((a_{12} * a_{23}) - (a_{22} * a_{13}))$$

Fig. 5. Desarrollo del determinante de orden 3.

Con el desarrollo de la Fig. 5 se requieren hasta ahora nueve multiplicaciones, cuatro restas y una suma.

Ahora bien, como el objetivo es llegar a matrices de orden cuatro, se hace uso de una de las bondades de este método, que es la recursividad.

Para ello, se plantea en primer lugar una matriz de orden 4 (ver Fig. 6).

$$\begin{vmatrix} a_{11} & a_{12} & a_{13} & a_{14} \\ a_{21} & a_{22} & a_{23} & a_{24} \\ a_{31} & a_{32} & a_{33} & a_{34} \\ a_{41} & a_{42} & a_{43} & a_{44} \end{vmatrix} = \begin{vmatrix} a_{15} & a_{14} & a_{13} & a_{12} \\ a_{11} & a_{10} & a_9 & a_8 \\ a_7 & a_6 & a_5 & a_4 \\ a_3 & a_2 & a_1 & a_0 \end{vmatrix}$$

Fig. 6. Matriz de orden 4.

Se aplica el algoritmo del Teorema de Laplace (ver Fig. 7).

$$+a_{15} \begin{vmatrix} a_{10} & a_9 & a_8 \\ a_6 & a_5 & a_4 \\ a_2 & a_1 & a_0 \end{vmatrix} - a_{11} \begin{vmatrix} a_{14} & a_{13} & a_{12} \\ a_6 & a_5 & a_4 \\ a_2 & a_1 & a_0 \end{vmatrix} + a_7 \begin{vmatrix} a_{14} & a_{13} & a_{12} \\ a_{10} & a_9 & a_8 \\ a_2 & a_1 & a_0 \end{vmatrix} - a_3 \begin{vmatrix} a_{14} & a_{13} & a_{12} \\ a_{10} & a_9 & a_8 \\ a_6 & a_5 & a_4 \end{vmatrix}$$

Fig. 7. Aplicación de Teorema de Laplace a un determinante de orden 4.

Por otro lado, para cuantificar el consumo total de operaciones se desarrolla las operaciones aritméticas (ver Fig. 8).

$$a_{15} (a_{10}((a_5 * a_0) - (a_1 * a_4)) - a_6((a_9 * a_0) - (a_1 * a_8)) + a_2((a_9 * a_4) - (a_5 * a_8)))$$

$$\begin{aligned}
 & -a_{11} \left(a_{14} \left((a_5 * a_0) - (a_1 * a_4) \right) - a_6 \left((a_{13} * a_0) - (a_1 * a_{12}) \right) + a_2 \left((a_{13} * a_4) - (a_5 * a_{12}) \right) \right) \\
 & + a_7 \left(a_{14} \left((a_9 * a_0) - (a_1 * a_8) \right) - a_{10} \left((a_{13} * a_0) - (a_1 * a_{12}) \right) + a_2 \left((a_{13} * a_8) - (a_9 * a_{12}) \right) \right) \\
 & - a_3 \left(a_{14} \left((a_9 * a_4) - (5 * a_8) \right) - a_{10} \left((a_{13} * a_4) - (5 * a_{12}) \right) + a_6 \left((a_{13} * a_8) - (a_9 * a_{12}) \right) \right)
 \end{aligned}$$

Fig. 8. Desarrollo para obtener el determinante de orden 4.

De esta forma un determinante de orden cuatro se reduce a cuatro determinantes de orden 3; sin embargo, su consumo se incrementa a 40 multiplicaciones, 18 restas y 6 sumas.

No obstante lo anterior, se observa que hay algunas multiplicaciones que se repiten, por lo que en lugar de instanciar las operaciones mediante un bloque que calcule un determinante de orden tres, se propone un segundo diseño, realizando las operaciones individualmente para reducir las multiplicaciones necesarias.

Tomando como base las Figs. 5 y 8 se desarrollan los diagramas de flujo para cada uno de los circuitos que se implementarán (ver Fig. 9 y 10).

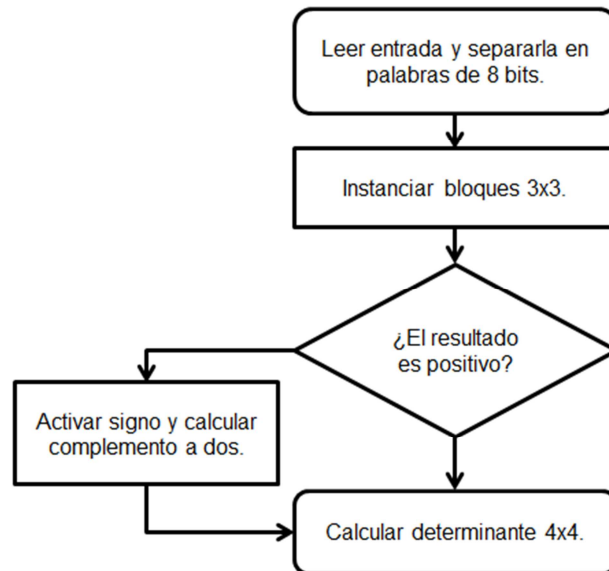


Fig. 9. Diagrama de flujo del circuito 1.

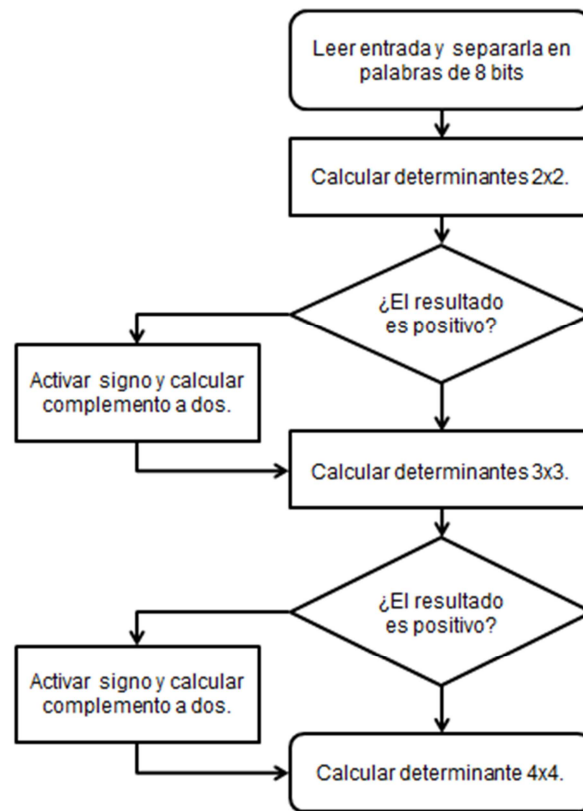


Fig. 10. Diagrama de flujo para el circuito 2.

4. Diseño e implementación de la unidad aritmética para calcular el determinante de una matriz de orden 4, con instanciación de bloques

Los valores de entrada para cada elemento de la matriz se ingresan mediante un vector de datos binarios, que contiene la representación de cada número con valores entre 0 y 255, este conjunto de unos y ceros se separan para representar los valores individuales de la matriz, y así poder realizar las operaciones necesarias y obtener el determinante de dicha matriz.

En Lenguaje de Descripción de Hardware se declaran las señales que reciben estos valores (ver Fig. 11).

```
signal a15, a14, a13, a12,  
       a11, a10, a9, a8,  
       a7, a6, a5, a4,  
       a3, a2, a1, a0: std_logic_vector(x-1 downto 0);
```

Fig. 11. Señales declaradas para contener los valores del vector de entrada.

Posteriormente, a cada señal se le asignan 8 bits de la cadena inicial de datos.

4.1. Instanciación del bloque para calcular determinantes de orden 3

A continuación, se llama el bloque al que se le envía como parámetros las señales con las que se forman los cuatro menores y del cual se obtiene como salida el valor del cofactor y la señal de signo que es negativa cuando su valor es 1 y 0 en caso contrario (ver Fig. 12).

```
det_3x3_1: entity work.Laplace_3x3_DSP_8bits port map  
(A=> (a10&a9&a8&a6&a5&a4&a2&a1&a0), signo=>signo1, det=>det1);
```

Fig. 12. Instanciación del bloque calculador de determinantes de orden 3.

4.1.1. Señal de signo

Esta señal recibe su origen al momento de operar un determinante de orden 3, como se observa en la Fig. 4, el primer término se origina a partir del producto de uno de los elementos por la diferencia de otros dos productos $(a_{11}*(a_{22}*a_{33})-(a_{32}*a_{23}))$, es justamente aquí dónde se pueden generar números negativos, pero al ser el resultado de una diferencia de productos, este número tiene el doble de longitud de cada elemento, es decir, 16 bits. Por otro lado, al multiplicar esta cadena por un elemento de 8 es posible recibir resultados indeseados como se muestra en la Fig. 13 donde el resultado correcto es la segunda opción.

Debido a esta situación, se considera de gran importancia el poder detectar si el resultado de una operación es negativo o positivo para continuar con el resto de las operaciones.

$$255 * (-254) = 11111111 * 1111111100000010 = 111111100000001011111110$$

$$-(255 * 254) = 11111111 * 0000000011111110 = 111111100000001011111110$$

Fig. 13. Origen de la necesidad de implementar la señal de signo.

Además, la corrección del problema se logra al comparar los resultados de las primeras multiplicaciones, si el primer producto es menor al segundo se genera un número negativo, por lo que es necesario operarlo de forma positiva mediante su complemento a dos, una vez obtenido el resultado se devuelve a su forma negativa mediante el complemento antes mencionado (ver Fig. 14).

Estas mismas operaciones se realizan con los otros dos términos de la Fig. 4, con lo que se generan los tres valores necesarios para calcular el determinante de orden 3. Durante la ejecución de estos procedimientos se generan además las señales que permiten establecer el signo del mencionado determinante.

```
mult1<=a4*a0;
mult2<=a1*a3;
process (mult1, mult2, datos1, comp2_1, comp2_2, comp2_3, a8)
begin
if (mult1<mult2) then
  comp2_1<=mult1-mult2;
  comp2_2<= (not (comp2_1))+1;
  comp2_3<= a8*comp2_2;
  datos1<= (not (comp2_3))+1;
  sign1<='1';
else datos1<= a8*(mult1-mult2); sign1<='0';
end if;
end process;
```

Fig. 14. Sección de código para detectar números negativos.

Una vez que se logra obtener los valores y signos de los tres términos se realiza el análisis de ellos para determinar el signo final. De acuerdo con la Fig. 4, al primer dato se resta el segundo, posteriormente se suma el tercero.

De esta forma, se estudian las ocho posibles combinaciones pertenecientes a los signos de los tres datos, dentro de estos casos se profundiza en los absolutos (complemento a dos, cuando son negativos) de cada dato.

Por ejemplo, al tratarse del caso en que los tres son positivos, el signo del determinante final será positivo cuando el valor del primer dato sea mayor que el segundo. En caso contrario, el tercer valor debe ser superior al valor absoluto de la resta (señal pre_resta y su complemento a dos) de los primeros dos (ver Fig. 15).

```
pre_resta<=datos1-datos2;
comp2_pre<= (not (pre_resta))+1;

process (sign1, sign2, sign3, datos1, datos2, datos3,
        pre_resta, comp2_pre, comp2_1, comp2_2, comp2_3,
        comp2_4, comp2_5, comp2_6, comp2_7, comp2_8, comp2_9)
begin
  if (sign1='0' and sign2='0' and sign3='0') then
    if (datos1>datos2) then signo<='0';
      elsif (datos1<datos2) then
        if (comp2_pre<datos3) then signo<='0';
          else signo<='1';
            end if;
        end if;
    end if;
```

Fig. 15. Señal de pre_resta y estudio del primer caso de signos.

Al concluir estos ocho casos se tienen como resultados un determinante de una matriz de orden 3 y una señal de signo que comunica si este número es positivo o negativo, esto facilitará su instanciación y aplicación en el cálculo de un determinante de orden 4.

5. Diseño e implementación de la unidad aritmética para calcular el determinante de una matriz de orden 4, con multiplicaciones internas

En la Fig. 8 se observan las multiplicaciones que se repiten, una vez eliminadas sólo quedan doce operaciones y con esto se minimiza el uso de DSPs (ver Tabla 1).

Nombre	Producto	Nombre	Producto
mult1	$a5*a0$;	mult7	$a13*a0$;
mult2	$a1*a4$;	mult8	$a1*a12$;
mult3	$a9*a0$;	mult9	$a13*a4$;
mult4	$a1*a8$;	mult10	$a5*a12$;
mult5	$a9*a4$;	mult11	$a13*a8$;
mult6	$a5*a8$;	mult12	$a9*a12$;

Tabla 1. Nombre de las señales y valores a multiplicar.

Se analiza cada par de multiplicaciones para obtener los valores para el cofactor, considerando a la vez, los casos que generan números negativos (ver Fig. 16).

```

mult1<=a5*a0;
mult2<=a1*a4;
process (mult1, mult2, datos1, comp2_1, comp2_2, comp2_3, a10)
begin
if (mult1<mult2) then
  comp2_1<=mult1-mult2;
  comp2_2<= (not (comp2_1))+1;
  comp2_3<= a10*comp2_2;
  datos1<= (not (comp2_3))+1;
  signo1<='1';
else datos1<= a10*(mult1-mult2); signo1<='0';
end if;
end process;

```

Fig. 16. Análisis en cada par de multiplicaciones.

Posterior al análisis que lleva a obtener cada dato que ha de sumarse o restarse, para generar cada uno de los cofactores, se realiza también el correspondiente estudio de los signos para determinar si se trata de un número positivo o negativo (ver Fig. 14).

Una vez calculados los cuatro cofactores se estudian las multiplicaciones de dichos valores con el elemento de la matriz original, todo esto considerando siempre los casos en que el cofactor sea positivo o negativo (ver Fig. 17).

```
if (signo13='1') then --Signo del primer cofactor
  comp2_det11<=pre_det1;
  comp2_det12<= (not (comp2_det11))+1;
  comp2_det13<= a15*comp2_det12;
  det1<= (not (comp2_det13))+1;
  signo_det1<='1';
else det1<= a15*pre_det1; signo_det1<='0';
end if;
```

Fig. 17. Multiplicación del cofactor por el elemento de la matriz original.

Una vez que se tienen los cuatro determinantes se realizan las sumas y restas necesarias para obtener el resultado final, sin embargo, aún falta establecer los criterios para definir el valor de la señal de signo. Para este caso, al tratarse de cuatro valores se separan en pares, las restas de los determinantes uno y dos, y los determinantes tres y cuatro, estas comparaciones se envían a un par de señales parciales que se suman para dar una señal final (ver Figs. 18 y 19).

Una vez concluido el trabajo de la describir los algoritmos de instanciación y de multiplicaciones internas, se usó el software ISE de Xilinx para sintetizar los bloques (ver Fig. 20).

Con el fin de medir tiempos de respuesta y ocupaciones, se selecciona a la FPGA XC6VLX240T de la tarjeta de pruebas ML605, dicho dispositivo contiene un total de 768 unidades DSP [11, 12, 13].


```

if (signo_det1='0' and signo_det2='0') then
  if (det1>det2) then SS1<='0'; --Señal parcial SS1
  else SS1<='1';
  end if;

  elsif (signo_det1='0' and signo_det2='1') then SS1<='0';

  elsif (signo_det1='1' and signo_det2='0') then SS1<='1';

  elsif (signo_det1='1' and signo_det2='1') then
    if (comp2_det13>comp2_det23) then SS1<='0';
    else SS1<='1';
    end if;
  else SS1<='1';
end if;

```

Fig. 18. Análisis de los signos de los dos primeros determinantes.

```

pre_resta5<=det1-det2;
comp2_pre5<= (not (pre_resta5))+1;
pre_resta6<=det3-det4;
comp2_pre6<= (not (pre_resta6))+1;

if (SS1='0' and SS2='0') then signo<='0';

  elsif (SS1='0' and SS2='1') then
    if (pre_resta5>comp2_pre6) then signo<='0';
    else signo<='1';
    end if;

  elsif (SS1='1' and SS2='0') then
    if (comp2_pre6<pre_resta5) then signo<='0';
    else signo<='1';
    end if;

  elsif (SS1='1' and SS2='1') then signo<='1';

  else SS2<='1';
end if;

```

Fig. 19. Generación de la señal final de signo.

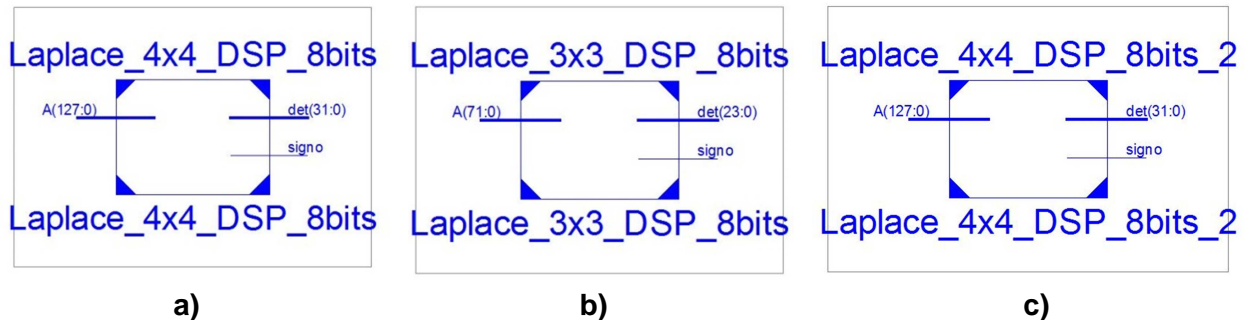


Fig. 20. a) Determinante 4x4 con instanciación. b) Determinante 3x3. C) Determinante 4x4 con multiplicaciones internas.

6. Resultados de calcular determinantes de orden 4 con instanciación

Se declaran los vectores de entrada que representan a las matrices utilizadas para poner a prueba el desempeño del diseño en el dispositivo reconfigurable seleccionado, cabe mencionar que el determinante de dichas matrices son 12, 1278, -6312 y -3784, respectivamente (ver Fig. 21).

$$\begin{vmatrix} 250 & 251 & 252 & 253 \\ 254 & 255 & 254 & 252 \\ 252 & 252 & 252 & 255 \\ 252 & 253 & 254 & 255 \end{vmatrix} \quad
 \begin{vmatrix} 250 & 251 & 251 & 253 \\ 254 & 255 & 254 & 252 \\ 252 & 252 & 252 & 255 \\ 252 & 253 & 254 & 255 \end{vmatrix} \quad
 \begin{vmatrix} 250 & 251 & 251 & 253 \\ 254 & 255 & 254 & 252 \\ 252 & 252 & 255 & 255 \\ 252 & 250 & 254 & 255 \end{vmatrix} \quad
 \begin{vmatrix} 250 & 251 & 255 & 253 \\ 254 & 255 & 254 & 252 \\ 252 & 252 & 252 & 254 \\ 252 & 253 & 254 & 255 \end{vmatrix}$$

Fig. 21. Matrices utilizadas para poner a prueba los diseños en la FPGA.

Además, cabe mencionar que debido a la longitud de la cadena de bits de entrada, ésta no puede ser representada en la ventana de simulación. A partir de los resultados que se obtienen al calcular el determinante de cada matriz planteada anteriormente, se infiere que hay un tiempo promedio de respuesta de 42.19575 ns (ver Fig. 22).

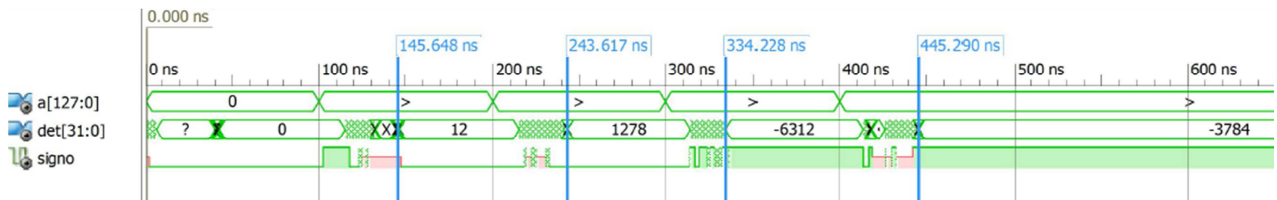


Fig. 22. Tiempo de respuesta para cada una de las matrices ingresadas.

En cuanto a la ocupación, este circuito consume un total de 56 DSP's (ver Tabla 2).

Resumen de utilización del dispositivo			
Utilización de Slices Lógicos	Usados	Disponibles	Porcentaje
Número de Slices Registros	1,025	301,440	1%
Número de Slices LUTs	2,130	150,720	1%
Número de Slices ocupados	773	37,680	2%
Número de IOBs	263	600	43%
Número de DSP48E1s	56	768	7%

Tabla 2. Recursos utilizados por el primer circuito.

Por otro lado, se obtiene el ruteo y localización de los DSP's en la FPGA para apreciar la utilización de la misma (ver Fig. 23).

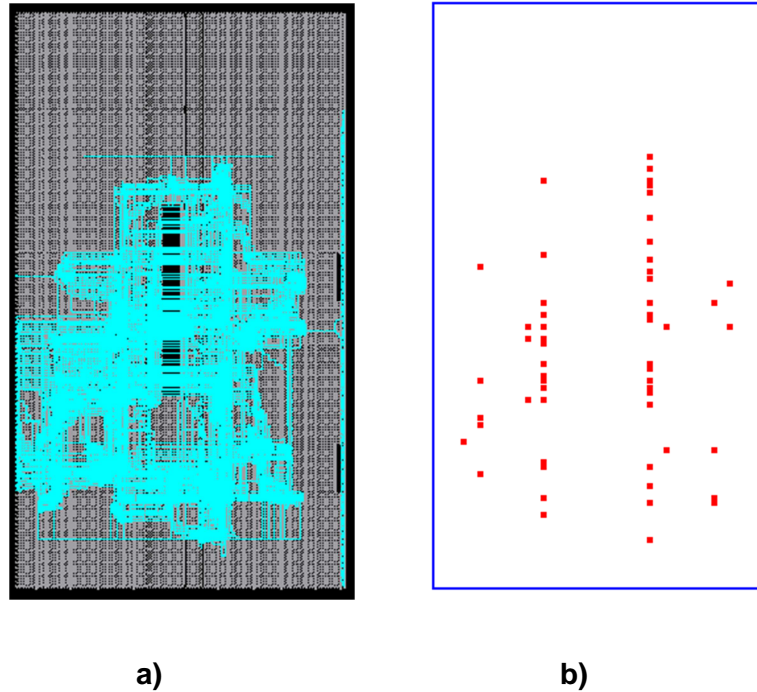


Fig. 23. a) Ruteo del circuito 1. b) Localización de los 56 DSP en la PGFA.

7. Resultados de calcular determinantes de orden 4 con multiplicaciones internas

El tiempo promedio de respuesta del segundo circuito es de 38.06975 ns (ver Fig. 24).

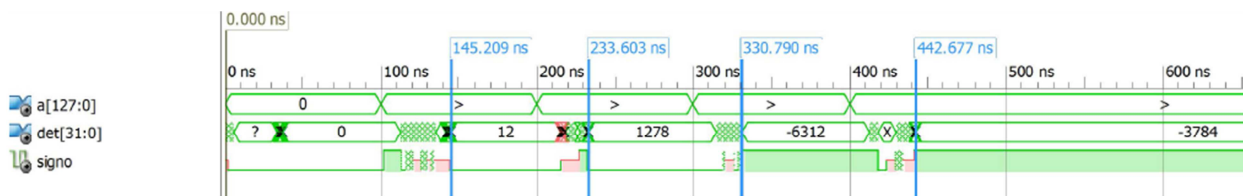


Fig. 24. Tiempos de respuesta del segundo circuito para cada matriz.

La tabla de utilización de recursos muestra una disminución de DSP empleados para proporcionar una respuesta, sin embargo hay un incremento en el número de IOB's puestos en marcha (ver Tabla 3).

Resumen de utilización del dispositivo			
Utilización de Slices Lógicos	Usados	Disponibles	Porcentaje
Número de Slices Registros	929	301,440	1%
Número de Slices LUTs	1,938	150,720	1%
Número de Slices ocupados	716	37,680	1%
Número de IOBs	395	600	65%
Número de DSP48E1s	44	768	5%

Tabla 3. Recursos utilizados por el segundo circuito.

De igual forma se genera el ruteo y localización de los DSP's para observar la ocupación de la FPGA (ver Fig. 25).

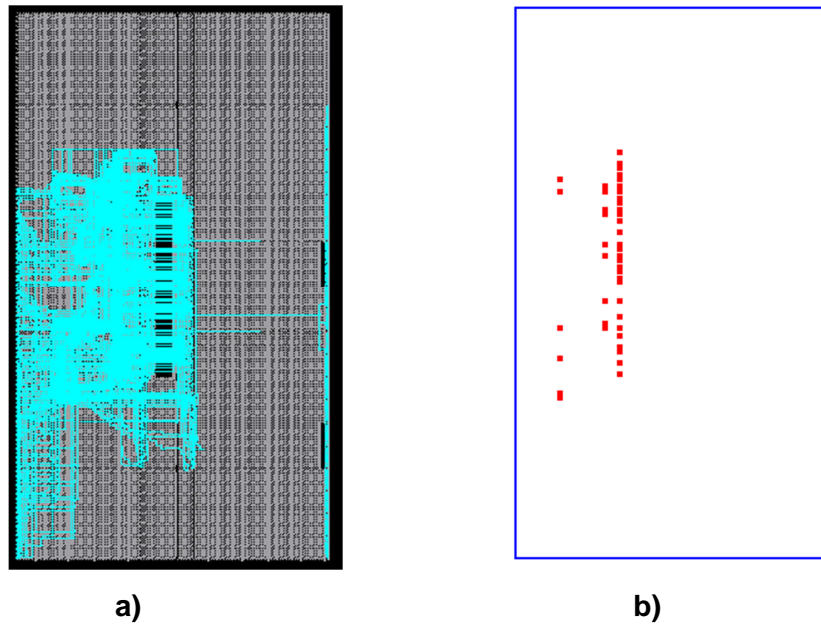


Fig. 25. a) Ruteo del circuito 2. b) Localización de los 44 DSP en la FPGA.

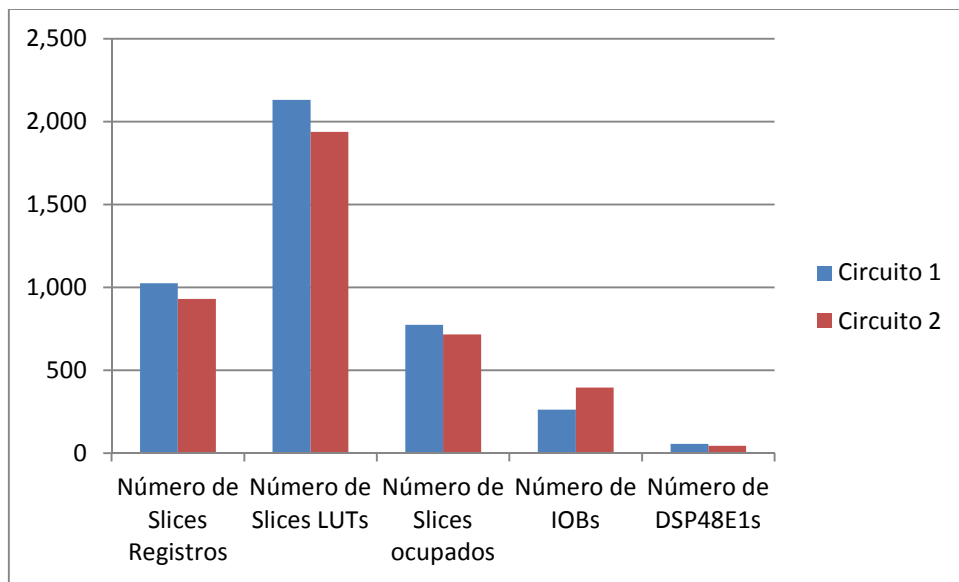
8. Comparación de los resultados de las implementaciones de ambos circuitos

Al tratarse de dos circuitos diferentes es lógico pensar que debe haber diferencias en cuanto a los recursos utilizados de la FPGA (ver Tabla 3).

Utilización del dispositivo			
Utilización de Slices Lógicos	Circuito 1	Circuito 2	Disponibles
Número de Slices Registros	1,025	929	301,440
Número de Slices LUTs	2,130	1,938	150,720
Número de Slices ocupados	773	716	37,680
Número de IOBs	263	395	600
Número de DSP48E1s	56	44	768

Tabla 3. Comparación de utilización de recursos en ambos circuitos.

Esta información se observa más claramente en la gráfica 1, donde se observa que el segundo circuito consume menos recursos.



Gráfica 1. Comparación de los recursos usados en la FPGA.

Hablando del número de Slices hay una disminución de 96 unidades, lo que representa un 9.3%; tratándose de los Slices LUT la reducción es de 192 bloques, que es el 9%. Mientras que los Slices ocupados que se ahorraron son 57 que equivale a 7.3%. En cuanto a los DSP, que es nuestro objetivo, hay un ahorro de 12 bloques, lo que corresponde a un 21.4%.

Por otro lado, el único caso en que hay un incremento es en los IOB, estimados en 132 unidades, lo que implica un 50%.

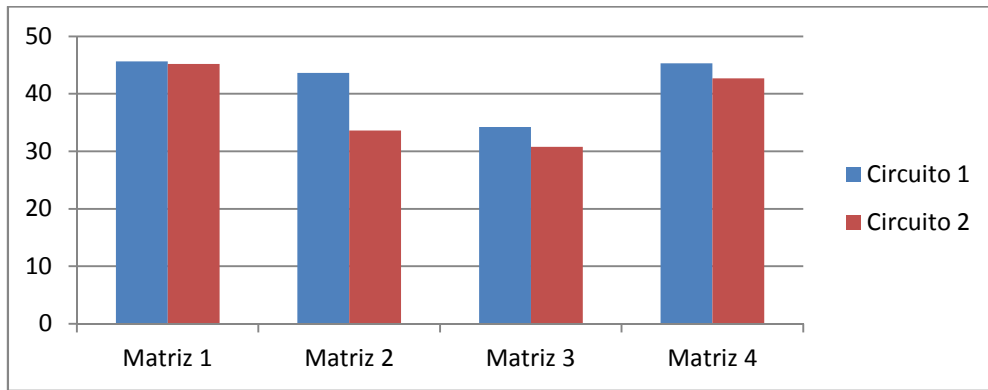
8.1. Comparación de los tiempos de respuesta de ambos circuitos

Ahora se analizan los tiempos de respuesta a cada una de las matrices insertadas, se puede notar que también hay reducciones (ver Tabla 4).

Tiempos de respuesta del dispositivo			
Matriz	Circuito 1	Circuito 2	Diferencia
1	45.648 ns.	45.209 ns.	0.439 ns
2	43.617 ns.	33.603 ns.	10.014 ns.
3	34.228 ns.	30.79 ns.	3.438 ns.
4	45.29 ns.	42.677 ns.	2.613 ns.
Promedio	42.19575 ns.	38.06975 ns.	4.126 ns.

Tabla 4. Comparación de los tiempos de desempeño de la FPGA.

Al igual que en el caso de las ocupaciones, esta información se aprecia de mejor manera en la gráfica presentada (ver gráfica 2).



Gráfica 2. Comparación de los tiempos de respuesta de ambos circuitos en nanosegundos.

9. Comparación con trabajos previos

En la literatura existen trabajos enfocados al algebra matricial implementados en FPGAs como plataforma. Estos se observan en perspectiva con los diseños aquí presentados en la Tabla 5.

Referencias	[7]	[8]	Diseño 1 (instanciación)	Diseño 2
FPGA	Virtex-6 LX240T	Artix 7 C7A100T	Virtex 6 LX240T	Virtex 6 LX240T
Algoritmo	Laplace	Laplace	Laplace	Laplace
Matriz	4x4	3x3	4x4	4x4
Tipo de número	Punto flotante de 32 bits.	Entero de 2 bits	Entero de 8 bits	Entero de 8 bits
Tiempo (ns)	7130.00	15.45	42.20	38.07
Slices	610	0	1025	929
LUTs	1615	12	2130	1938
DSP	28	25	56	44

Tabla 5. Comparación de los resultados con trabajos previos.

Se resalta el hecho de que los tiempos de respuesta tanto del diseño 1 y 2 son menores comparados con [7]; en el caso de [8] el tiempo es aún menor, sin embargo, los números son de 2 bits y su implementación se realiza en una FPGA con mayores prestaciones. Se observa también que en el diseño 2 el uso de DSPs optimiza doce bloques en contraste con el diseño 1.

10. Conclusiones

A través de la realización de este trabajo se constata el hecho de que efectuar operaciones aritméticas a nivel binario implica un gran consumo de recursos, por lo que la necesidad de diseñar circuitos que proporcionen respuestas en el menor tiempo posible, así como la utilización de la menor cantidad de bloques operacionales, se convierte cada día en una realidad más prioritaria.

En este caso en particular, el detectar que doce multiplicaciones se repiten, llevó a la optimización de los tiempos de respuesta y los recursos de la FPGA seleccionada, en especial, los bloques DSP's, cuya disminución va de 56 a 44 lo que representa un ahorro del 21%.

Como trabajos futuros se propone el realizar este ejercicio con matrices de orden mayor, con números que utilicen mayor cantidad de bits para su representación o la implementación de otras operaciones matriciales.

11. Referencias

- [1] S. Almalki, "New parallel algorithms for finding determinants of NxN matrices". World Congress on Sousse Computer and Information Technology (WCCIT). 2013.

- [2] W. Eberly, "On Computing the Determinant and Smith Form of an Integer Matrix". 41st Annual Symposium on Foundations of Computer Science. 2000.
- [3] S. I. Grossman. Álgebra lineal. 6a. ed. 2008. McGraw-Hill. México. 169-172 pp.
- [4] B. Holanda, "An FPGA-Based Accelerator to Speed-Up Matrix Multiplication of Floating Point Operations". IEEE International Symposium on Parallel and Distributed Processing Workshops and Phd Forum (IPDPSW). 2011. 306-309 pp.
- [5] Z. Jovanovic, "FPGA accelerator for floating-point matrix multiplication". Computers & Digital Techniques, IET. Vol. 6. No.4. 249-256 pp.
- [6] X. Lei, "Cloud Computing Service: the Case of Large Matrix Determinant Computation". IEEE Transactions on Services Computing. Vol. X. No. X. 2014.
- [7] J. D. Quesenberry, "Communication Synthesis for MIMO Decoder Algorithms". Faculty of the Virginia Polytechnic Institute and State University. 2011.
- [8] Fco. Plascencia, J. J. Raygoza, "Implementación de un circuito custom DSP en FPGAs para cálculo de determinantes 3x3, y matriz inversa de matrices ortogonales 3x3". ReCIBE. Año 4. No. 2. Mayo 2015.
- [9] Y. G. Tai, "Accelerating Matrix Operations with Improved Deeply Pipelined Vector Reduction". IEEE Transactions on Parallel and Distributed Systems- Vol. 23 No. 2. 2012. 202-210 pp.
- [10] X. Wang. "Performance Optimization of an FPGA-Based configurable multiprocessor for matrix operations". IEEE International Conference on Field-Programmable Technology (FPT). 2003 303-306 pp.
- [11] H. Yang. "FPGA-based Vector Processing for Matrix Operations". Fourth International Conference on Information Technology. 2007.

- [12] Virtex-6 Family Overview. http://www.xilinx.com/support/documentation/data_sheets/ds150.pdf. Mayo de 2015.

- [13] Virtex-6 FPGA Data Sheet: DC and Switching Characteristics. http://www.xilinx.com/support/documentation/data_sheets/ds152.pdf. Mayo de 2015.

- [14] Virtex-6 FPGA DSP48E1 Slice. http://www.xilinx.com/support/documentation/user_guides/ug369.pdf. Mayo de 2015.