

# DISEÑO DIGITAL DE UN CONTROL DE POSICIÓN PARA UN MOTOR EN VHDL Y LABVIEW USANDO FPGA

***Samuel Hernández García***

Tecnológico Nacional de México, Instituto Tecnológico de la Laguna  
*Samuel\_hdez\_90@hotmail.com*

***Juan Sifuentes Mijares***

Tecnológico Nacional de México, Instituto Tecnológico de la Laguna  
*juansm@itlalaguna.edu.mx*

***Jean Philippe Andre Paistel Sanchez***

Tecnológico Nacional de México, Instituto Tecnológico de la Laguna  
*Phil.ppe@outlook.com*

## **Resumen**

En este trabajo se presenta un sistema de control proporcional, para un motor de corriente directa con un codificador rotatorio magnético integrado. Para el manejo de voltajes y corrientes del motor se utiliza el circuito integrado L293D. La etapa de control es implantada en un dispositivo de lógica programable FPGA Spartan 3s500e de la compañía Xilinx. Siendo lo más importante del trabajo: El diseño digital utilizando lenguaje de descripción de hardware VHDL junto con el diseño de la interface de comunicación y visualización de resultados y señales de referencia mediante instrumentos virtuales.

**Palabras Clave:** Control, codificador, FPGA, VHDL.

## **1. Introducción**

Diversos trabajos sobre control de motores utilizando FPGAs han sido presentados en la literatura, estos sistemas son empleados para el buen funcionamiento de sistemas más grandes como puede ser el caso de un robot manipulador o un robot tipo hexápodo [1]. También se han utilizado las FPGAs

para realizar el control de lazos múltiples para motores [2], en estudio de motores de inducción [3], aplicaciones para control de torque a motores [4][5] y otras aplicaciones de control basado en FPGAs [6]. Estos trabajos de investigación avanzada justifican el incursionar en los diseños de tipo digital con FPGAs con aplicaciones al control de motores con la finalidad de mejorar el desempeño de los sistemas superiores en los cuales estos podrían ser implementados.

Por definición un sistema de control es aquel que posee una serie de elementos que forman una configuración denominada *sistema*, de tal manera que el arreglo pueda comandar, dirigir o regular un proceso o bien a otro sistema.

De forma general, a un sistema se le aplica una señal de entrada  $r(t)$  para obtener una respuesta o señal de salida  $y(t)$ . En la figura 1 se tiene la representación general de un sistema de control, en donde se puede apreciar que la salida del sistema depende del proceso y su interacción con señal de entrada.

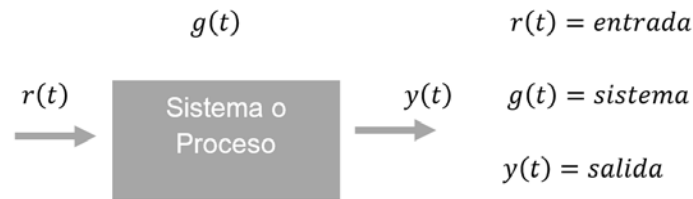


Figura 1 Diagrama a bloques de un sistema.

Los sistemas de control pueden ser clasificados en sistemas de lazo abierto; si las señales de salida no influyen en las señales de entrada, y se llama sistemas de lazo cerrado; cuando las salidas del sistema influyen en las señales de entrada. El sistema que se presenta en este trabajo es un sistema de control de lazo cerrado en el que la salida del sistema depende de una acción de control proporcional de la entrada [7].

A continuación se describen de forma general algunos términos y elementos que serán utilizados más adelante en la parte descripción del diseño:

- *Aspectos del VHDL.* El VHDL, por sus siglas en inglés, VHSIC Hardware Description Language, donde VHSIC es Very High Speed Integrated Circuit, traducido todo como lenguaje de descripción de hardware para circuitos

integrados de muy alta velocidad. Este un lenguaje orientado al diseño de hardware digital y una de sus mayores ventajas es que es un estándar IEEE usado para la creación de componentes digitales, sin la necesidad de pasar por el tedioso proceso de crear el circuito integrado pero que al final llegan a ser sintetizados dentro de un circuito integrado para realizar tareas de cualquier tipo siempre y cuando sean digitales [8][9].

- *Los dispositivos de lógica programable FPGAs.* Un FPGA - Field Programmable Gate Arrays (en español Arreglos de Compuertas Programables en el Campo), es un circuito integrado que contiene elementos digitales los cuales no están conectados en un inicio pero que es posible configurar un arreglo de conexiones de tal forma que se implemente algún dispositivo o funcione digital que se desee.

El uso de arquitecturas específicas de procesamiento implementadas sobre FPGAs presenta como principales ventajas costo-rendimiento y un ciclo de desarrollo muy corto a comparación de otras formas de desarrollo. Los bloques básicos combinacionales de ciertas FPGAs están formados por pequeñas memorias que actúan como tablas de búsqueda capaces de implementar cualquier función de un determinado número de entradas. Las herramientas de diseño suministradas por el fabricante permiten inferir el uso de memoria a partir de descripciones VHDL genéricas en la etapa de síntesis y seleccionar el tipo de memoria a utilizar en la etapa de implementación. En la última década la implementación sistemas de control sobre FPGA se ha convertido en la solución alternativa, dado que este tipo de circuitos proporcionan un mejor desempeño bajo condiciones de alta exigencia en velocidad y procesamiento en paralelo [10-14].

- *La modulación PWM.* La modulación de ancho de pulso que se abrevia como PWM, es un método de regulación de energía alimentada a una carga. Este método emplea la modificación de los tiempos de una serie de pulsos, para controlar la cantidad de energía aplicada. Algunos usos de la modulación de ancho de pulso son la regulación de corriente, voltaje y amplificación de ruido de señales eléctricas [15].

- *El codificador rotatorio.* Los codificadores rotatorios (en inglés encoder) son mecanismos utilizados para medir posición, velocidad y aceleración principalmente del rotor de un motor. Algunas de sus aplicaciones son en robótica, para enfocar los lentes fotográficos, en aplicaciones industriales y militares que requieren de algún tipo de medición angular.

Un codificador rotatorio es un dispositivo electromecánico que convierte la posición angular de un eje, directamente a un código digital. Los tipos más comunes de codificador rotatorios se clasifican en: absolutos y relativos (conocidos también como incrementales). El codificador rotatorio del motor es de cuadratura del tipo incremental, utiliza dos sensores ópticos posicionados con un desplazamiento de un cuarto de ranura el uno del otro, mediante un disco fijo al eje del motor que contiene un patrón de marcas o ranuras funciona como un interruptor óptico cuando gira generando dos señales de pulsos digitales desfasada en noventa grados o en cuadratura. A estas señales de salida, se les llama comúnmente A y B. Mediante ellas es posible registrar la información de posición, velocidad y dirección de rotación del eje. Algunos codificadores llevan una señal de referencia que se le denomina I (índice). Usualmente, si la señal A adelanta a la señal B (la señal A toma valor lógico "1" antes que la señal B, por ejemplo), se establece el convenio de que el eje está rotando en sentido horario, mientras que, si B adelanta a A, el sentido será antihorario [15].

## 2. Implementación

Para la implantación del proceso de control se crearon los siguientes componentes digitales mediante VHDL: un circuito decodificador para el codificador rotatorio, un circuito restador para la obtención del error de posición, un circuito multiplicador para la ganancia proporcional, un circuito para la obtención de absoluto para separar magnitud y signo de la señal de control, un circuito generador de PWM que proporciona la salida del circuito integrado que irá al L293. Estos componentes se interconectan de tal forma que nos permiten construir el

circuito de control para un motor DC con codificador rotatorio, el diagrama a bloques es mostrado en la figura 2.

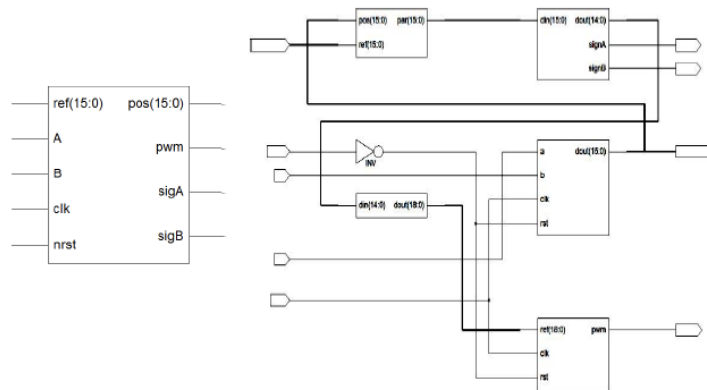


Figura 2 Control de posición de un motor DC con codificador rotatorio.

### El decodificador del codificador rotatorio

Para poder interpretar si el motor está girando en una dirección o en sentido contrario es necesario la utilización de un diagrama de estados este se observa en la figura 3, donde se muestra la estructura de la máquina de estados diseñada para el control del motor, este arreglo, nos asegura que nuestro programa realizara una serie de acciones en orden según sea el comportamiento de nuestras variables, en este caso, la señal entregada por el codificador rotatorio [15].

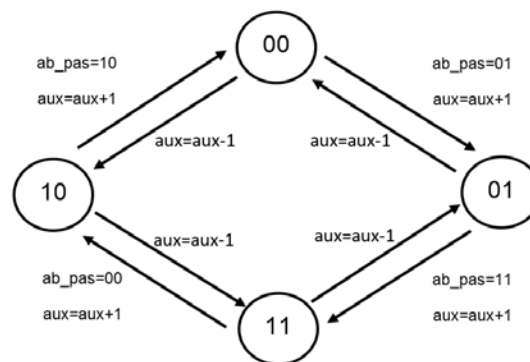


Figura 3 Diagrama de estados del decodificador de codificador rotatorio.

En la figura 4 se muestra la representación RTL, por sus siglas en inglés “register-transfer level”, el cual es un modelo de nuestro componente creado y donde se

muestran los elementos digitales internos usados así como también las entradas y salidas de este componente digital. Este componente es diseñado usando una estructura case en donde se va revisando el estado presente y el pasado para decidir si se hace un incremento o un decremento del valor de la posición actual del motor:

```

AB <= a_in&b_in;    -- AB son las señales de la salida del codificador del motor.
AB_pas <= AB;      -- Las señales son guardadas y atrasadas un ciclo de reloj.
  case AB is       -- Mediante un case se revisa el valor presente y pasado.
    when "00" =>  if AB_pas = "01" then cuenta <= cuenta + 1;
                   elsif AB_pas = "10" then cuenta <= cuenta - 1;
                   end if;
  end case;
  
```

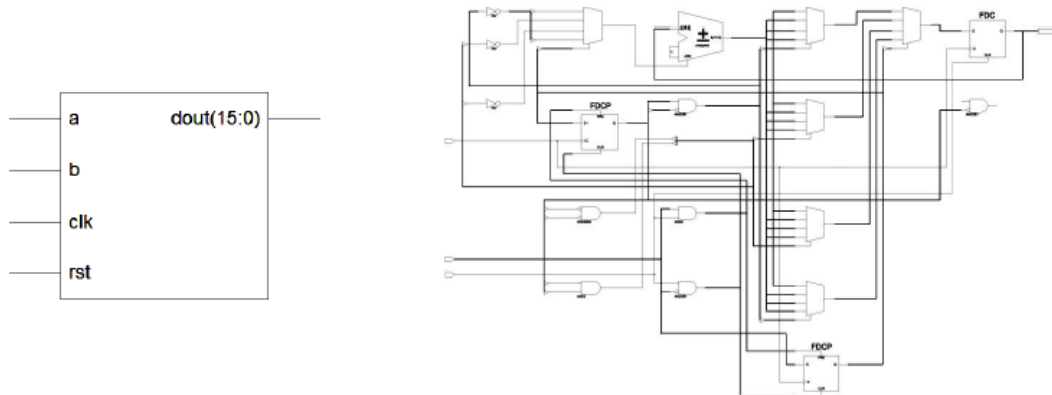


Figura 4 Representación RTL del decodificador de codificador rotatorio.

### El circuito restador

En la figura 5 se muestra el componente encargado de realizar la resta entre la posición actual con respecto a la referencia, es decir la posición deseada, y nos entregara como producto la diferencia entre estas dos señales, en otras palabras, el recorrido necesario para alcanzar la referencia. El código para realizar la resta es muy simple:

```

error <= referencia – posición – La referencia de posición menos la posición actual
  
```

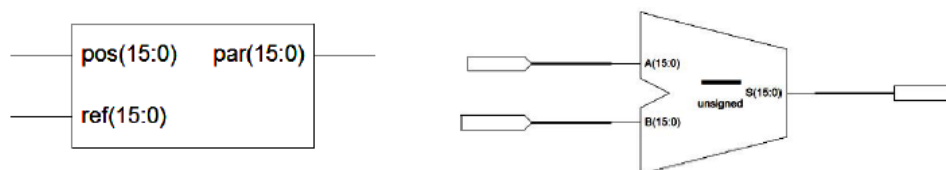


Figura 5 Circuito RTL del bloque resta.

## El circuito multiplicador

En la figura 6 se muestra el componente generado para realizar la multiplicación de una señal de entrada de 7 bits por una ganancia preestablecida de 4 bits, con lo cual logramos generar una señal de salida de 11 bits. El código es también muy simple:

$dout \leq din * ganancia$

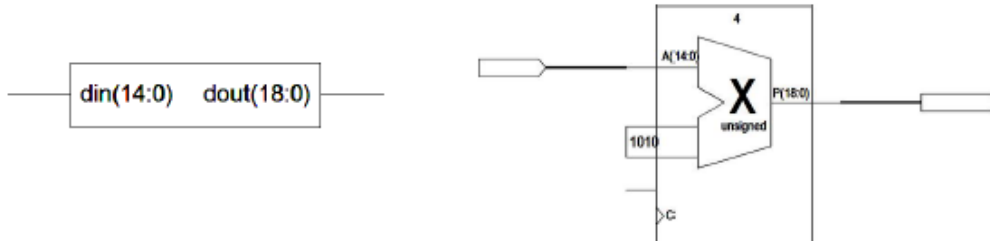


Figura 6 Circuito RTL del bloque multiplicación.

## El circuito obtención de absoluto

En la figura 7 se muestra la implementación del circuito de obtención de absoluto.

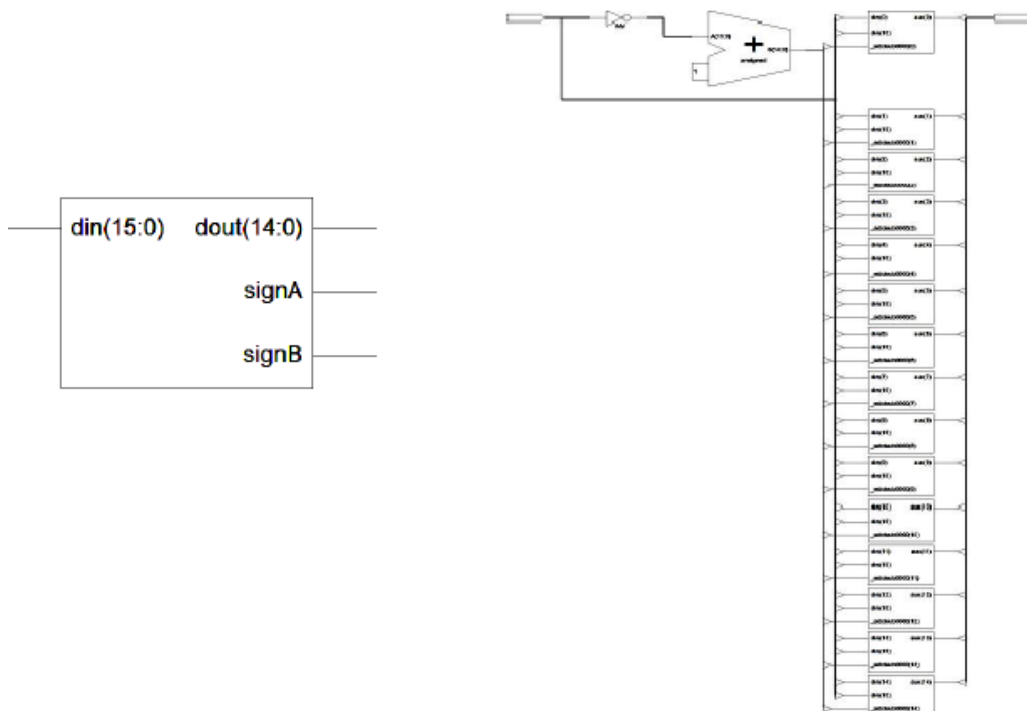


Figura 7 Circuito RTL del bloque absoluto.

El cual posee una entrada de 8 bits, a la cual le es eliminado el bit de signo para dar salida a una señal de 7 bits y las salidas que controlaran el giro del motor SignA y SignB. Este se realiza mediante operaciones de comparación revisando el bit más significativo, en caso de negatividad se realiza el complemento a 2:

*apar* <= -*par* when *par*<0 else *par*; --La señal "apar" obtiene el valor absoluto de *par*

### El generador de PWM

La figura 8 muestra el circuito RLT de nuestro componente generador del pulso PWM, este recibe una valor de referencia y por medio de un contador realiza la modulación del pulso, siendo que mientras más grande es la señal de entrada el ancho del pulso también lo es, en caso contrario, que la señal sea pequeña, la duración del pulso será menor. Este circuito es realizado mediante la comparación de una referencia contra un contador en modo de carrera libre:

*PWM* <= 0 when *ref* < *cuenta* else 1;  
*cuenta* <= *cuenta* +1;

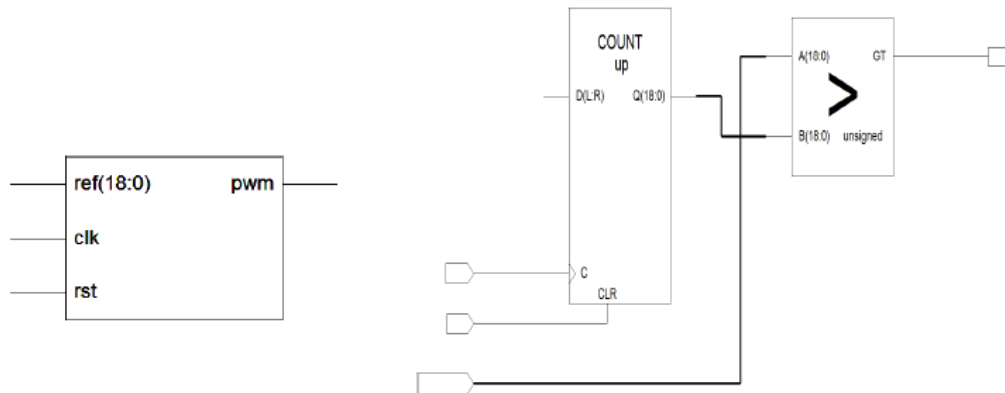


Figura 8 Circuito RTL del generador de PWM.

### 3. La implementación del ensamble completo en VHDL

El código VHDL se ha sintetizado mediante el la herramienta de Xilinx ISE 14.6, la cual funciona en un ambiente que se compone de varios programas individuales trabajando en conjunto para crear, simular e implementar diseños digitales, en este caso, para el dispositivo FPGA de una tarjeta Spartan 3s500E [16].



Para la implementación de este proyecto se definieron entradas y salidas como son mostradas en la tabla 3.1.

Tabla 1 Puertos de entrada y salidas del control PWM.

Entradas	Definición
Rst	boton de reset para el sistema
Clk	reloj de FPGA a 50 Mhz
a_in	salida del sensor hall del encoder a
b_in	salida del sensor hall del encoder b
kpin	ganancia proporcional
din	direccion de pwm de 16 bits
Salidas	
pwm	salida pwm
sign1	señal de signo para salida del motor
sign2	señal invertida de signo para salida del motor
encodercuenta	cuenta de pulsos del encoder

El motor utilizado en la realización de este proyecto cuenta con las siguientes característica; alimentación de corriente directa 12 V, cuenta con una caja de engranes con una relación de 29:1, lleva también unido al eje del motor un codificador rotatorio de cuadratura que tiene una resolución de 64 conteos por cada revolución directa en el eje del motor, y la salida en el eje de la caja de engranajes es multiplicada por la reducción siendo esta 1856 conteos por revolución y que al final usando el codificador diseñado la resolución se multiplica por 4 siendo el número de conteos en el circuito de 7424 pulsos por vuelta. El eje del motor tiene un diámetro 6mm, en la figura 9 se muestra el diagrama de conexión para los cables de motor, donde se distinguen los 6 cables, que tienen las funciones de alimentación del motor, alimentación del codificador rotatorio y señales de salida del mismo.

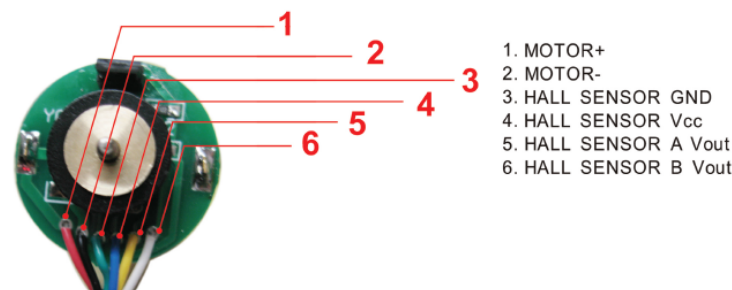


Figura 9 Diagrama de conexión de motor DC.

## La implementación en Labview

Para poder visualizar la posición de la salida del motor, verificar el funcionamiento del control, asignar la ganancia proporcional y señal de referencia al sistema de control completo se ha realizado una interfaz de instrumentación virtual con el software LABVIEW, en conjunto con el componente digital diseñado para trabajar con FPGA, en este caso la Spartan 3E.

En la figura 10 se muestra el diagrama a bloques donde se representa la comunicación entre la FPGA y la interfaz implementada en LABVIEW.

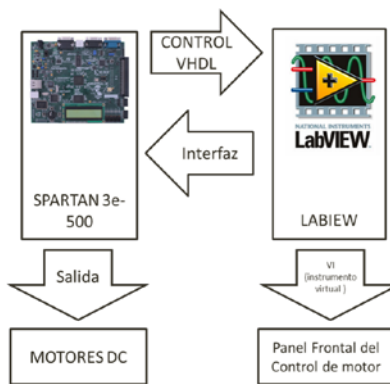


Figura 10 Diagrama a bloques relación entre la FPGA y el Panal de control virtual.

En el panel frontal de nuestro instrumento virtual el usuario puede introducir la posición deseada y modificar la ganancia  $K_p$  por medio de un control numérico, de igual forma el usuario puede visualizar el valor de torque aplicado al módulo PWM, también se tiene la posición actual mostrada en un indicador numérico. Todo esto para 5 motores a la vez y cada uno con su control de posición trabajando independiente, siendo esta una de las principales ventajas de usar FPGAs que te permite hacer copias de los circuitos sin que esto afecte el desempeño de cada uno. El número de copias solo está limitando por la cantidad de recursos del dispositivo FPGA, ver figura 11.

## 4. Resultados de implementación

Para la revisar el desempeño del motor, se generó una señal cuadrada como estímulo a la entrada por medio de un instrumento virtual integrado en LABVIEW,

el cual va asignando el valor de la posición deseada o referencia, con la finalidad de observar el comportamiento de la respuesta del control implementado.

Los datos generados son importados a Excel, figura 12, y mostrados en dos columnas, la primera nos muestra el tiempo mientras que la segunda nos muestra la posición en pulsos.

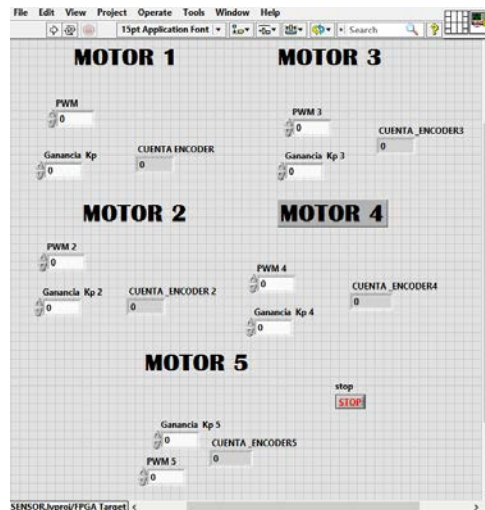


Figura 11 Panel frontal para el control de motor DC.

	A	B	C	D	E	F	G	H	I	J
1		señal cuadrada			kp=4			kp=55		
2		tiempo	amplitud		tiempo	amplitud		tiempo	amplitud	
3		0	281.25		0	0		0	0	
4		0.00115	281.25		1	166		1	178	
5		0.0023	281.25		2	271		2	280	
6		0.00345	281.25		3	271		3	280	
7		0.0046	281.25		4	271		4	280	
8		0.00575	281.25		5	271		5	280	
9		0.0069	281.25		6	113		6	113	
10		0.00805	281.25		7	-59		7	-66	
11		0.0092	281.25		8	-237		8	-246	
12		0.01035	281.25		9	-267		9	-280	
13		0.0115	281.25		10	-267		10	-280	
14		0.01265	281.25		11	-267		11	-280	
15		0.0138	281.25		12	-99		12	-103	

Figura 12 Datos exportados a libro de Excel.

La figura 13 muestra la señal cuadrada en líneas punteadas, mientras que la línea azul representa la respuesta con una  $k_p=4$  y la línea roja representa la respuesta con una  $K_p$  de 55.

Se puede observar que al incrementar la ganancia la respuesta de nuestro control se acerca más a la señal de entrada, siendo el error de estado estable más pequeño.

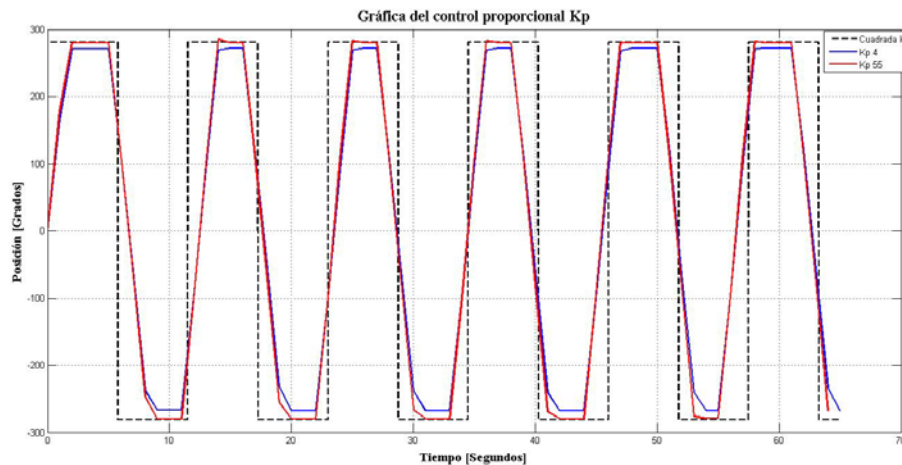


Figura 13 Gráfica de posición para el control proporcional.

## 5. Conclusiones

Se ha diseñado un circuito digital implantado en un dispositivo lógico programable FPGA Spartan 3s500e, utilizando lenguaje de descripción de hardware VHDL, para el control de posición proporcional de lazo cerrado de cinco motores de DC con codificador rotatorio, para su funcionamiento en paralelo, este funcionamiento puede ser la base para el diseño de un sistema robótico más elaborado como un robot manipulador o un robot caminante u otro diseño. También se ha creado una interfaz gráfica virtual VI en software LABVIEW, para el monitoreo de la posición del motor, el par aplicado y la asignación de la señal de referencia.

Los resultados son los esperados para un control de posición de tipo proporcional ya que este tipo de control siempre presenta un error de estado estacionario que puede ser reducido pero no eliminado al aumentar la ganancia proporcional, tal y

como se observa en la figura 2. Estos resultados son factibles de mejora al mejorar el tipo de control utilizado.

## 6. Bibliografía y Referencias

- [1] S. Pullteap, "Development of a walking robot by using FPGA controller". 11th France-Japan & 9th Europe-Asia Congress on Mechatronics (MECATRONICS) /17th International Conference on Research and Education in Mechatronics (REM), 2016. Pp. 054-057.
- [2] Ş. Akkaya, O. Akbatı, H. Görgün, "Multiple closed loop system control with digital PID controller using FPGA, Control, Decision and Information Technologies (CoDIT)". International Conference on. 2014. Pp. 764-769.
- [3] R. Inan, M. Barut, "Speed-sensorless Direct Vector Control of Induction Motor with the EKF based stator resistance estimation on FPGA". 2015 Intl Aegean Conference on Electrical Machines & Power Electronics (ACEMP), 2015 Intl Conference on Optimization of Electrical & Electronic Equipment (OPTIM) & 2015 Intl Symposium on Advanced Electromechanical Motion Systems (ELECTROMOTION). 2015. Pp. 343-347.
- [4] S. Krim, S. Gdaim, A. Mtibaa, M. Faouzi Mimouni, "Implementation of Direct Torque Control of an Induction Motor with high gain observer on FPGA". 2014. Pp. 284-290.
- [5] M. A. Zare, G. Rajesh Kavasseri, C. Ababei, "FPGA-based design and implementation of direct torque control for induction machines". International Conference on ReConFigurable Computing and FPGAs (ReConFig14). 2014. Pp. 1-6.
- [6] S. Boumazbar, S. Bouallégué, J. Haggége, "Co-simulation and rapid prototyping of fuzzy supervised PID controllers based on FPGA-Nexys2 board". 2015. Pp. 1-6.
- [7] K. Ogata, Ingeniería de control moderna. 2010. PEARSON. Madrid.
- [8] Brown, Vranesic, Fundamentos de lógica digital con VHDL. 2006. Mc-Graw Hill.

- [9] J. Kim, J. S. Jung, Hardware implementation of nonlinear PID controller with FPGA based on floating point operation for 6-DOF manipulator robot arm, Automation and Systems. 2007.
- [10] M. Ciletti, Advanced Digital Design using Verilog HDL. 2004.
- [11] M. Alcalá, VHDL el arte de programar sistemas digitales. 2006. CECSA.
- [12] Pong P. Chu, Wiley, FPGA prototyping by VHDL examples. 2008.
- [13] E.D. Baran, LabVIEW FPGA. Reconfigurable measuring and control systems. 2015. Russian Edition.
- [14] R. Bitter, T. Mohiuddin, M. Nawrocki, LabView: Advanced Programming Techniques. Second Edition. 2007. CRC press.
- [15] E. del Castillo, "Control de procesos: Implementación de una plataforma hardware/software para la experimentación en control digital directo: controladores PID y Fuzzy". PUBLICACIONES UNIVERSITAT ROVIRA i VIRGILI. 2008.
- [16] Spartan-3E Starter Kit Board User Guide. Xilinx. 2006.

## 7. Autores

El Ing. Samuel Hernández García actualmente se encuentra estudiando la Maestría en Ciencias en Ingeniería Eléctrica en el Instituto Tecnológico de la Laguna en Torreón Coahuila.

El Dr. Juan Sifuentes Mijares, es doctor en Ciencias de la Ingeniería Eléctrica y profesor del Departamento de Posgrado e Investigación del Instituto Tecnológico de la Laguna.

El Ing. Jean Philippe Andre Paistel Sanchez es egresado del Tecnológico Superior de Lerdo y actualmente está cursando una maestría en ciencias en ingeniería eléctrica con especialidad en control automático en el Instituto Tecnológico de la Laguna en Torreón Coahuila.