

# Uso del lenguaje VHDL como apoyo a la enseñanza de arquitectura de computadoras

## ***Carlos Federico Hernández Farfán***

Instituto Tecnológico Superior de Irapuato, Carr. Irapuato-Silao km 12.5, Teléfono: (462) 60 6 79 00  
*cahernandez@itesi.edu.mx*

## ***Diego Andrés Navarro Jiménez***

Instituto Tecnológico Superior de Irapuato, Carr. Irapuato-Silao km 12.5, Teléfono: (462) 60 6 79 00  
*diego.a.navarro.j@hotmail.com*

## ***Emmanuel Eduardo Hernández Rico***

Instituto Tecnológico Superior de Irapuato, Carr. Irapuato-Silao km 12.5, Teléfono: (462) 60 6 79 00  
*eduardo\_hdz1991@hotmail.com*

## ***Jonathan Paris Vargas Mosqueda***

Instituto Tecnológico Superior de Irapuato, Carr. Irapuato-Silao km 12.5, Teléfono: (462) 60 6 79 00  
*paris.47@hotmail.com*

## **Resumen**

En el Instituto Tecnológico Superior de Irapuato se imparte la carrera de Ingeniería en Sistemas Computacionales, dentro del programa de estudio se incluye la materia de Arquitectura de Computadoras. La cantidad de temas a cubrir dentro de la materia están acotados a un periodo de tiempo e incluso la complejidad de los temas dificulta el proceso de enseñanza-aprendizaje por lo que se necesita un apoyo didáctico que permita cubrir los temas en forma teórico-práctica.

Este trabajo tiene como objetivo plantear el uso del lenguaje de descripción de circuitos VHDL como apoyo a la enseñanza de esta materia. La aportación de este trabajo

consiste en describir los circuitos digitales siguiendo la secuencia didáctica de un libro de texto de Arquitectura de Computadoras pero empleando una sola librería estándar del lenguaje y un solo paquete básico de la librería ya que se describen los componentes digitales más complejos a partir de los componentes básicos que los conforman. Se verifica el grado de avance que se puede tener en los temas de un curso empleando ésta técnica ya que se realiza la descripción de circuitos digitales básicos hasta la descripción de la interconexión de componentes de un procesador de 16 bits.

**Palabra(s) Clave(s):** arquitectura de computadoras, FPGA, VHDL.

## **1. Introducción**

En el Instituto Tecnológico Superior de Irapuato se imparte la carrera de Ingeniería en Sistemas Computacionales, dentro del programa de estudios se imparte la materia de Arquitectura de Computadoras en el quinto semestre, forma parte de una cadena que inicia con la materia de Física impartida durante el tercer semestre y termina con la materia de Sistemas Programables en el séptimo semestre [1], es decir esta materia constituye un eslabón entre los principios electrónicos y las aplicaciones del hardware en el cómputo.

El temario de la materia de Arquitectura de Computadoras incluye temas como análisis y funcionamiento de los componentes de una arquitectura de cómputo, ensamble de equipo de cómputo y procesamiento paralelo. La duración del curso para un semestre es de 16 semanas con 5 horas por semana, 2 horas de teoría y 3 horas de práctica [1].

Un libro de texto que se puede emplear de base en la materia es el libro de Arquitectura de Computadoras del autor M. Morris Mano ya que incluye los temas del programa de estudio además de que los presenta en un secuencia didáctica conveniente, inicia con circuitos de lógica digital como circuitos combinacionales y secuenciales, posteriormente se aborda el tema de componentes digitales de mediana escala de integración como decodificadores, multiplexores, registros, contadores y memoria; a

continuación en el libro se presentan circuitos de transferencias entre registros, buses y circuitos digitales capaces de realizar de microoperaciones; posteriormente se presenta cómo todos estos elementos se integran para conformar un procesador [2].

Dado que el contenido del temario es extenso e incluye temas que pueden resultar complicados y el cual debe ser cubierto en un periodo de tiempo limitado se dificulta proceso de enseñanza-aprendizaje por lo que se necesita un apoyo didáctico que permita cubrir los temas en forma teórico práctica.

En este trabajo se muestra la forma en que es empleado el lenguaje de descripción circuitos VHDL como apoyo en la enseñanza de la materia de Arquitectura de Computadoras. Mediante el uso del lenguaje VHDL y la técnica de diseño asistido por computadora, en la cual se describe un circuito digital y se simula [3]; se permite seguir la secuencia didáctica del libro de texto ya que se abordan los temas en forma gradual en grado de complejidad. Se realizan primero los elementos de lógica digital, a continuación los componentes digitales de mediana escala de integración, posteriormente la interconexión de componentes que conforman un procesador de 16 bits.

Dentro de la revisión bibliográfica, se encuentra el libro [4], en el cual se presenta un enfoque práctico pero basado en circuitos MC68000, circuitos de mediana escala de integración y circuitos TTL, por lo que la implementación física de los circuitos requiere mayor tiempo.

El libro [5] , incluye temas desde microprocesadores hasta supercomputadoras, pero la secuencia didáctica en que se presentan los temas no siempre es gradual y no incluye implementaciones en VHDL.

En el libro [6], incluye múltiples ejemplos de implementaciones de VHDL incluyendo sistemas digitales de la arquitectura de una computadora, pero no se incluyen en orden gradual de complejidad los circuitos requeridos para el curso.

En el libro [7] se describen circuitos digitales, no todos los requeridos para el curso y se emplean diferentes paquetes de la librería.

Se considera que el libro [2], presenta los temas de forma didáctica y en forma creciente en grado de complejidad aunque no incluye descripciones en VHDL.

Finalmente el libro [8], es un libro que presenta circuitos digitales de manera didáctica partiendo desde ejemplos sencillos hasta los sistemas digitales complejos, con descripciones en VHDL aunque algunas empleando diferentes paquetes de la librería del lenguaje.

De acuerdo a esta revisión se emplean como apoyo los dos últimos libros presentando en este trabajo componentes de la arquitectura de computadoras en forma didáctica, gradual y su implementación en VHDL utilizando sólo un paquete de la librería.

En la revisión de artículos se encuentran [9, 10]. En el primer artículo se presenta un procesador embebido en FPGA, dado que es un procesador especializado resulta más complicado tener un seguimiento didáctico del mismo. En el segundo artículo se presenta un procesador con fines didácticos para su uso en laboratorio de sistemas digitales con enfoque hacia el diseño e implementación.

De acuerdo a esta revisión se motiva a realizar un trabajo que presente de forma didáctica los componentes que integran la arquitectura básica de una computadora considerando las alcances del curso y las necesidades particulares de los estudiantes de la carrera.

## **2. Desarrollo**

En esta sección se muestra la forma en que es empleado el lenguaje VHDL como apoyo didáctico en la enseñanza de la materia de Arquitectura de Computadoras verificándose que los ejercicios se presenten de forma gradual, fluida, de acuerdo a la secuencia didáctica y dentro de la duración de un curso de un semestre. También se

muestra la forma en que se ha verificado el grado de impacto que ha tenido el lenguaje en los estudiantes de la carrera de Ingeniería en Sistemas Computacionales del Instituto Tecnológico Superior de Irapuato.

En la descripción de todos los circuitos se emplea el software Quartus® II versión 11.1 Web Edition para la edición y compilación del código VHDL, las simulaciones se realizan mediante el uso del software Altera® U.P. Simulator Qsim versión 11.1 Web Edition y las implementaciones físicas en la tarjeta de desarrollo de sistemas digitales basada en FPGA denominada Cyclone II, éstos productos tecnológicos son desarrollados por la empresa Altera® Corporation [11]. En la descripción de los circuitos se emplea sólo la librería estándar de la IEEE y sólo el paquete básico estándar "IEEE std\_logic\_1164" de la librería.

De acuerdo a la secuencia didáctica del libro de texto Arquitectura de Computadoras de M. Morris Mano y al programa de estudio de la materia, el primer tema a cubrir es el tema denominado Lógica Digital, que incluye compuertas lógicas, algebra booleana, circuitos combinacionales, flip-flop's y circuitos secuenciales básicos [2]. De acuerdo a las ecuaciones booleanas de un sumador completo (1) y (2), en donde S y C representan el bit de suma y carry respectivamente y X, Y y Z representan los bits de entrada [2], como primer ejercicio se presenta en la Fig.1 la simulación de un sumador binario de 4 bits en cascada.

$$S = X \oplus Y \oplus Z \quad (1)$$

$$C = X Y + (X \oplus Y) Z \quad (2)$$

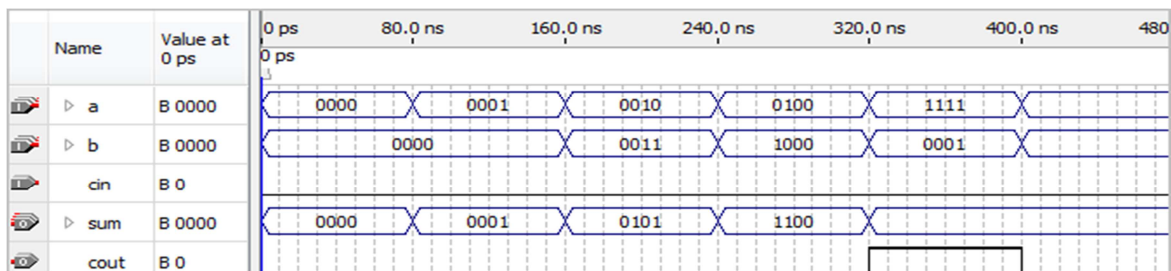


Fig. 1. Sumador de 4 bits.

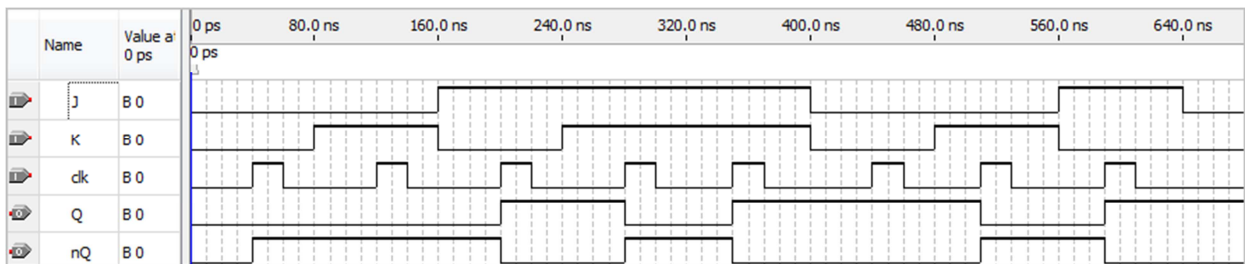
Un elemento básico de memoria y componente de los circuitos secuenciales es un circuito denominado Flip-Flop [2]. En la Fig.2 se muestra una sección del código en VHDL que describe el comportamiento de un Flip-Flop JK y en la Fig. 3 su simulación.

```

process (clk,J,K)
begin
if (clk' event and clk ='1') then
  if (J='0' and K='0') then
    Q <= Q;
    nQ <= not Q;
  elsif (J='0' and K='1') then
    Q <= '0';
    nQ <= '1';
  elsif (J='1' and K='0') then
    Q <= '1';
    nQ <= '0';
  else Q <= not Q;
    nQ <= Q;
  end if;
end if;
end process;

```

**Fig. 2. Descripción de un Flip-Flop JK.**



**Fig. 3. Simulación de un Flip-Flop JK.**

El segundo tema que se cubre es Componentes Digitales que incluye decodificadores, multiplexores, registros, contadores y memoria [2]. Un ejercicio que se realiza en este tema consiste en la descripción de una memoria RAM, la cual está constituida a partir de elementos básicos como un decodificador, registros y un multiplexor [8], en la Fig. 4 se muestra la declaración en VHDL de los componentes de una memoria RAM y en la Fig. 5 se muestra su simulación en donde a través de la señal de entrada de datos “de”

y de la dirección de entrada “ae” se almacenan tres datos en la memoria y los cuales posteriormente son leídos de la memoria.

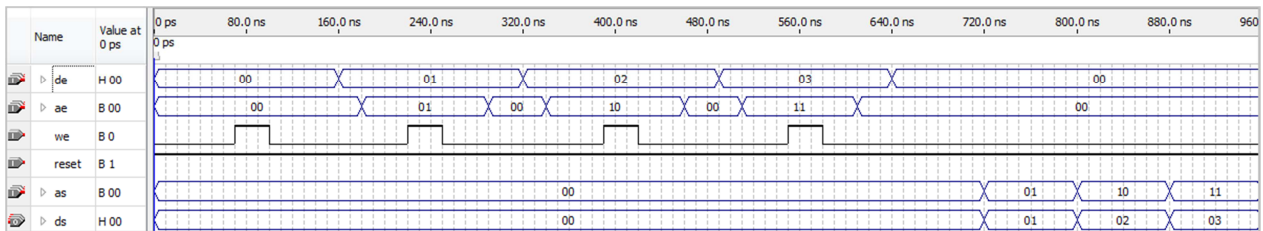
```

component registro port (
  d : in std_logic_vector (7 downto 0);
  ld,rst,clk : in std_logic;
  q : out std_logic_vector (7 downto 0));
end component;

component multiplexor41 port (
  e3,e2,e1,e0 : in std_logic_vector (7 downto 0);
  s : in std_logic_vector (1 downto 0);
  y : out std_logic_vector (7 downto 0));
end component;

component deco24 port (
  a : in std_logic_vector (1 downto 0);
  d : out std_logic_vector (3 downto 0));
end component;
    
```

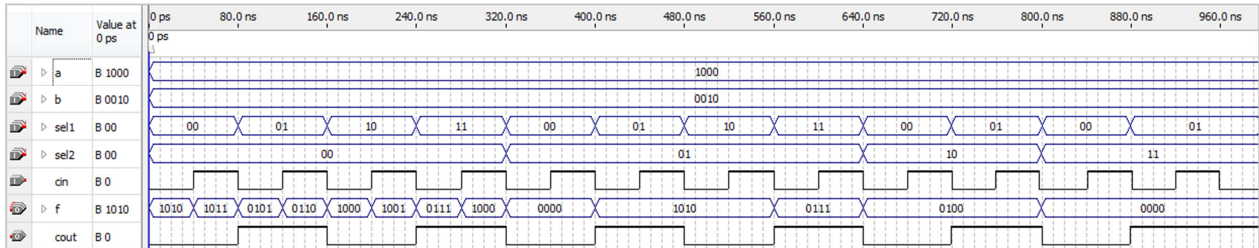
**Fig. 4. Componentes de una memoria RAM.**



**Fig. 5. Simulación de una memoria RAM.**

El tercer tema denominado Representación de datos no requiere la descripción en VHDL de circuitos por lo que el siguiente tema que se aborda es Traslado de registro y microoperaciones, en el cual se describen circuitos digitales de transferencias entre registros, circuitos de establecimiento de un bus, circuitos digitales de microoperaciones aritméticas, lógicas y de corrimiento para finalmente conformar una unidad de corrimiento lógico y aritmético [2]. En la Fig. 6 se muestra la simulación de la unidad de corrimiento lógico y aritmético de 4 bits, en donde “a” y “b” representan los

datos de entrada y “f” la salida, se muestran las microoperaciones aritméticas suma, suma con carry, resta con préstamo, resta, transferir, incrementar, decrementar, y transferir; las microoperaciones lógicas and, or, xor y not; corrimiento a la izquierda y corrimiento a la derecha de “a”.



**Fig. 6. Simulación de una unidad de corrimiento lógica y aritmética.**

En el siguiente tema a cubrir titulado Organización y diseño básico de computadoras, se estudian los registros de la computadora, las instrucciones de la computadora, el ciclo de instrucción, temporización y control, y la descripción del funcionamiento de una computadora [2] refiriéndose a un procesador. Para el estudio de este tema se propone realizar la descripción de los componentes de un procesador construido a partir de los componentes revisados en los temas anteriores y probar las transferencias de datos entre los diferentes componentes empleando una unidad de control. El procesador incluye una memoria RAM, un registro de direcciones, contador de programa, registro de datos, acumulador, registro de direcciones y registros de entrada y salida [2]. En la Fig. 7 se muestra un diagrama a bloques simplificado de los registros y componentes del procesador conectados a través de un bus común y en la Fig. 8 la declaración en VHDL de la entidad del procesador.



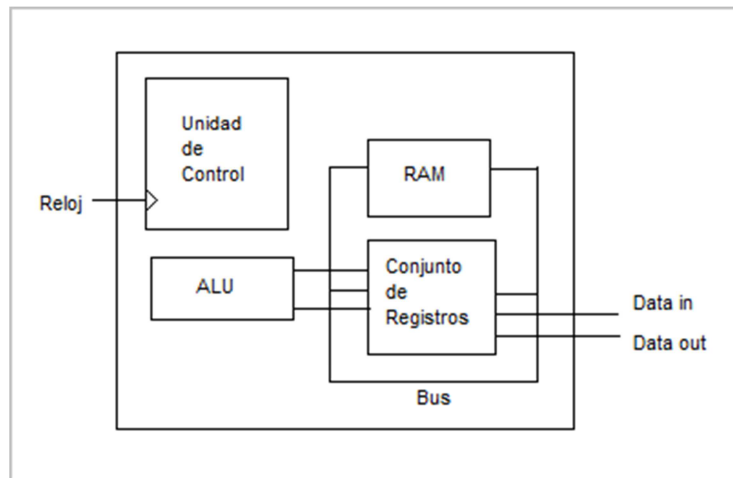
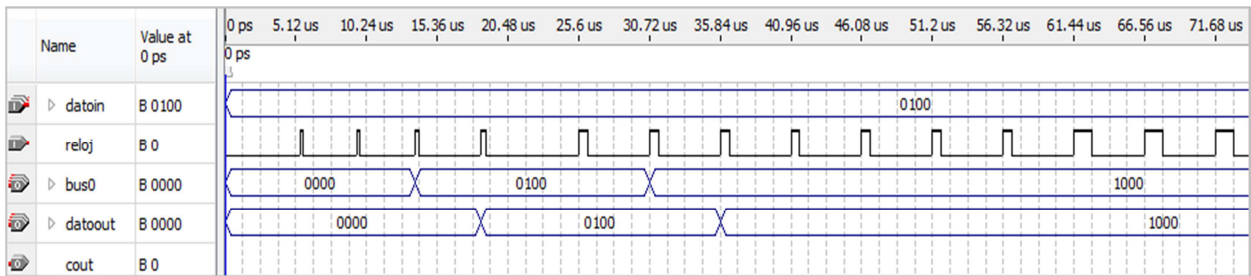


Fig. 7. Componentes del procesador basado en [2].

```
entity procesador is port (  
  datoin : in std_logic_vector (3 downto 0);  
  reloj: in std_logic;  
  datoout : out std_logic_vector (3 downto 0);  
  cout: out std_logic;  
  bus0 : buffer std_logic_vector (3 downto 0));  
end procesador;
```

Fig. 8. Descripción en VHDL de la entidad del procesador.

En la Fig. 9 se muestra una simulación para probar la transferencia de datos entre los componentes del procesador. Primero se realiza un reset al sistema, a continuación se introduce un dato por medio del registro de entrada el cual se trasfiere a través de la ALU para ser cargado en el acumulador. A continuación el dato es colocado en el bus para poder ser almacenado en la memoria, después es leído de la memoria y enviado al registro de datos, de ahí es tomado como un nuevo operando en la ALU en la cual ahora se aplica la operación de suma. El resultado es almacenado en el acumulador y enviado al registro de salida.



**Fig. 9. Simulación de transferencias en el procesador.**

El control de las transferencias de datos entre los componentes del procesador se realiza mediante la descripción en VHDL de un circuito secuencial o máquina de estados. En la Fig. 10 se muestra un fragmento de código del circuito de control para realizar el reset y carga de un dato de entrada.

```

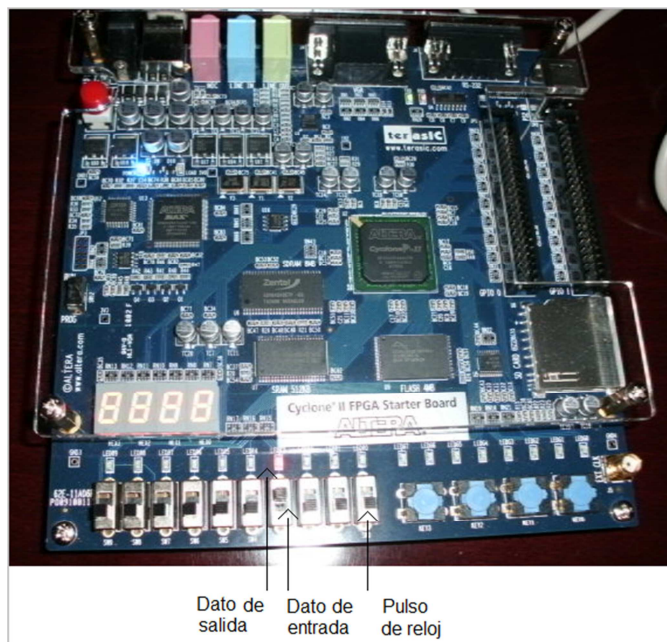
p_estados : process (edo_pres)
begin
  case edo_pres is

    when A => s1<="011"; s2<='0'; s3<= "00"; s4<="00"; s5<='0'; s6<='0'; s7<='0';
              s8<="00"; s9<="00000000";
              edo_fut <= B;

    when B => s1<="011"; s2<='1'; s3<= "00"; s4<="00"; s5<='0'; s6<='0'; s7<='0';
              s8<="00"; s9<="00001000";
              edo_fut <= C;
  end case;
end process;
    
```

**Fig. 10. Fragmento de la descripción en VHDL de la unidad de control.**

El proceso para implementar un diseño en la tarjeta se describe en [12], en la Fig. 11 se muestra la implementación física en la tarjeta con FPGA, el pulso de reloj se aplica por medio del interruptor 0, el dato de entrada se introduce por medio de los interruptores 1 a 3 y el dato de salida se muestra por medio de leds.



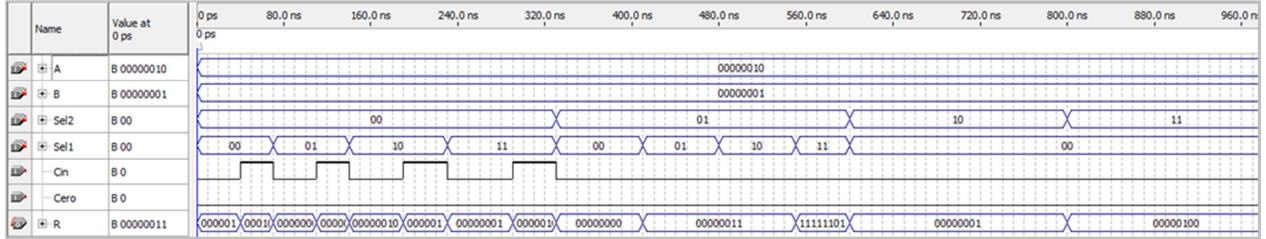
**Fig. 11. Implementación de componentes de un procesador en FPGA.**

Hasta este punto se han cubierto en forma teórica-práctica la mayoría de los temas de los primeros cinco capítulos del libro de texto. Dado que el capítulo 6 trata el tema de Lenguaje ensamblador [2], no se realizan descripciones en VHDL para este capítulo. Una vez que se han probado los componentes de un procesador básico de 4 bits tal como se muestra en [13], se realiza la ampliación de la capacidad de los componentes del procesador a 8 y 16 bits.

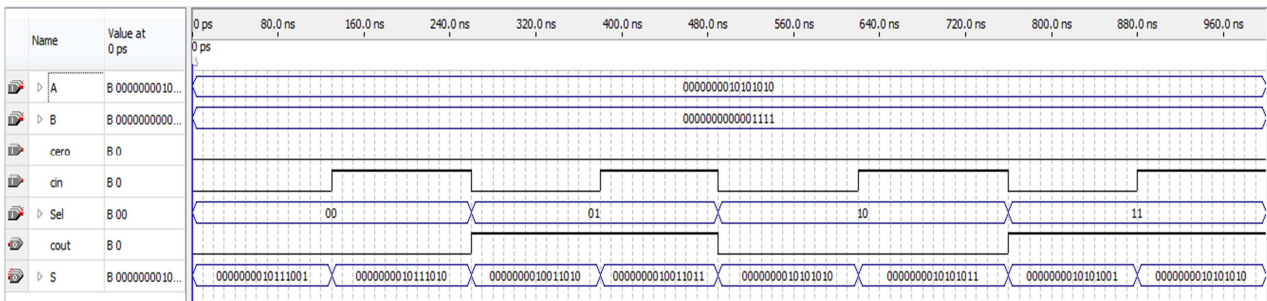
A partir de la descripción de la interconexión de los componentes de un procesador básico de 4 bits [13], se permite aumentar la capacidad de los componentes del procesador a 8 y 16 bits. En la comprobación del funcionamiento de los componentes resulta didáctico realizar las simulaciones ya que permite revisar eventos que suceden en intervalos de tiempo muy pequeños, en el orden de nanosegundos.

En la Fig. 12 se muestra la simulación de la unidad de corrimiento lógico y aritmética de 8 bits. Se observan los datos "A" y "B" cada uno de 8 bits y el resultado de las 8

operaciones aritméticas descritas en la sección anterior, así como 4 operaciones lógicas y 2 de corrimiento. En la Fig. 13 se muestra la sección de las operaciones aritméticas de la unidad de corrimiento lógica y aritmética de 16 bits.

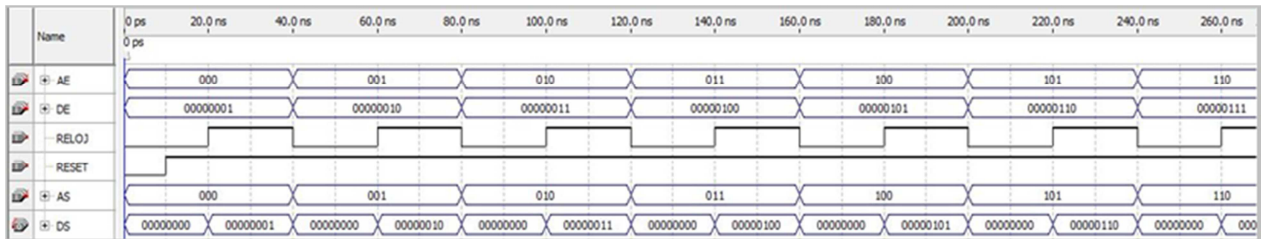


**Fig. 12. Simulación de la unidad de corrimiento lógica y aritmética de 8 bits.**



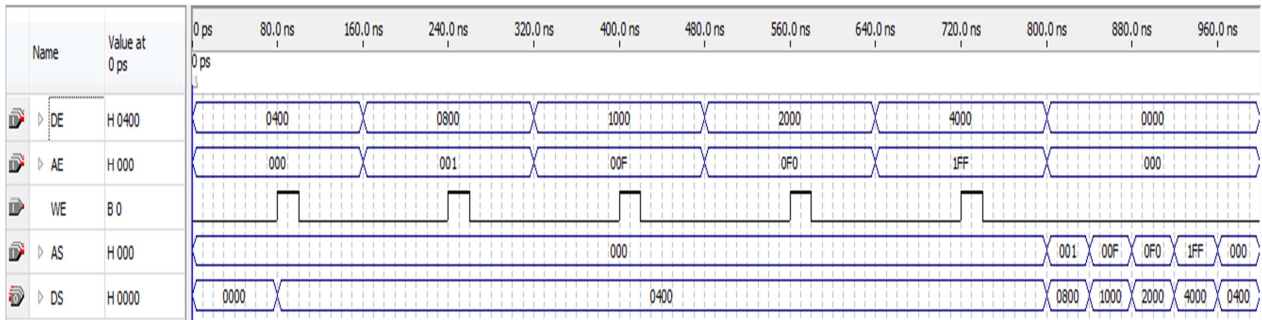
**Fig. 13. Simulación de la unidad de corrimiento lógica y aritmética de 16 bits.**

El siguiente componente al cual se amplía su capacidad, es la memoria RAM, la cual es descrita a partir de sus componentes básicos tal como se mencionó anteriormente. En la Fig. 14 se muestra la simulación de la memoria RAM de 8 localidades y datos de 8 bits, se almacenan 7 datos y posteriormente son leídos de la memoria.



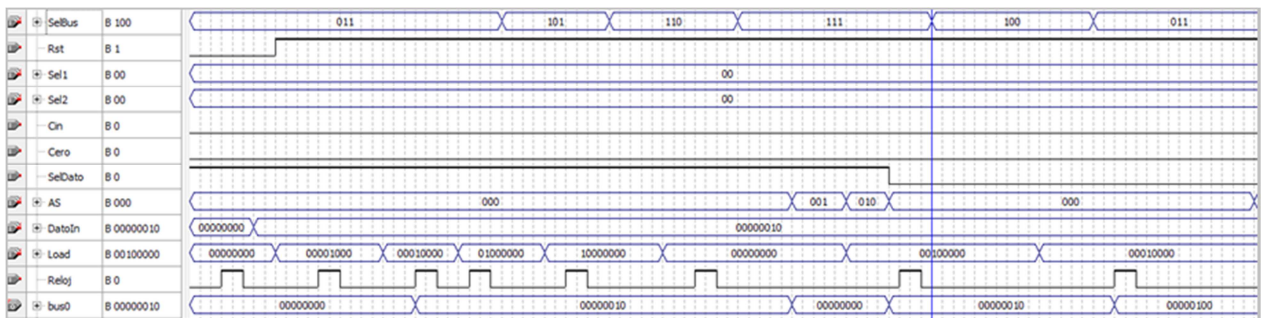
**Fig. 14. Simulación de memoria RAM de 8 bits.**

En la Fig. 15 se muestra la simulación de la memoria RAM de 512 localidades cada una de 16 bits, en este único caso la memoria se describe empleando el paquete estándar lógico- aritmético de la librería de la IEEE. La memoria se limita a 512 localidades dado que con las pruebas de compilación a 1024 localidades se excede la capacidad física de la tarjeta FPGA.



**Fig. 15. Simulación de una memoria RAM de 16 bits.**

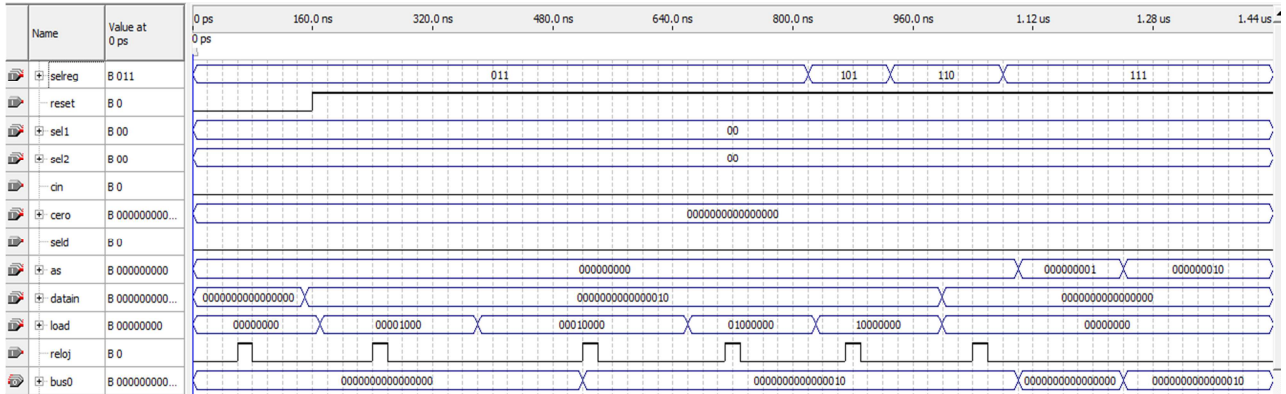
En la Fig. 16 se muestra la transferencia de datos entre los componentes de un procesador de 8 bits, en donde el dato de entrada es almacenado en la memoria, posteriormente es enviado a la unidad aritmética donde es sumado con el contenido del acumulador y el resultado es mostrado en el bus.



**Fig. 16. Transferencia de datos entre los componentes de un procesador de 8 bits.**

En la Fig. 17 se muestra la transferencia de datos entre los componentes de un procesador de 16 bits, en donde se introduce un dato que pasa a través de la ALU, se

carga en el acumulador, en el contador de programa, en el registro de direcciones y almacenado en la memoria y mostrado en el bus.



**Fig. 17. Transferencia de datos entre los componentes de un procesador de 16 bits.**

Respecto a la experiencia que se ha tenido con los estudiantes cabe mencionar que debido a que el uso del lenguaje VHDL no se ha generalizado aún en la carrera, hasta este momento no se ha establecido una metodología formal para establecer el grado de eficiencia en el aprovechamiento del curso empleando esta técnica como herramienta didáctica; sin embargo se ha aplicado una encuesta referente al uso de este lenguaje. En la encuesta se les pregunta a los estudiantes si consideran que el lenguaje ha contribuido satisfactoriamente en el proceso de enseñanza dentro de la carrera, qué tan importante consideran el uso de este lenguaje, qué tan difícil le ha parecido aprender el lenguaje, si consideran que se pueden cubrir los temas de sistemas digitales en forma fluida y gradual en su grado de complejidad y en qué porcentaje han utilizado el lenguaje en un determinado curso.

### 3. Resultados

Los resultados que se mencionan a continuación son a partir de uso del lenguaje VHDL en un curso con duración de un semestre enfocado hacia la enseñanza de los conceptos de Arquitectura de Computadoras.

A partir de los ejercicios de descripción en VHDL de componentes digitales mostrados en este trabajo, se logra cubrir en forma fluida prácticamente la mitad del contenido del libro de texto, excepto en el tema de temporización y control del procesador que requiere la descripción más detallada para el control de cada componente al ejecutarse el ciclo de instrucción. En este trabajo el control de las transferencias entre los registros se realiza por medio un componente que actúa como una máquina secuencial generando las señales requeridas para cada transferencia y micro-operación.

La descripción en VHDL de los componentes digitales se realiza de la forma más apegada a la secuencia didáctica presentada en el libro de texto, así de esta manera se construyen los bloques más complejos como la unidad de corrimiento lógica y aritmética de 16 bits, la memoria RAM y la interconexión de los componentes de un procesador de 16 bits, a partir de componentes más sencillos como decodificadores, registros, sumadores, etc., los cuales son probados individualmente y posteriormente integrados a un sistema digital mayor empleando la descripción jerárquica.

Los resultados de la encuesta realizada a los estudiantes que cursan a partir del quinto semestre en adelante de la carrera de Ing. en Sistemas Computacionales del Instituto Tecnológico Superior de Irapuato respecto a su experiencia con el uso del lenguaje VHDL como herramienta didáctica son los siguientes:

De una población de 803 estudiantes [14], se consideran prácticamente a la mitad que pudieran haber tenido una experiencia del uso del lenguaje, por lo que se aplicó la encuesta a 43 estudiantes de diferente semestre y turno; de los cuales el 72 % manifestó haber usado el lenguaje y 28 % no lo ha usado.

De los estudiantes que lo han usado, el 96 % considera que el lenguaje ha contribuido satisfactoriamente en el proceso de enseñanza-aprendizaje. El 75 % considera que es importante el lenguaje en su carrera. Sin embargo el 55 % opina que es difícil o muy difícil utilizar este lenguaje, ninguno lo considera muy fácil. El 96 % considera que es

posible cubrir los temas de sistemas digitales en forma fluida y gradual en su grado de complejidad. En la Fig.18 se muestran los resultados de la encuesta.

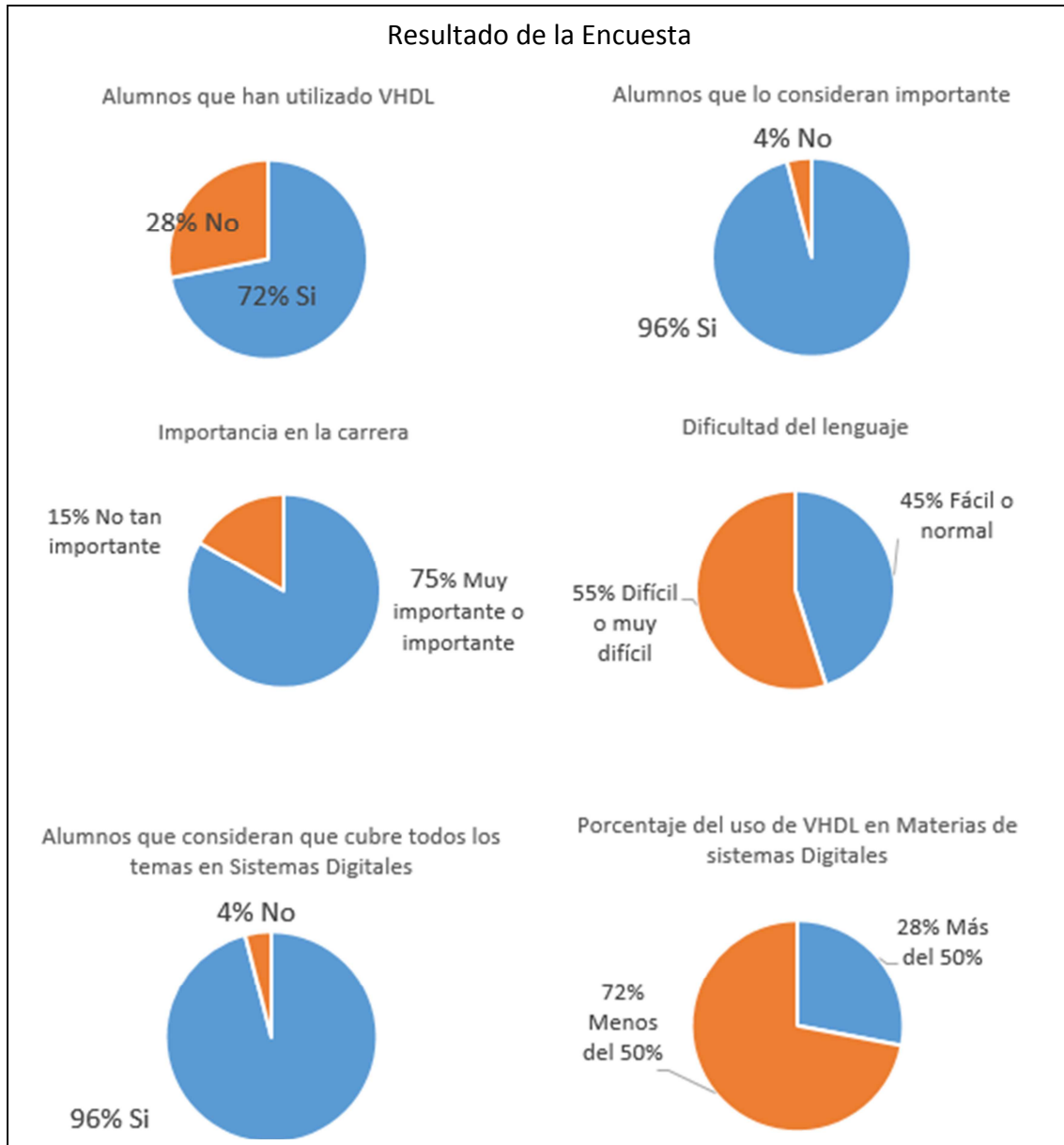
#### **4. Discusión**

Por un lado la descripción en VHDL y el proceso de diseño asistido por computadora permiten realizar ejercicios prácticos y de simulación para consolidar los conceptos teóricos pero se requiere del aprendizaje del lenguaje, sin embargo se permite estudiar la integración de componentes digitales y estudiar eventos de transferencias de datos entre componentes digitales que ocurren en periodos de tiempo muy cortos.

Para fines didácticos la simulación permite mostrar más detalles respecto al funcionamiento de un sistema digital que incluso la propia implementación física, además de que el objetivo de este trabajo no está enfocado en sí a la implementación aplicaciones de un procesador, sino del estudio de los conceptos de sistemas digitales.

Dentro del programa de estudio de la materia de Arquitectura de Computadoras de los Institutos Tecnológicos en la carrera de Ing. en Sistemas Computacionales se incluye el tema de Ensamble de equipo de cómputo, lo cual puede inducir a que el enfoque del curso sea hacia este fin; sin embargo con este trabajo se pretende reforzar el enfoque del curso al estudio del funcionamiento de los componentes digitales que integran la arquitectura de una computadora.





**Fig. 18. Encuesta a estudiantes.**

Para un estudio más completo sobre arquitectura de computadoras empleando el lenguaje VHDL como apoyo didáctico, se puede estimar que requiere de otro curso de un semestre en donde se puedan abordar temas más avanzados.

El uso del lenguaje VHDL se ha ido incorporando a la dinámica de los cursos del área de sistemas digitales de la carrera de Ingeniería en Computacionales con una aceptación muy buena por parte de los docentes y estudiantes.

## **5. Conclusiones**

El uso del lenguaje VHDL y la técnica de diseño asistido por computadora apoyan el proceso de enseñanza de la materia de Arquitectura de Computadoras en la carrera de Ingeniería en Sistemas Computacionales del Instituto Tecnológico Superior de Irapuato, ya que permite estudiar los temas del programa de estudio y seguir la secuencia didáctica del libro de texto.

Fue posible realizar la descripción de todos los componentes digitales de la arquitectura de una computadora básica empleando una sola librería estándar del lenguaje y un solo paquete básico de la librería, aunque la memoria RAM también puede ser descrita de esta manera, sólo en este caso se empleó el paquete aritmético-lógico para poder ampliar la capacidad de la memoria. Se describieron en forma gradual de complejidad desde circuitos básicos hasta la interconexión de un procesador de 16 bits.

Empleando este apoyo didáctico es posible cubrir prácticamente la mitad del contenido del libro de texto, es decir 6 de los 13 capítulos, en un curso de un semestre. La intención en este trabajo consiste en utilizar esta experiencia para poder lograr cubrir más temas en el mismo tiempo pero sin sobrecargar de actividades a los estudiantes del curso y logrando el mayor aprovechamiento académico.

En un siguiente trabajo se pretende encontrar los ejemplos adecuados para cubrir los temas avanzados relacionados con el control y temporización por circuitería, control micro-programado, procesamiento en paralelo, etc.

## 6. Referencias

- [1] Oferta Educativa. [www.itesi.edu.mx](http://www.itesi.edu.mx). Mayo 2015
- [2] M. M. Mano, *Arquitectura de Computadoras*. Tercera Edición. Año 2000. Prentice Hall. México. 123, 43, 99, 131, 139, 183 pp.
- [3] Quartus<sup>®</sup> II Introduction for VHDL Users. Altera<sup>®</sup> Corporation. Estados Unidos de America. 2011
- [4] M. A. de M. Cabello, *Arquitectura de Computadoras*. Primera Edición. Ra-Ma. Año 1997. México.
- [5] B. Parhami, *Arquitectura de Computadoras*. Primera Edición. Año 2007. Mc Graw Hill. México.
- [6] M. A. Larrea Torres, et. al. *Ejercicios Prácticos con Lógica Programable*. Primera Edición. Año 2002. España. 7 p.
- [7] D. G. Maxinez, J. Alcalá. *VHDL El arte de programar sistemas digitales*. Primera Edición. Año 2003.
- [8] R. de J. Romero Troncoso, *Electrónica Digital y Lógica Programable*. Primera Edición. Año 2007. Universidad de Guanajuato. 336 p.
- [9] L. Morales Velázquez, R. A. Osornio Ríos, R. de J. Romero Troncoso, "FPGA embedded single-cycle microprocessor and tolos". *International Conference on Reconfigurable Computing and FPGAs*. No. DOI 10.1109/ReConFig 2012.6416749.
- [10] R. de J. Romero Troncoso, A. Ordaz Moreno, J. A. Vite Frías, A. García Pérez, "8-bit CISC Microprocessor Core for Teaching Applications in the Digital Systems Laboratory". *IEEE International Conference on Reconfigurable Computing and FPGAs*. No. DOI 10.1109/RECONF 2006.307782.

- [11] [www.altera.com](http://www.altera.com). Enero 2012
- [12] Cyclone<sup>®</sup> II FPGA Starter Development Board Reference Manual. Altera<sup>®</sup> Corporation. Estados Unidos de America. 2011.
- [13] C. F. Hernández Farfán. J. P. Vargas Mosqueda, “Descripción en VHDL de la interconexión de componentes de un procesador básico”. *Pistas Educativas*. No. 108. Octubre 2014. 373-388 pp.
- [14] Estadística. [www.itesi.edu.mx](http://www.itesi.edu.mx). Agosto 2015.

## **7. Autores**

M. en I. Carlos Federico Hernández Farfán es Ingeniero en Electrónica egresado del Instituto Tecnológico de Celaya, obtuvo su título de Maestría en Ingeniería Eléctrica por la Universidad de Guanajuato y es profesor de la carrera de Ingeniería en Sistemas Computacionales del Instituto Tecnológico Superior de Irapuato.

Diego Andrés Navarro Jiménez, Emmanuel Eduardo Hernández Rico, Jonathan Paris Vargas Mosqueda son estudiantes de la carrera de Ingeniería en Sistemas Computacionales del Instituto Tecnológico Superior de Irapuato.