

ESTUDIO E IMPLEMENTACIÓN DE MODULACIONES LS-SPWM PARA UN INVERSOR CHB DE 15 NIVELES

STUDY AND IMPLEMENTATION OF LS-SPWM MODULATIONS FOR A 15 LEVEL CHB INVERTER

Jesús Alberto Martínez Cabrera

Tecnológico Nacional de México / ITS de Irapuato, México
MIP23110012@irapuato.tecnm.mx

José Juan Alfaro Rodríguez

Tecnológico Nacional de México / ITS de Irapuato, México
jose.ar@irapuato.tecnm.mx

José Miguel Sosa Zúñiga

Tecnológico Nacional de México / ITS de Irapuato, México
jose.sz@irapuato.tecnm.mx

Adolfo Rafael López Núñez

Tecnológico Nacional de México / ITS de Irapuato, México
adolfo.ln@irapuato.tecnm.mx

Mario Alberto Juárez Balderas

Tecnológico Nacional de México / ITS de Irapuato, México
mario.jb@irapuato.tecnm.mx

Recepción: 2/diciembre/2025

Aceptación: 25/diciembre/2025

Resumen

En este trabajo se presenta el estudio e implementación de técnicas de modulación por ancho de pulsos por desplazamiento de nivel para operar un inversor de *punto H* en cascada de 15 niveles a diferentes frecuencias de conmutación. El estudio se realizó en simulación como mediante pruebas experimentales, implementando las diferentes modulaciones en una tarjeta de desarrollo FPGA Nexys A7-50T. El objetivo principal fue evaluar el comportamiento de la salida del inversor, particularmente en términos de distorsión armónica total. Los resultados muestran una operación adecuada del inversor y la generación de los niveles de voltaje para todas las modulaciones estudiadas. Además, se logra una mejor calidad de la forma de onda de salida mediante el uso de frecuencias de conmutación más altas, evidenciado por una disminución significativa en la

distorsión armónica total, que se mejora aún más en la forma de onda de corriente de salida utilizando un *filtro RL*.

Palabras Clave: Distorsión armónica total, hardware reconfigurable, inversor multinivel, inversor *punto H* en cascada, modulación por ancho de pulso.

Abstract

This paper presents the study and implementation of level-shift pulse width modulation techniques to operate a 15-level cascaded H – bridge inverter at different switching frequencies. The study was carried out in simulation and through experimental tests, implementing the different modulations on a Nexys A7-50T FPGA development board. The main objective was to evaluate the behavior of the inverter output, particularly in terms of total harmonic distortion. The results show proper operation of the inverter and the generation of the voltage levels for all modulations studied. Furthermore, improved output waveform quality is achieved by using higher switching frequencies, evidenced by a significant decrease in total harmonic distortion, which is further improved in the output current waveform using a RL filter.

Keywords: Cascaded H-bridge inverter, multilevel inverter, pulse width modulation, reconfigurable hardware, Total harmonic distortion.

1. Introducción

En los últimos años, el interés en el estudio de inversores multinivel ha crecido de manera significativa, atrayendo el interés de los investigadores debido a sus aplicaciones en media y alta potencia en la industria, así como a su capacidad para reducir la distorsión armónica total (*THD*, Total Harmonic Distortion). Debido a esto; se buscan desarrollar avances en topologías y técnicas de control que permitan aumentar la generación de niveles de voltaje a la salida.

Las técnicas de modulación para el control de inversores multinivel pueden ser divididas en dos grandes familias, es decir en baja frecuencia de conmutación, mediante las técnicas de eliminación selectiva de armónicos (*SHE*, Selective Harmonic Elimination) y de control de vector de espacio (*SVC*, Space Vector

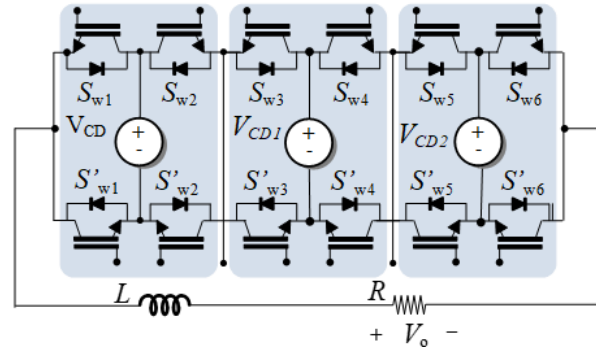
Control) [Goopta, 2022], [Wang, 2021], [Noorsal, 2022] y en alta frecuencia de conmutación, donde se encuentran las técnicas de modulación de vector de espacio (SVM, Space Vector Modulation) y las técnicas de modulación por ancho de pulso PS-PWM (Phase Shift Pulse Wide Modulation) y LS-PWM (Level Shift Pulse Wide Modulation) [Sharma, 2025], [Noorsal, 2022], [Gowrishankar, 2018], [Aleenejad, 2017]. Por otra parte, los inversores modulares son ampliamente utilizados en aplicaciones de media y alta potencia por su capacidad de operar sin transformador, escalabilidad de voltaje y corriente y por su calidad en las formas de onda de salida [Perez, 2015]. Además, es preciso mencionar que pueden operar en baja o alta frecuencia [Goopta, 2022], [Noorsal, 2022], [Gowrishankar, 2018], de acuerdo con la finalidad de operación. Algunos diseños de modulación ya se han implementado en hardware reconfigurable como FPGAs [Noorsal, 2022], [Chitra, 2020] en diferentes tarjetas de desarrollo como la FPGA DE2-115 [Noorsal, 2022], la Spartan 6 [Chitra, 2020] o la Spartan 6 LX45 [Juárez, 2021].

La técnica más común en los inversores modulares CHB es la técnica LS-PWM y se pueden generar desde cinco niveles hasta cualquier número de niveles dependiendo del número de módulos de puentes H utilizados. El trabajo de [Noorsal, 2022] aborda un inversor de 21 niveles, uno de 15 niveles se aborda en [Chitra, 2020] y en [Juárez, 2021] uno de 7 niveles.

En este artículo se realiza un estudio de las técnicas de modulación LS-PWM a diferentes frecuencias de conmutación para la topología de puentes H en cascada compuesta por tres módulos de *punto H* con fuentes asimétricas, lo que permite obtener 15 niveles de voltaje en la salida. Las modulaciones se implementan utilizando una FPGA Nexys A7-50T

2. Métodos

La topología del inversor multinivel CHB se muestra en la Figura 1, este inversor es capaz de generar desde 7 hasta 15 niveles de voltaje a la salida dependiendo de la configuración de las fuentes de voltaje de CD utilizadas. El inversor cuenta con doce semiconductores de potencia (IGBTs), tres fuentes de CD asimétricas (es decir con diferentes valores de voltaje), y una carga RL conectada a la salida.



Fuente: elaboración propia

Figura 1 Inversor multinivel CHB modular.

Modos de operación

El inversor multinivel considerado presenta diversos modos de operación que se pueden generar mediante las diferentes combinaciones de activación de los interruptores de potencia. Las fuentes de voltaje asimétricas se definen con la siguiente relación: $V_{CD} = V_{CD}$, $V_{CD1} = V_{CD}/2$ y $V_{CD2} = V_{CD}/4$, lo que permite la generación de 15 niveles de voltaje en el inversor CHB. La descripción de los estados de conmutación del inversor utilizando fuentes simétricas se describe en [Lopez, 2018] y la Tabla 1 muestra la síntesis del estado de los interruptores seleccionados para la generación de los niveles de voltaje del inversor multinivel.

Tabla 1 Estados de conmutación para operar el inversor multinivel CHB.

S ₁	S ₂	S ₃	S ₄	S ₅	S ₆	Voltaje	Valor	S ₁	S ₂	S ₃	S ₄	S ₅	S ₆	Voltaje	Valor
1	0	1	0	1	0	$7V_{CD}/4$	140	0	0	0	0	0	0	0	0
1	0	1	0	0	0	$3V_{CD}/2$	120	0	0	0	0	0	1	$-V_{CD}/4$	-20
1	0	0	0	1	0	$5V_{CD}/4$	100	0	1	1	0	0	0	$-V_{CD}/2$	-40
1	0	0	0	0	0	V_{CD}	80	0	1	1	1	1	0	$-3V_{CD}/4$	-60
1	1	1	0	1	0	$3V_{CD}/4$	60	0	1	1	1	1	1	$-V_{CD}$	-80
1	1	1	0	0	0	$V_{CD}/2$	40	0	1	0	1	1	0	$-5V_{CD}/4$	-100
1	0	0	1	0	1	$V_{CD}/4$	20	0	1	0	1	1	1	$-3V_{CD}/2$	-120
0	0	0	0	0	0	0	0	0	1	0	1	0	1	$-7V_{CD}/4$	-140

Fuente: elaboración propia

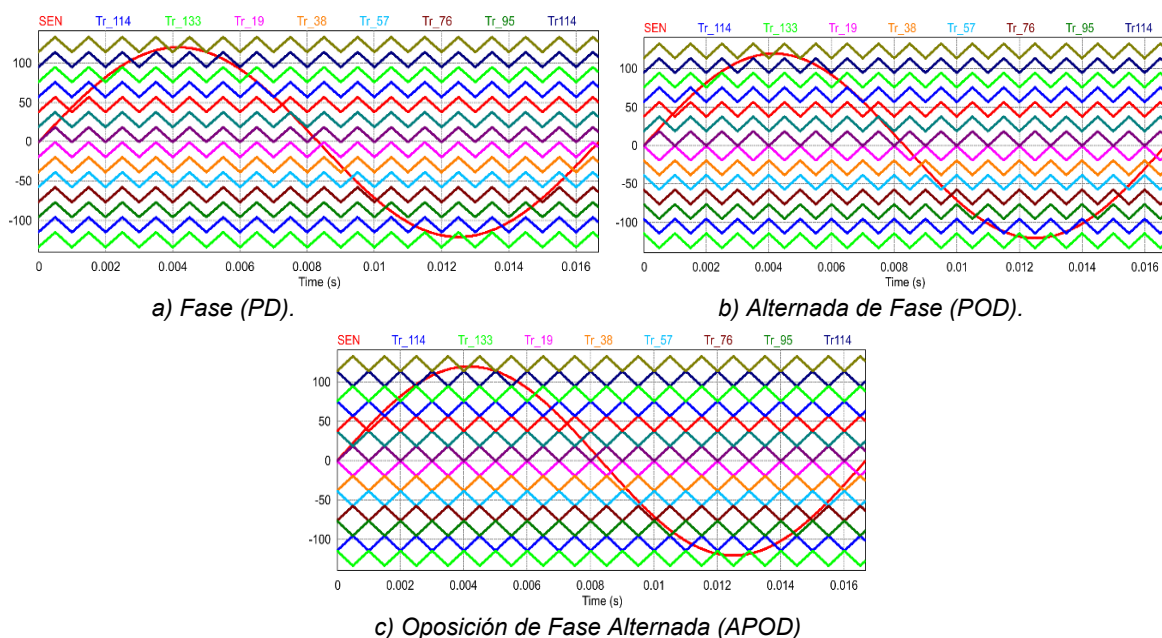
Descripción de la modulación SPWM

La generación de pulsos para la activación de los semiconductores de potencia es realizada mediante diferentes técnicas de modulación LS-SPWM como lo son: disposición de fase (PD, Phase Disposition), disposición de oposición de fase (POD, Phase Opposition Disposition) y disposición de oposición de fase alternada (APOD,

Alternate Phase Opposition Disposition). Estas técnicas se basan en la comparación de señales portadoras triangulares de alta frecuencia con una señal sinusoidal de baja frecuencia. El número de portadoras depende del número de niveles a la salida del inversor y puede ser obtenido mediante la Ecuación 1.

$$No.portadoras = No.Niveles - 1 \quad (1)$$

En la técnica PD, todas las portadoras triangulares tienen la misma amplitud y fase tanto por encima como por debajo del eje cero tal como se muestra en la Figura 2a. En la técnica POD mostrada en la Figura 2b, las portadoras triangulares por debajo del eje cero son desfasadas 180° respecto a las portadoras que estén por encima del mismo eje y mantienen su amplitud y frecuencia. En la modulación APOD mostrada en la Figura 2c, las portadoras triangulares se encuentran desfasadas 180° unas de otras sin importar el eje en el que se encuentren, aunque permanecen con la misma amplitud y frecuencia.



Fuente: elaboración propia

Figura 2 Técnica de Modulación de Disposición.

La Figura 3a muestra el esquema para generar los pulsos correspondientes al semiciclo positivo. Mediante la comparación tanto de las señales portadoras triangulares como de las señales de referencia de nivel con respecto a la señal de

referencia senoidal, y utilizando lógica combinacional se obtiene la señal de pulsos. De acuerdo a los niveles de referencia (n_0, n_1, n_2, n_3, n_4 y n_5) mostrados en la Figura 3b se obtiene la señal multinivel mostrada en la Figura 4.

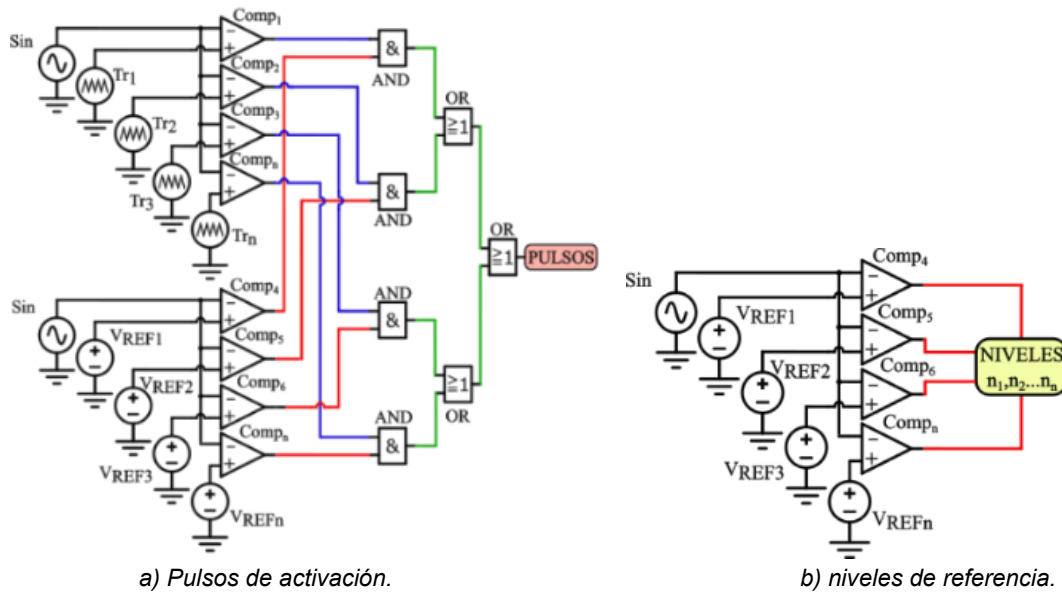


Figura 3 Diagrama para la generación.

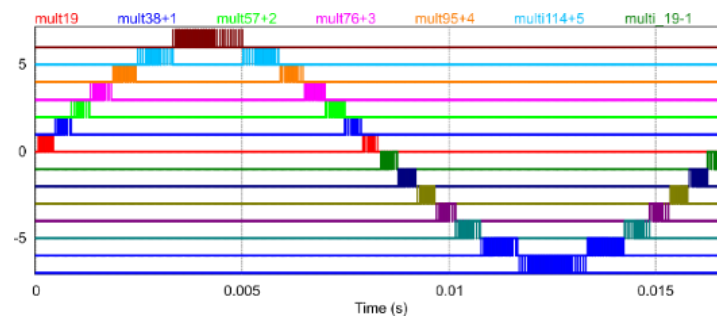


Figura 4 Señales de salida del inversor multinivel.

Generación de técnicas LS-PWM en VHDL

Las técnicas de modulación LS-PWM son implementadas utilizando una FPGA Nexys A7-50T de Digilent. El diseño del código fuente se ha desarrollado considerando diferentes frecuencias para las señales portadoras triangulares, de 5, 10 y 15 kHz con el objetivo de analizar el comportamiento de las técnicas de modulación frente a distintas frecuencias de conmutación.

Cálculo de frecuencia del reloj interno del FPGA

Dado que la implementación contempla múltiples señales portadoras triangulares a distintas frecuencias, así como una señal fundamental de 60 Hz, es necesario adaptar la frecuencia de reloj de la FPGA, la cual opera con un reloj interno de 100 MHz. Para ello, se requiere realizar un divisor de frecuencia. Esta operación permite obtener pulsos de reloj de las frecuencias deseadas. Estos pulsos determinan el número de ciclos de reloj necesarios para generar cada semiciclo de las diferentes señales:

$$Puls_{sin} = 100MHz/60Hz = 1,666,666/2 = 833,333$$

$$Puls_{5kHz} = 100MHz/5kHz = 20,000/2 = 10,000$$

$$Puls_{10kHz} = 100MHz/10kHz = 10,000/2 = 5,000$$

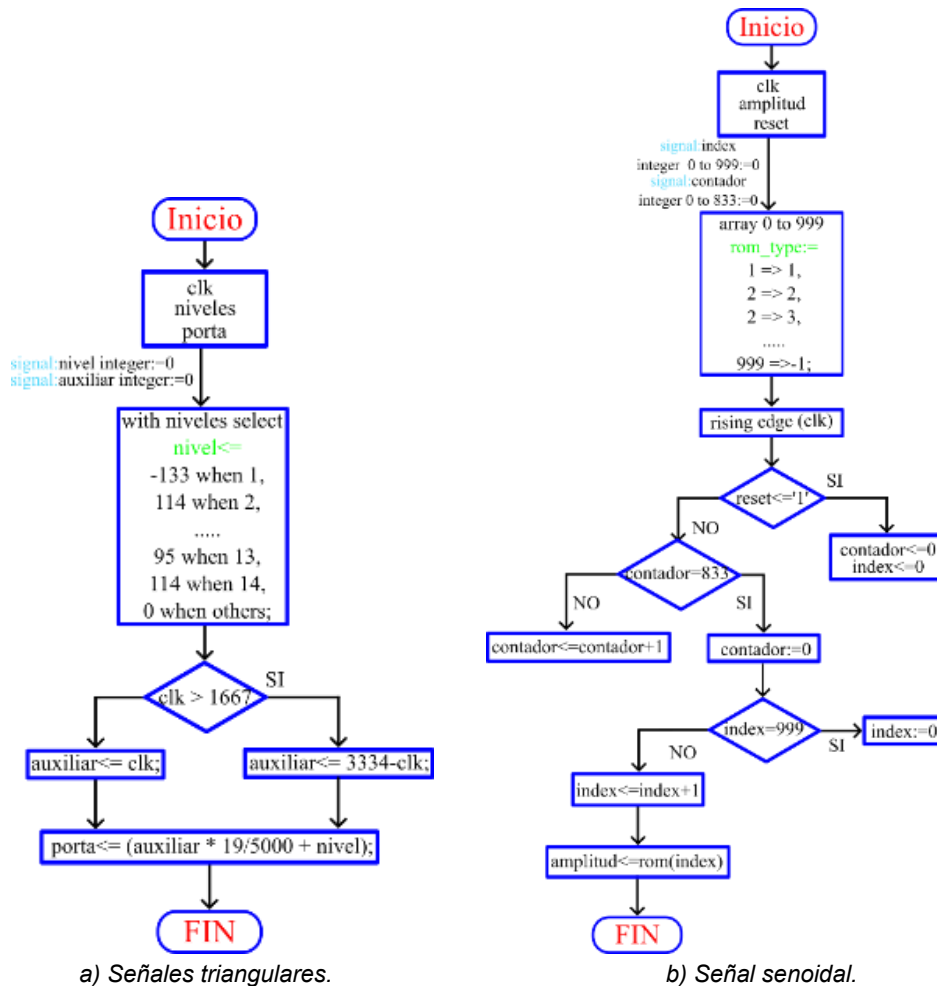
$$Puls_{15kHz} = 100MHz/15kHz = 6,666/2 = 3,333$$

Este proceso es fundamental para la correcta sincronización de las señales portadoras y de referencia dentro del sistema de modulación implementado en la FPGA. Frecuencia fundamental ($Puls_{5kHz}$) y frecuencias para las portadoras ($Puls_{sin}$, $Puls_{5kHz}$, $Puls_{10kHz}$ y $Puls_{15kHz}$).

Portadoras triangulares

Para implementar las técnicas de modulación LS-PWM, se desarrolló un módulo VHDL denominado portadoras, encargado de la generación de las señales PD, POD y APOD. El módulo cuenta con las siguientes señales: clk (señal entera de entrada que representa el conteo de reloj, proporcional a la frecuencia de conmutación deseada); niveles (determina el número de portadoras, y a su vez define el desplazamiento vertical de cada señal triangular) y porta (salida entera que representa la señal triangular generada, con su respectivo desplazamiento vertical). La Figura 5a, muestra el diagrama de flujo correspondiente al código en VHDL implementado para la generación de las portadoras triangulares, donde se realiza la asignación del nivel de cada portadora. Para generar las demás señales portadoras se asigna un desplazamiento vertical (nivel) a la señal triangular en función del valor del nivel de entrada. Este desplazamiento genera múltiples

portadoras en diferentes posiciones verticales. Este cálculo ajusta la pendiente y altura de la señal triangular, y luego se le suma el nivel previamente determinado.



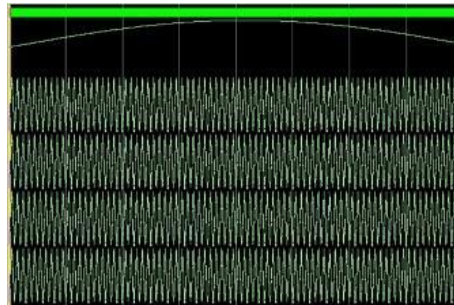
Fuente: elaboración propia

Figura 5 Diagrama de flujo para generar las señales triangulares y senoidal.

Senoidal

La Figura 5b, muestra el diagrama de flujo correspondiente al módulo para generar, los valores que representan las amplitudes de una señal senoidal muestreada. Este módulo recibe como entrada un valor entero (entrada), correspondiente al índice de muestreo, y retorna como salida un valor entero (amplitud), el cual representa el valor discreto de la onda senoidal en dicho punto. La señal senoidal incluye un total de 1000 muestras, generando una aproximación que proporciona simetría y continuidad en el rango de amplitudes que van desde

–127 hasta 127. La Figura 6 muestra el resultado de la simulación, en ModelSim, de los códigos implementados para la generación de las formas de onda portadoras y senoidal para el semiciclo positivo.



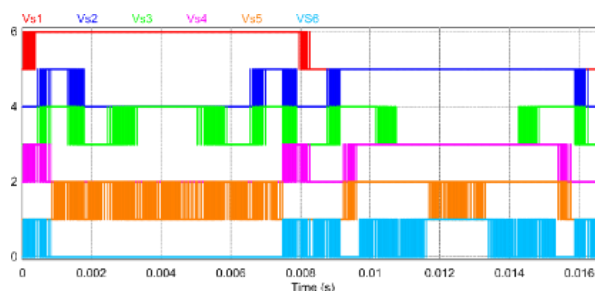
Fuente: elaboración propia

Figura 6 Formas de onda senoidal y portadoras obtenidas mediante simulación.

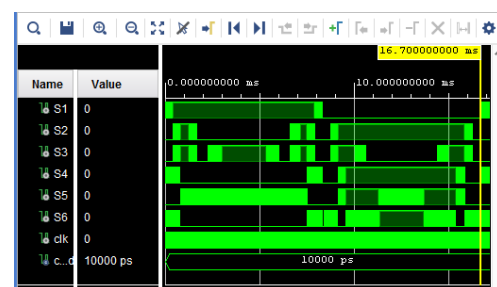
Pulsos de disparo

Con el fin de verificar la implementación de las técnicas de modulación LS-PWM para el inversor CHB, se realizan simulaciones tanto en el entorno de diseño PSIM como en VHDL usando ModelSim.

La Figura 7a muestra los resultados de la simulación en PSIM, de los pulsos de seis de los doce dispositivos semiconductores del inversor. Las señales etiquetadas como disparo V_{S1} , V_{S2} , V_{S3} , V_{S4} , V_{S5} y V_{S6} corresponden a los pulsos de compuerta generados para cada interruptor mediante la técnica PD LS-PWM. La Figura 7b muestra la simulación realizada en el software ModelSim, representando las señales generadas por el sistema digital implementado en VHDL.



a) Simulación mediante ModelSim.



b) Simulación mediante PSIM.

Fuente: elaboración propia

Figura 7 Pulsos de conmutación obtenidos.

Las señales S_1 a S_6 representan los pulsos de activación que serían enviados a los drivers de compuerta de los interruptores de potencia.

Se puede apreciar en la Figura 7 que los pulsos obtenidos en PSIM y en VHDL tienen un comportamiento semejante en términos de frecuencia, forma y sincronización de los pulsos, lo cual confirma que la modulación implementada en VHDL reproduce la estrategia de modulación teórica y simulada.

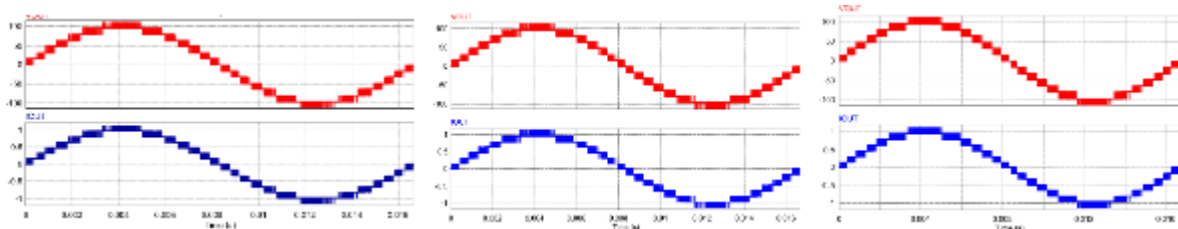
Filtro de salida

En sistemas de conversión de energía basados en inversores multinivel tipo CHB, la calidad de la señal de salida es importante si se desea inyectar potencia a la red eléctrica ya que debe de garantizar el cumplimiento de los estándares de distorsión armónica. En este trabajo, se implementó un filtro pasa bajas RL con una resistencia de $100\ \Omega$ y una inductancia de $3\ mH$, el cual, permite atenuar los componentes de alta frecuencia y el paso de la componente fundamental. La frecuencia de corte del filtro está dada por la Ecuación 6 y cuyo valor obtenido es de $5303\ Hz$.

$$f_c = \frac{R}{2\pi L} \quad (6)$$

Simulación

Para validar la técnica de control de modulación se realizó la simulación del inversor multinivel de 15 niveles en el software Psim. La Figura 8 muestra las formas de onda de voltaje (rojo) y corriente (azul) obtenidas mediante simulación de las técnicas PD, POD y APOD para la frecuencia de $15\ kHz$ utilizando una carga resistiva de $100\ \Omega$.



a) PD a 15 kHz

b) POD a 15 kHz.

c) APOD a 15 kHz.

Fuente: elaboración propia

Figura 8 Voltaje y corriente de salida del inversor.

En la Tabla 2 se presenta una síntesis de la *THD* de voltaje y de corriente presente en el inversor, utilizando una carga *R* y aplicando las técnicas de modulación LS-PWM. Se puede apreciar que la modulación PD presenta menor *THD*. Asimismo, en la Tabla 3 se puede apreciar la *THD* con una carga *RL*, donde la técnica POD presenta una menor *THD*.

Tabla 2 *THD* de voltaje y de corriente con carga *R*.

Técnica	Frecuencia	<i>THD</i> Voltaje	<i>THD</i> corriente	FP
PD	5 kHz	9.0497528e – 002	9.0497528e – 002	1
	10 kHz	9.0551366e – 002	9.0551366e – 002	1
	15 kHz	9.0604713e – 002	9.0604713e – 002	1
POD	5 kHz	9.0285976e – 002	9.0285976e – 002	1
	10 kHz	9.0616695e – 002	9.0616695e – 002	1
	15 kHz	9.0643160e – 002	9.0643160e – 002	1
APOD	5 kHz	9.0477748e – 002	9.0477748e – 002	1
	10 kHz	9.0622597e – 002	9.0622597e – 002	1
	15 kHz	9.0514549e – 002	9.0514549e – 002	1

Fuente: elaboración propia.

Tabla 3 *THD* de voltaje y de corriente con carga *RL*.

Técnica	Frecuencia	<i>THD</i> Voltaje	<i>THD</i> corriente	FP
PD	5 kHz	5.5059450e – 002	5.5059450e – 002	1
	10 kHz	3.4608788e – 002	3.4608788e – 002	1
	15 kHz	2.4441606e – 002	2.4441606e – 002	1
POD	5 kHz	5.4853997e – 002	5.4853997e – 002	1
	10 kHz	3.4590886e – 002	3.4590886e – 002	1
	15 kHz	2.4435578e – 002	2.4435578e – 002	1
APOD	5 kHz	5.4917199e – 002	5.4917199e – 002	1
	10 kHz	3.4584572e – 002	3.4584572e – 002	1
	15 kHz	2.4436487e – 002	2.4436487e – 002	1

Fuente: elaboración propia

3. Resultados

Para cada frecuencia de conmutación se realizaron pruebas experimentales implementando el prototipo de la Figura 9 utilizando dos cargas: una con carga *R* = 100 Ω , y otra con carga *RL*, con *L* = 3 mH y *R* = 100 Ω .

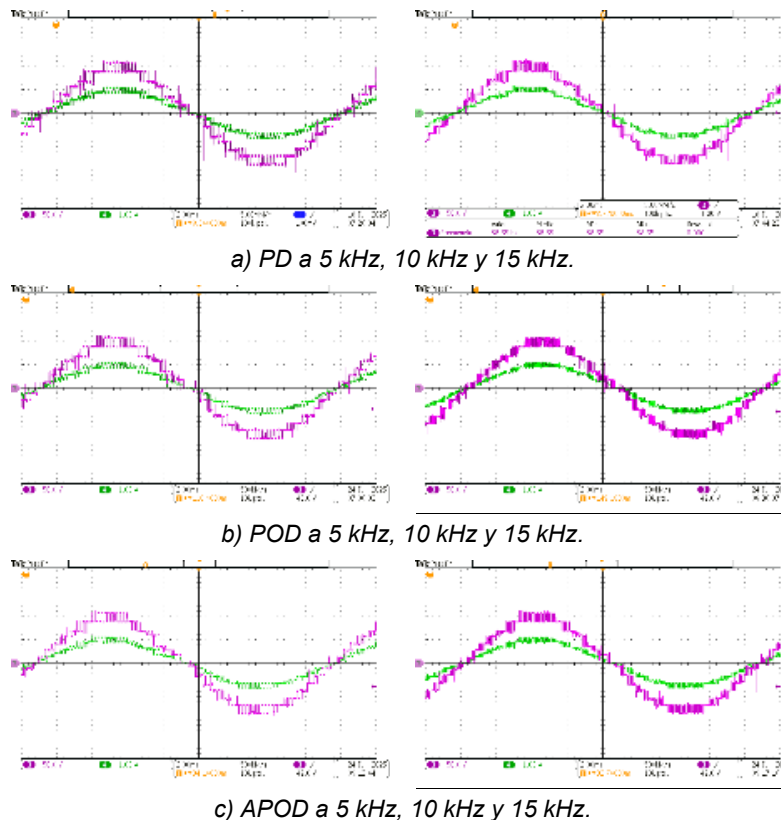
Para respaldar la validación numérica de las técnicas de modulación LS-PWM se presentan los resultados obtenidos a partir de las pruebas experimentales realizadas aplicando diferentes frecuencias de conmutación. La Figura 10, muestra las formas de onda de voltaje (morado) y corriente (verde) obtenidas mediante

prototipo experimental de las técnicas PD, POD y APOD para las frecuencias 5 y 15 kHz utilizando una carga resistiva de 100 Ω .



Fuente: elaboración propia

Figura 9 Pruebas con prototipo experimental.

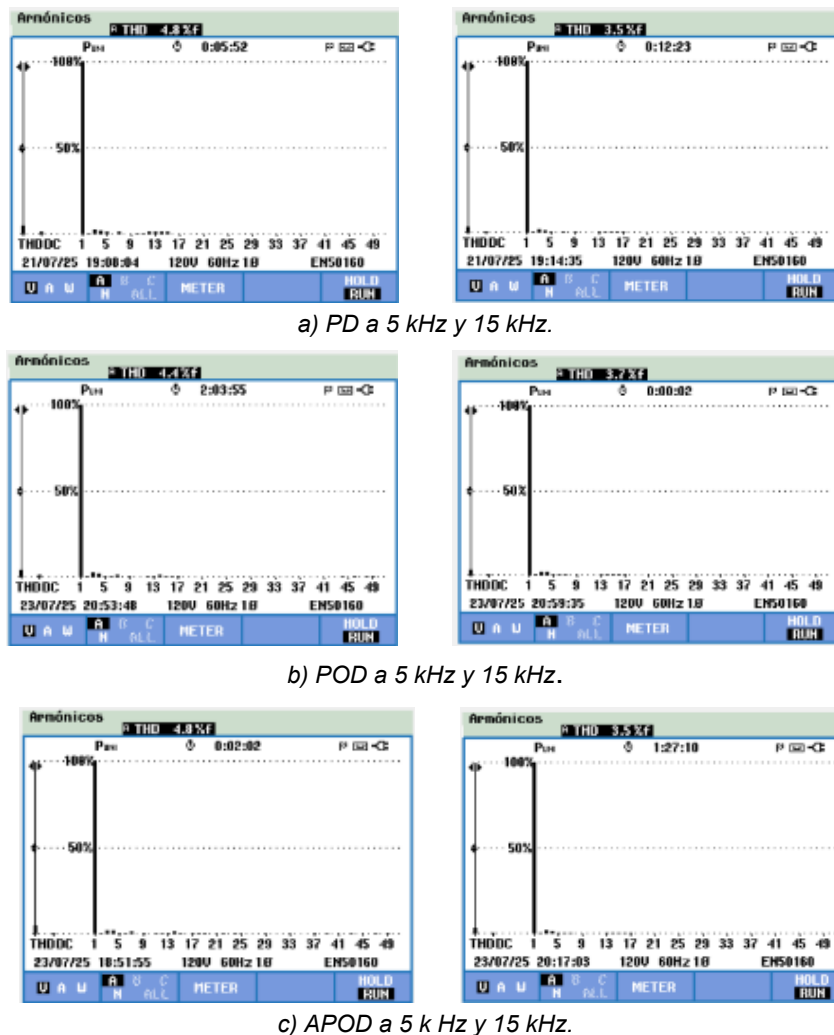


Fuente: elaboración propia

Figura 10 Voltaje y corriente de salida del inversor.

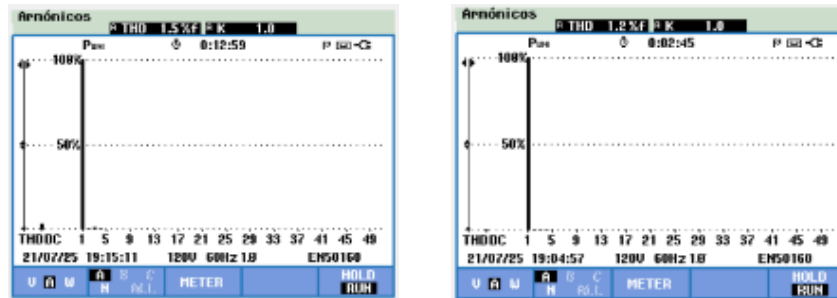
Se realiza un análisis del comportamiento del sistema en términos de la calidad de la señal generada, observando cómo disminuye el contenido armónico aumentando la frecuencia de conmutación y el nivel de atenuación en la corriente utilizando la carga RL . Estas pruebas permiten evidenciar el efecto del filtro sobre la señal

modulada y cómo la frecuencia de conmutación influye directamente en la reducción del contenido armónico. En la Figura 11 se puede apreciar la *THD* de voltaje y en la Figura 12 la de corriente, ambas de salida con carga *RL*, obtenidas mediante un medidor de calidad de la energía Fluke 465 Series II. Se puede apreciar en Figuras 11 y 12 el efecto que produce el aumentar la frecuencia de conmutación, al disminuir la *THD*. Se realizan pruebas experimentales para las tres técnicas PD, POD y APOD; en la primera se realiza el experimento a 5 *kHz* y en la segunda a 15 *kHz*, valores extremos de las pruebas experimentales. La Tabla 4 muestra los datos obtenidos de *THD* de voltaje y corriente, así como el factor de potencia para las técnicas de modulación PD, POS y APOD a las frecuencias de 5, 10 y 15 *kHz*.

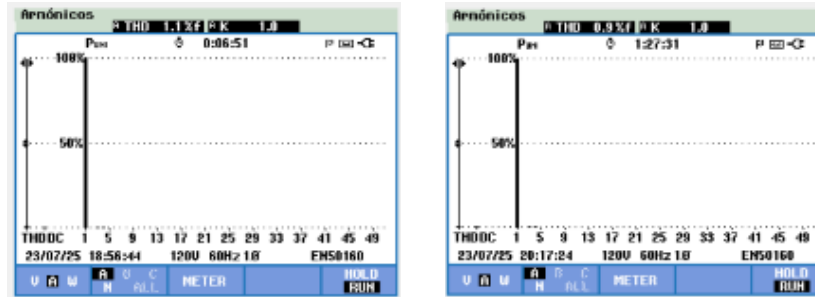


Fuente: elaboración propia

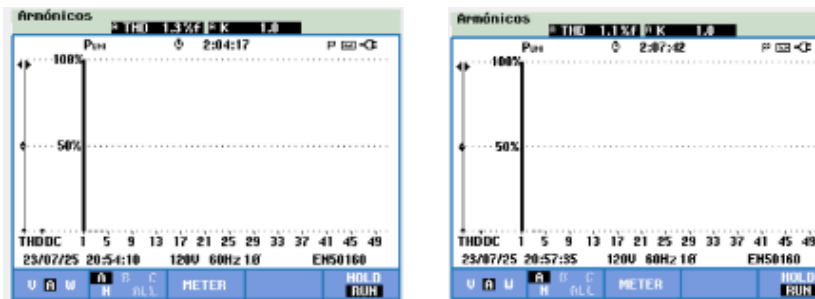
Figura 11 *THD* de Voltaje de salida del inversor con carga *RL*.



a) PD a 5 kHz y 15 kHz.



b) POD a 5 kHz y 15 kHz.



c) APOD a 5 kHz y 15 kHz.

Fuente: elaboración propia

Figura 12 THD de corriente de salida del inversor con carga RL.

Tabla 4 THD de voltaje y de corriente.

Técnica	Frecuencia	Carga R			Carga RL		
		THD Voltaje	THD corriente	FP	THD Voltaje	THD corriente	FP
PD	5 kHz	4.8%	4.5%	0.85	4.8%	1.2%	0.97
	10 kHz	4.1%	3.9%	0.96	4.1%	1.3%	0.92
	15 kHz	3.5%	3.6%	0.93	3.5%	1.5%	0.88
POD	5 kHz	4.4%	4.4%	0.91	4.4%	1.2%	0.99
	10 kHz	4.0%	3.9%	0.98	4.0%	1.1%	0.89
	15 kHz	3.4%	3.6%	0.97	3.4%	0.9%	0.95
APOD	5 kHz	4.8%	4.8%	0.92	4.8%	1.3%	0.98
	10 kHz	4.1%	3.9%	0.94	4.1%	1.2%	0.92
	15 kHz	3.5%	3.6%	0.98	3.5%	1.1%	0.99

Fuente: elaboración propia

4. Discusión

Las pruebas experimentales realizadas utilizando las técnicas LS-PWM en sistemas de conversión de energía, valida los modelos de simulación utilizados. Sin embargo, se debe considerar que el aumento de frecuencia también implica mayores exigencias para los dispositivos de conmutación y un incremento en las pérdidas por conmutación. Por tanto, existe un compromiso técnico entre eficiencia, calidad de señal y exigencias térmicas, que debe ser evaluado cuidadosamente en aplicaciones reales.

La experimentación respalda que operar a mayores frecuencias dentro de un rango seguro optimiza el desempeño con respecto a la distorsión armónica, consolidando a las técnicas LS-PWM como una solución eficaz para aplicaciones donde la calidad de la energía es primordial.

De acuerdo al análisis observado del comportamiento del sistema en términos de la calidad de la señal generada, disminuye el contenido armónico utilizando la carga RL , debido al efecto del filtro pasa bajas, siendo la técnica PD la que observa una menor THD tanto en voltaje como en corriente, probablemente por su simetría de las portadoras con respecto al eje horizontal.

5. Conclusiones

La comparación entre los resultados simulados y experimentales de las técnicas LS-PWM a frecuencias de conmutación de 5, 10 y 15 kHz confirman la teoría al aplicar estas técnicas mejorando la calidad de la energía reduciendo la THD reflejado en la Tabla 4. Se puede observar que la THD de voltaje no disminuye considerablemente, debido a las características del filtro RL , conservándose una THD menor al 5%. Sin embargo, en la corriente se atenúan las componentes de alta frecuencia, obteniéndose una THD menor al 1.3%, permitiendo el paso de la componente fundamental. Por otra parte, el uso de las técnicas LS-PWM logra una mejor calidad en la salida del inversor debido al uso de frecuencias de conmutación altas, teniendo menor THD en frecuencias de conmutación de 15 kHz en comparación con la de 5 kHz , con una disminución aproximada del 1%. En resumen, la experimentación respalda que operar a mayores frecuencias dentro de un rango

seguro optimiza el desempeño con respecto a la distorsión armónica, consolidando a las técnicas LS-PWM como una solución eficaz para aplicaciones donde la calidad de la forma de onda generada es prioritaria.

6. Referencias y Bibliografía

- [1] Aleenejad, M, Mahmoudi, H, Ahmadi, R and Iman-Eini, H, A New High-Switching-Frequency Modulation Technique to Improve the DC-Link Voltage Utilization in Multilevel Converters. *IEEE Transactions on Industrial Electronics*, vol. 64, no. 3, pp. 1807-1817, March 2017.
- [2] Chitra, S, Valluvan, K, Design and implementation of cascaded H-Bridge multilevel inverter using FPGA with multiple carrier phase disposition modulation scheme. *Microprocessors and Microsystems*, Volume 76, 103108, July 2020.
- [3] Goopta, R, Bhattacharya, A, Low and High Frequency Control Strategy for Asymmetrically Switched Cascaded Multilevel Inverter. *IETE Journal of Research*, Volume 70, Issue 1, pp. 979–997, October 2022.
- [4] Gowrishankar, J, Belwin, E, Comparison of Symmetrical and Asymmetrical Cascaded H-Bridge Multilevel Inverter Using Pulse Width Modulation. *International Journal of Pure and Applied Mathematics*, Vol. 118, No. 17, pp 891-902, 2018.
- [5] Juárez-Abad, J, Barahona-Avalos, J, Linares-Flores, J, PWM techniques for an asymmetric multilevel binary inverter: an FPGA-based implementation. *IET Power Electronics*. Vol. 14, pp. 1529–1539, March 2021.
- [6] Lopez, H, Rodriguez-Resendiz, J, Vázquez, N, Alfaro-Rodriguez, J, Dominguez, A. Eight levels multilevel voltage source inverter modulation technique. *IEEE. Trans. Latin American*, Volume: 16, Issue: 4, pp. 1121–1127, April 2018.
- [7] Noorsal, E, Rongi, A, Ibrahim, I, Darus, R, Kho, D, Setumin, S, Design of FPGA-Based SHE and SPWM Digital Switching Controllers for 21-Level Cascaded H-Bridge Multilevel Inverter Model. *Micromachines*, Volume 13, Issue 2, January 2022.

- [8] Perez, M, Bernet, S, Rodriguez, J, Kouro, S, Lizana, R, Circuit Topologies, Modeling, Control Schemes, and Applications of Modular Multilevel Converters. *IEEE Transactions on Power Electronics*, Volume 30, Issue 1, pp. 4–17, January 2015.
- [9] Sharma, B, Manna, S, Saxena, V, Raghuvanshi, P, Alsharif, M, Kim, M, A comprehensive review of multi-level inverters, modulation, and control for grid-interfaced solar PV systems. *Scientific Reports*, Volume 15, pp. 661, January 2025.
- [10] Wang, Z., Hao, S., Han, D., Jin, X., Gu, X. Low Switching Frequency Operation Control of Line Voltage Cascade Triple Converter. *Electronics*, Volume 10, no 24, pp. 3059, December 2021.