

PROPUESTA PARA EL DESARROLLO ANALÓGICO DE UN AMPLIFICADOR LOCK-IN

PROPOSAL FOR THE ANALOG DEVELOPMENT OF A LOCK-IN AMPLIFIER

José Castillo Hernández

UNAM, Instituto de Ciencias Aplicadas y Tecnología, México
jose.castillo@icat.unam.mx

Naser Qureshi

UNAM, Instituto de Ciencias Aplicadas y Tecnología, México
naser.queshi@icat.unam.mx

Recepción: 26/noviembre/2024

Aceptación: 5/febrero/2025

Resumen

Las técnicas de promediado y filtrado, para recuperar señales inmersas en altos niveles de ruido, repercuten en el ancho de banda efectivo de la señal cuando se busca mantener una relación señal a ruido elevada. En estos casos, un equipo muy apreciado es el Amplificador Lock-in. Los equipos comerciales son costosos y no siempre son accesibles en los laboratorios académicos y de investigación; sin embargo, su principio de funcionamiento es relativamente simple, y su implementación con limitaciones aceptables es factible. En este trabajo se exponen las etapas de un Amplificador Lock-in y los elementos para su desarrollo analógico. Se ofrece un ejemplo de diseño, en donde se determina los componentes para su implementación. En el documento, se reporta el desempeño del prototipo durante la recuperación de una señal senoidal de $354 \mu V$ rms ($500 \mu V$ pico) contaminada con ruido blanco de $15 mV$ rms, con lo que se demuestra la viabilidad del circuito.

Palabras Clave: Amplificador Lock-in, Diseño analógico, Relación señal a ruido.

Abstract

Averaging and filtering techniques, to recover signals immersed in high noise levels, impact the effective bandwidth of the signal when trying to maintain a high signal-to-noise ratio. In these cases, a highly appreciated device is the Lock-in

Amplifier. Commercial equipment is expensive and not always accessible in academic and research laboratories; however, its operating principle is relatively simple, and its development with acceptable limitations is feasible. This work presents the stages that make up a Lock-in Amplifier and the elements necessary for its analog development. A design example is offered, where the value of the components is determined for the implementation of a prototype. In the document, the prototype performance during the recovery of a 354 μV rms sinusoidal signal (500 μV peak) that as contaminated with 15 mV rms white noise is reported, thus demonstrating the viability of the circuit.

Keywords: *Analog Design, Lock-in Amplifier, Prototype, Signal-to-noise ratio.*

1. Introducción

En el diseño e implementación de sistemas electrónicos, una perturbación no deseada que modifica o deteriora una señal se le denomina ruido. El ruido degrada la calidad de una señal y establece el límite de su amplitud que puede ser detectada y medida. Dependiendo de su origen, el ruido se puede clasificar como ruido externo, también conocido como ruido de interferencia, y ruido interno o ruido inherente. El primero se debe a la interacción no deseada entre un circuito y su entorno por efectos eléctricos y magnéticos, por ejemplo, en el diseño de circuitos impresos, las pistas presentan efectos resistivos, capacitivos e inductivos que dependen de sus dimensiones y de las frecuencias que circundan la tarjeta, por lo que a través de las pistas se pueden inducir o acoplar señales indeseables. El ruido inherente tiene una naturaleza aleatoria y se debe a fenómenos como la agitación térmica por el movimiento de electrones en las resistencias, así como a la recombinación de huecos y electrones en semiconductores. El ruido puede ser intermitente, periódico o completamente aleatorio. Las fuentes de ruido son diversas, la línea doméstica de 60 Hz, los aparatos electromecánicos, señales de radiofrecuencia, etc. La calidad de una señal en la presencia de ruido se establece a partir de la razón de señal a ruido o SNR (del inglés Signal to Noise Ratio) que se especifica en decibeles, donde la señal y ruido están expresados en valor eficaz. La extracción de una señal inmersa en ruido se complica conforme se reduce el SNR.

Las técnicas de promedio o filtrado se pueden usar para tratar de recuperar señales rebasadas por el ruido; sin embargo, en estos casos el costo de mantener el SNR elevado puede repercutir en el ancho de banda efectivo de la señal.

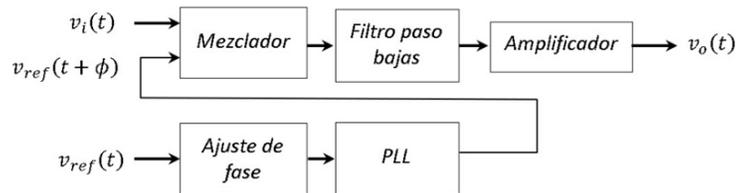
Los desarrolladores de circuitos electrónicos, constantemente se enfrentan a los efectos debidos al ruido. En el ámbito de la instrumentación, se llegan a medir señales eléctricas de baja frecuencia y con amplitudes del orden de microvolts o aún menor. Para el acondicionamiento de estas señales, se considera en primer lugar el filtrado y la amplificación. Sin embargo, cuando se desea extraer una señal de baja frecuencia del orden de hertz, inmersa en altos niveles de ruido, la detección Lock-in es muy apreciada [Bhagyajyoti, 2012], [Libbrecht, 2003], [Scofield, 1994]. La técnica Lock-in se realiza en dos pasos, en el primero, se modula directamente de su fuente la amplitud de la señal a una frecuencia fija, quedando expuesta al ruido después de este proceso. En el segundo paso, la señal modulada y contaminada con altos niveles de ruido, se demodula a partir de una referencia de amplitud fija y frecuencia similar a la usada en la modulación. La demodulación extrae una señal que se procesa con un filtro paso bajas para reducir el ancho de banda detectado, y por tanto el ruido, extrayendo una señal proporcional a la que se desea medir. Posterior a esto, la variable detectada se puede amplificar. La combinación del demodulador, filtro y amplificación se conoce como amplificador Lock-in.

El presente documento está dirigido a estudiantes y académicos que necesitan una implementación analógica de un amplificador Lock-in. En este punto es apropiado mencionar que existen trabajos en donde se reportan el diseño de implementaciones analógicas, por ejemplo, en [De Marcellis, 2007], [De Marcellis, 2017], y [Gabal, 2010], se proponen la implementación discreta del amplificador Lock-in a través de circuitos integrados comerciales. Por su parte, en [Liu, 2012] se presenta un circuito similar al que se describe en este trabajo, pero no se ofrece información relevante para su diseño. Otros trabajos interesantes que se pueden consultar son los propuestos por [Chen, 2017] y [Liang, 2023]. El primero propone el uso de un microcontrolador para ajustar la fase de la señal de referencia. El segundo considera la demodulación por cuadratura para generar dos señales parciales, y a partir del cálculo del módulo, similar al de un número complejo,

recuperar la señal de interés. Por otra parte, es justo mencionar que existen implementaciones digitales apoyadas en datalogger, tarjetas DSP y microcontroladores [Dorrington, 2002], [Bengtsson, 2012], [Hofmann, 2012], y [Aguirre, 2014]. Además de esto, una revisión sobre la evolución del amplificador Lock-in se puede consultar en [Kishore 2020].

2. Métodos

En la Figura 1, se presenta el diagrama del amplificador Lock-in que se propone implementar. El circuito está apoyado en la demodulación de la señal $v_{in}(t)$. La envolvente de esta señal es la que se desea amplificar. La señal modulada, y contaminada con altos niveles de ruido, se aplica en una de las entradas del mezclador.



Fuente: elaboración propia

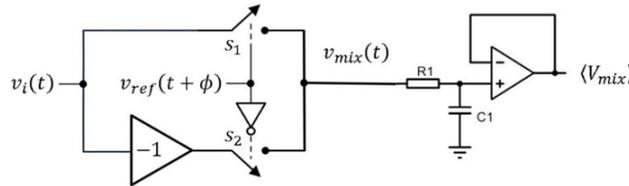
Figura 1 Diagrama de bloques de un amplificador Lock-in.

Por su parte, la señal $v_{ref}(t)$, es una señal de referencia que tiene una frecuencia similar que la señal portadora. La señal de referencia pasa por un circuito de ajuste de fase y un circuito PLL (del inglés Phase Locked Loop) antes de aplicarse al mezclador. El mezclador y el filtro paso bajas forman un circuito que se conoce como detector de fase, el cual realiza la demodulación para extraer la señal de interés, que por último se amplifica en un proceso posterior. A continuación, se tratará cada uno de estos elementos con mayor profundidad.

Detector de fase

En la Figura 2, se presenta el esquema del detector de fase, en donde se aprecia el mezclador y el filtro paso bajas. Los mezcladores más usados son el multiplicador analógico y el mezclador síncrono, en donde este último se usa extensamente en

equipos comerciales. En la imagen, se presenta un mezclador síncrono. El circuito está compuesto por dos interruptores, que se activan cada uno de forma complementaria partir de una señal digital de periodo T_s con ciclo de trabajo del 0.5; esta señal corresponde con la señal de referencia.



Fuente: elaboración propia

Figura 2 Detector de fase.

Para comprender el funcionamiento del detector, consideraremos que $v_{in}(t)$ es la modulación de la señal V_m que se desea detectar, siendo $v_{in}(t) = V_m \text{sen}(\omega t + \phi)$, donde el periodo de la señal es similar al de referencia. Tomando esto en cuenta, la señal instantánea $v_{mix}(t)$ se puede expresar por intervalos, Ecuación 1.

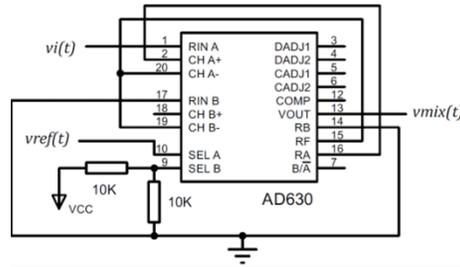
$$v_{mix}(t) = \begin{cases} V_m \text{sen}(\omega t + \phi) & 0 \leq t < T_s/2 \\ -V_m \text{sen}(\omega t + \phi) & T_s/2 \leq t < T_s \end{cases} \quad (1)$$

Esta señal se procesa por el filtro paso bajas. Si el filtro presenta una constante de tiempo mucho mayor que el periodo de la señal, es decir $\tau = R_1 C_1 \gg T_s$, entonces la respuesta del detector se reduce al valor promedio de $v_{mix}(t)$, Ecuación 2.

$$V_{mix} = \frac{2V_m}{\pi} \cos \phi \quad (2)$$

Como se puede apreciar, V_{mix} es directamente proporcional a V_m , y depende de la fase ϕ , obteniendo el máximo valor cuando las entradas del mezclador están en fase.

En la propuesta de este trabajo, se usa el circuito integrado AD630 para implementar un mezclador síncrono, Figura 3. Este circuito está compuesto por un arreglo de amplificadores operacionales y un interruptor, que configuran un circuito multiplexor con ganancias fijas de ± 1 o ± 2 dependiendo de la conexión de las resistencias internas; en el circuito de la Figura 3, se considera una configuración de ganancia unitaria.



Fuente: elaboración propia

Figura 3 Circuito AD630 configurado como mezclador síncrono con ganancia unitaria.

Filtro paso bajas

El filtro del detector se puede implementar con un arreglo en cascada de filtros activos RC de primer orden. La función de transferencia del arreglo se expresa por la Ecuación 3, donde n indica el número de filtros y $\tau = R_1 C_1$ es la constante de tiempo.

$$H_{LP}(s) = \frac{1}{(1 + s\tau)^n} \quad (3)$$

La ganancia del filtro se determina con base en la Ecuación 4, en donde $\omega = 2\pi f$ y $\omega_c = 2\pi f_c$, siendo f_c la frecuencia de corte de cada sección.

$$|H_{LP}(\omega)| = \frac{1}{\left[\sqrt{1 + \left(\frac{\omega}{\omega_c}\right)^2} \right]^n} \quad (4)$$

En la Ecuación 4, la frecuencia de -3 dB se reduce por cada filtro que se agrega, y salvo en el caso de n igual a uno, el valor de f_c no coincide con la frecuencia de -3 dB . La razón f_c/f_{-3dB} define el factor de ajuste α que permitirá calcular la frecuencia de corte apropiada. El factor α se obtiene de la Ecuación 4, cuando $|H_{LP}(\omega)|$ alcanza el valor de $1/\sqrt{2}$ o -3dB cuando $f = f_{-3dB}$, ver Ecuación 5.

$$\alpha = (n\sqrt{2} - 1)^{-1} \quad (5)$$

El filtro también se puede diseñar con base en el ancho de banda equivalente de ruido Δf_{ER} , que se obtiene a partir de la Ecuación 6. En esta expresión $|H_{LPmax}|$ es el valor máximo de la ganancia que exhibe el filtro, siendo unitario en este caso.

$$\Delta f_{ER} = \frac{1}{2\pi} \int_0^\infty \frac{|H_{LP}(\omega)|^2 d\omega}{|H_{LPmax}|^2} \quad (6)$$

Con base en lo descrito, la Tabla 1 ofrece información para calcular la frecuencia de corte y el ancho de banda equivalente de ruido, donde éste último se calcula a partir de la constante de tiempo o de la frecuencia de -3 dB . La Tabla 1 ofrece información para un arreglo de hasta cinco filtros de primer orden.

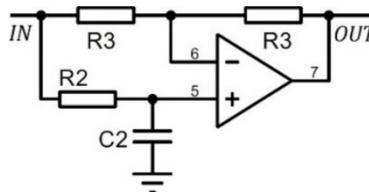
Tabla 1 Factores para el diseño del filtro.

n	f_c	Δf_{ER}	Δf_{ER}
1	f_{-3dB}	$\frac{1}{4\tau}$	$1.57f_{-3dB}$
2	$1.554f_{-3dB}$	$\frac{1}{8\tau}$	$1.22f_{-3dB}$
3	$1.961f_{-3dB}$	$\frac{1}{10.67\tau}$	$1.15f_{-3dB}$
4	$2.299f_{-3dB}$	$\frac{1}{12.78\tau}$	$1.13f_{-3dB}$
5	$2.593f_{-3dB}$	$\frac{1}{14.67\tau}$	$1.11f_{-3dB}$

Fuente: elaboración propia

Señal de referencia

La señal de referencia se obtiene de una fuente senoidal que pasa por un circuito de corrimiento de fase, Figura 4. El circuito que aparece en la imagen permite ajustar la fase en el intervalo de $(-\pi, 0)$.



Fuente: elaboración propia

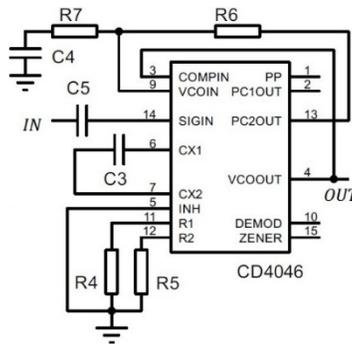
Figura 4 Circuito de corrimiento de fase.

El corrimiento se calcula con las Ecuaciones 7 y 8. En la propuesta, se recomienda que $f_{adj} = 0.1f_x$, para que R_2 se sustituya por un potenciómetro que permita ajustar la fase ϕ en el intervalo $(-0.93\pi, 0)$.

$$f_{adj} = 1/2\pi R_2 C_2 \quad (7)$$

$$\phi = -2 \operatorname{atan} \left(\frac{f_{ref}}{f_{adj}} \right) \quad (8)$$

Dado que los interruptores se activan por una señal digital, después del corrimiento de fase se usa un PLL digital para convertir la señal analógica en digital. Es posible usar un circuito más simple como un comparador con histéresis, sin embargo, el PLL ofrece un mejor desempeño ante cambios bruscos de la frecuencia de entrada y es inmune a los disparos en falso. En el diseño se usó el PLL CD4046 que tiene un VCO (del inglés Voltage Controller Oscillator) que se sincroniza con la señal de entrada a través de un filtro de lazo, Figura 5.



Fuente: elaboración propia

Figura 5 Circuito PLL CD4046 usando el comparador de fase II.

El PLL incluye dos comparadores de fase que reciben la señal de entrada y la señal de VCO. El comparador 1 mantiene las señales sincronizadas, pero presentan una diferencia de fase en función de la frecuencia. El comparador 2 sincroniza las señales y las mantiene en fase. La frecuencia central f_0 y el rango de amarre Δf_L del VCO se ajusta a través de las resistencias R_4 , R_5 y el condensador C_3 . Los valores de f_0 y Δf_L se elige similares a la frecuencia de referencia. La hoja de especificaciones del circuito detalla el procedimiento para la elección de estos componentes. Las frecuencias del polo y zero del filtro se ajustan de acuerdo con $f_z = BW/\sqrt{2}$ y $f_p = BW^2/\sqrt{K_V}$, donde BW es la tasa de cambio de la frecuencia de entrada y $K_V = V_{DD}\Delta f_L/(2V_{DD} - 4\pi)$ es el factor de ganancia cuando se usa el segundo comparador de fase del PLL. A partir de estos valores, los componentes del filtro se calculan con las Ecuaciones 9 y 10.

$$R_7 = \frac{1}{2\pi f_z C_4} \quad (9)$$

$$R_6 = \frac{1}{2\pi f_p C_4} - R_7 \quad (10)$$

La teoría a profundidad del PLL se puede consultar en [Best, 2003], pero existen otras fuentes con un enfoque práctico como [Franco, 2015] y [Horowitz, 2015].

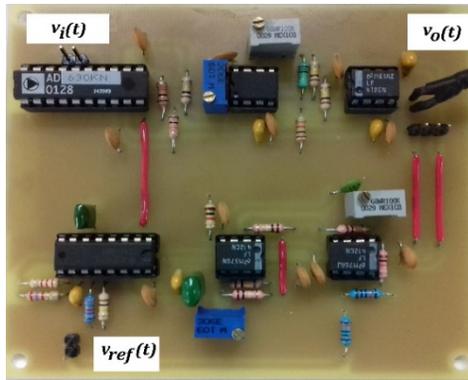
Diseño del amplificador

Ejemplo de diseño para el desarrollo del amplificador Lock-in. El ejemplo se basa en recuperar una señal senoidal de 1 Hz con un voltaje eficaz de 354 μV (500 μV pico) que está inmersa en ruido. En este diseño se propuso un filtro de salida de tres etapas y se fijó el Δf_{ER} en 10 kHz, de donde $f_{-3dB} = 8.7$ Hz y $f_c = 17$ Hz, Tabla 1.

Con base en la frecuencia de corte, y proponiendo un valor de 100 nF para C_1 , la resistencia R_1 se aproximó a 100 k Ω . Debido a que los filtros tienen ganancia unitaria y su configuración es no inversora, la amplificación final se puede realizar en el primero de los filtros (Franco, 2015). Para este propósito, se eligió R_8 y R_9 de 1 k Ω y 150 k Ω respectivamente para una ganancia de 150, en donde R_9 se implementó con un potenciómetro para tener control sobre la ganancia.

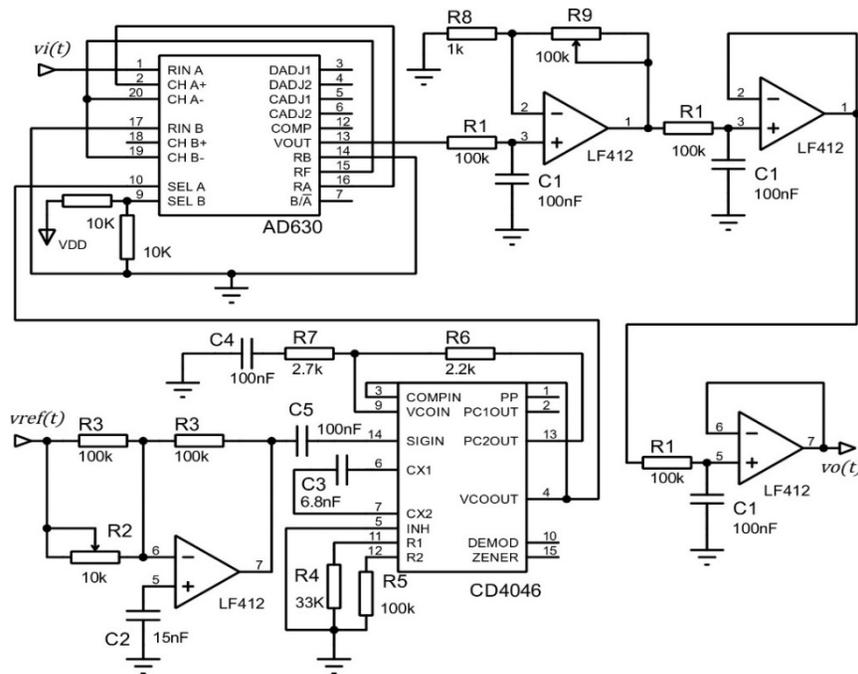
Para el circuito de corrimiento de fase, con Ecuación 8 y proponiendo un capacitor C_2 de 15 nF, se obtuvo el valor 10 k Ω para R_2 , considerando f_{ref} de 10 kHz y $f_{adj} = 0.1 f_{ref}$. En la implementación, para tener control del ajuste de la fase, se usó un potenciómetro para R_2 . En el diseño del PLL, la frecuencia f_o y su rango de amarre Δf_L se consideran iguales a la frecuencia f_{ref} . Tomando esto en cuenta, y siguiendo el procedimiento de las hojas de especificaciones del CD4046, se determinó que $R_4 = 33$ k Ω , $R_5 = 100$ k Ω y $C_3 = 5.6$ nF.

Para el filtro de lazo, con una polarización de 12 V y un ancho de banda de 1 kHz, se calcularon los siguientes parámetros: $f_z = 707.1$ Hz, $K_V = 3$ kHz y $f_p = 333.3$ Hz, y se establecieron las resistencias R_6 y R_7 de 2.7 k Ω y 2.2 k Ω respectivamente, considerando el capacitor C_4 de 100 nF, Ecuaciones 9 y 10. La Figura 6 muestra el prototipo del amplificador Lock-in y en la Figura 7 se presenta su diagrama electrónico.



Fuente: elaboración propia

Figura 6 Prototipo del amplificador Lock-in.



Fuente: elaboración propia

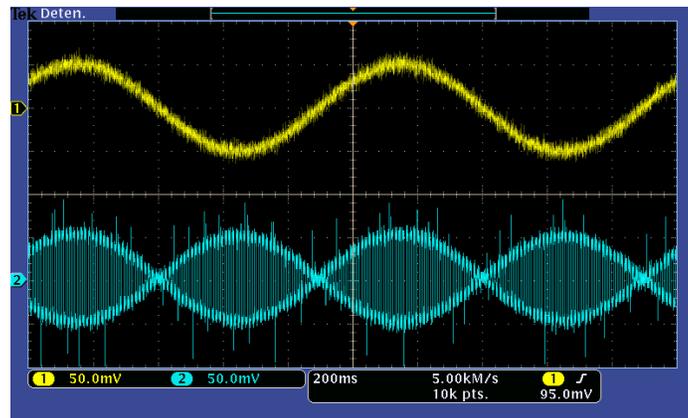
Figura 7 Diagrama electrónico del amplificador Lock-in.

3. Resultados

Para evaluar el desempeño del prototipo y tener control sobre la señal de entrada, fue necesario modular una señal senoidal de 50 mV y en un paso posterior atenuarla para obtener una señal modulada de $500\text{ }\mu\text{V}$. Después de esto, la señal se contaminó con ruido y fue procesada por el amplificador.

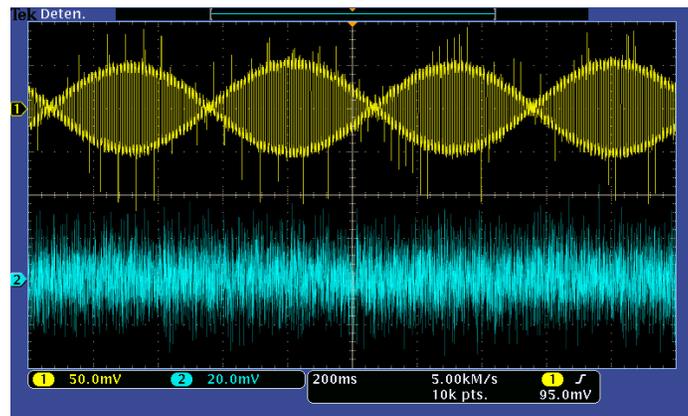
En los siguientes oscilogramas, los canales 1 y 2 se identifican por los trazos amarillo y azul respectivamente. En la Figura 8, una señal senoidal de 50 mV y

frecuencia de 1 Hz generada por un generador de funciones aparece en el canal 1 del oscilograma, y en el canal 2 se muestra la señal modulada con una portadora de 10 kHz. En la imagen, la escala por cuadro es de 50 mV en ambos canales. Por su parte, el oscilograma de la Figura 9, muestra la señal modulada sin atenuar en el canal 1, y en el canal 2 la señal atenuada y contaminada con ruido; el voltaje por cuadro en cada caso fue de 50 mV y 20 mV respectivamente. En la Figura 10, se hace una comparación de la señal contaminada con ruido, contra la que se obtuvo después de ser procesada por el amplificador Lock-in. En la imagen, el ruido alcanza valores pico de alrededor de 40 mV. La ganancia del Lock-in se ajustó para una amplificación de 40 dB, y como se aprecia, la señal recuperada tiene una amplitud de 50 mV.



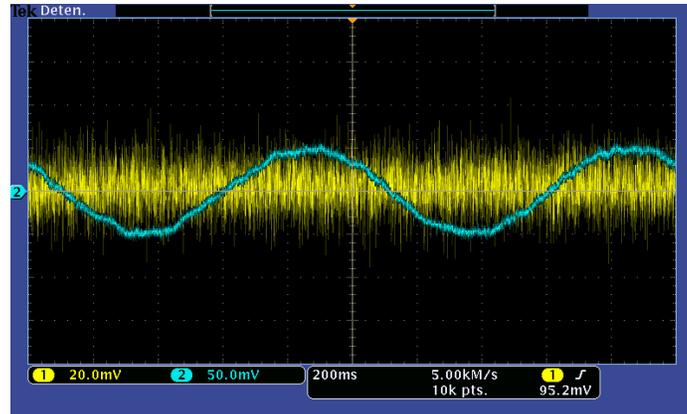
Fuente: elaboración propia

Figura 8 Señal senoidal antes y después de su modulación.



Fuente: elaboración propia

Figura 9 Señal modulada antes y después de ser atenuada y contaminada con ruido.



Fuente: elaboración propia

Figura 10 Señal inmersa en ruido y señal recuperada por el amplificador Lock-in.

4. Discusión

La señal de entrada se obtuvo modulando una senoidal de 50 mV con una portadora de 10 kHz . Posterior a esto, la señal se atenuó por -40 dB produciendo una señal modulada de $354\text{ }\mu\text{V rms}$ (o $500\text{ }\mu\text{V pico}$). A continuación, esta señal se contaminó con ruido blanco de 15 mV rms , que resultó en un valor SNR de 0.0236 o -32 dB ; es decir, durante la prueba, el ruido presentó una magnitud de 42 veces mayor que la señal de interés.

El amplificador de salida se ajustó para dar una ganancia de 40 dB , debido a la reducida amplitud de la señal que se deseaba recuperar ($500\text{ }\mu\text{V pico}$). De esta forma, la señal obtenida al final, es bastante aproximada con la señal original del generador de señales, lo que verifica el funcionamiento del circuito. Es importante destacar que la señal que se recupera presenta cierta distorsión con respecto a la señal original, sin embargo, consideramos que esto es aceptable si se toma en cuenta la relación señal a ruido del experimento.

Por otra parte, para el desarrollo de este circuito algunos puntos que se deben considerar recaen en las características de sus componentes pasivos, en donde se debe tomar en cuenta la tolerancia de las resistencias, el material de los capacitores no polarizados para el diseño de filtros y el empleo de capacitores de bypass que se conectan entre las terminales de polarización y tierra de cada circuito integrado. También es importante el uso de arreglos para la corrección de no linealidades, como el offset de modo común y/o de modo diferencial en amplificadores

operacionales y otros integrados. En el caso del circuito impreso es importante que se incluya un área de tierra apropiada cuando el impreso es de una capa, o un plano de tierra cuando el impreso es de varias capas. Un blindaje del circuito, así como de sus terminales de entrada y salida también es recomendable.

5. Conclusiones

En este trabajo, se abordó el funcionamiento general de un amplificador Lock-in, analizando cada una de sus etapas, y ofreciendo la información apropiada para su diseño e implementación. Entre los puntos más importantes, se analizó la operación del mezclador síncrono, se trató el acondicionamiento de la señal de referencia a partir de la combinación de un circuito de corrimiento de fase y un circuito PLL, y se ofreció un ejemplo de diseño.

Se mostró la implementación del circuito y a partir de su operación se obtuvieron los oscilogramas pertinentes que permitieron validar el desempeño del amplificador. Apoyados en lo anterior, se verifica que el principio de funcionamiento de un amplificador Lock-in es simple y que su implementación es factible usando circuitos integrados comerciales. En las pruebas fue posible recuperar una señal con un valor eficaz de $354 \mu V$ y un factor SNR de 0.0236.

En el prototipo la ganancia se ajustó a 40 dB , recuperando una señal de 50 mV pico. Es decir, al final del proceso se obtuvo una señal amplificada 100 veces. Si bien la señal obtenida presentó cierta distorsión, es claro que el desempeño del prototipo es confiable cuando la señal contaminada se compara contra la señal recuperada. Por último, es importante considerar que, para obtener el desempeño apropiado del circuito propuesto, el ajuste del circuito de corrimiento de fase es fundamental, obteniendo el óptimo cuando la señal modulada y la señal de referencia están en fase.

6. Bibliografía y Referencias

- [1] Aguirre, J., García-Romeo, D., Medrano, N., Calvo, B. Square-signal-based algorithm for analog Lock-in amplifiers. *IEEE Transactions on Industrial Electronics*, Volume 61, Issue 10, pp. 5590-5598, October 2014.

- [2] Bengtsson, L. E. A microcontroller-based lock-in amplifier for sub-milliohm resistance measurements. *Review of Scientific Instruments*, Volume 83, Issue 7, 7075103, pp. 1-8. July 2012.
- [3] Best, R. *Phase-Locked loops*, 5th edition, USA, McGraw Hill Professional Engineering. June 2003.
- [4] Bhagyajyoti, Immanuel, J., Sudheer, L. S., Bhaskar, P., Parvathi, C. S. Review on Lock-in Amplifier. *International Journal of Science, Engineering and Technology Research (IJSETR)* Volume 1, Issue 5, pp. 40-45. November 2012.
- [5] Chen, X., Chang, J., Wang, F., Wang, Z., Wei, W., Liu, Y, Qin, Z. A portable analog Lock-In amplifier for accurate phase measurement and application in high-precision optical oxygen concentration detection. *Photonic Sensors*, Volume 7, Issue. 1, pp. 27–36, 2017.
- [6] De Marcellis, A., Ferri, G., Patrizi, M., Stornelli, V., D'Amico, A., Di Natale, C., Martinelli, E., Alimelli, A., Paolesse, R. An integrated analog lock-in amplifier for low-voltage low-frequency sensor interface. *IWASI 2007, 2nd International Workshop on Advances in Sensors and Interface*, pp. 1-5, Bari, Italy. June 2007.
- [7] De Marcellis, A., Palange, E., Liberatore, N., Mengali, S. Low-cost portable 1 MHz Lock-In amplifier for fast measurements of pulsed signals in sensing applications. *IEEE Sensor Letter*, Volume1, Issue 4, June 2017.
- [8] Dorrington, A. A., Kunnemeyer, R. A simple microcontroller based digital lock-in amplifier for the detection of low-level optical signals. *Proceedings First IEEE International Workshop on Electronic Design, Test and Applications 2002*, pp. 486-488, Christchurch, New Zealand. August 2002.
- [9] Kishore, K, Akbar, S. A. Evolution of Lock-In Amplifier as Portable Sensor Interface Platform: A Review. *IEEE Sensors Journal*, Volume 20, Issue 18, pp. 10345-10354, September 2020.
- [10] Franco, S. *Design with operational amplifiers and analog integrated circuits*. 4th edition, New York, USA, McGraw-Hill Series in Electrical and Computer Engineering, pp. 678-693. 2015.

- [11] Gabal, M., Medrano, N., Calvo, B., Martínez, P. A., Celma, S., Valero, M. R. A complete low voltage analog lock-in amplifier to recover sensor signals buried in noise for embedded applications. Elsevier, *Procedia Engineering* 5, pp. 74-77. 2010.
- [12] Hofmann, M., Bierl, R., Rueck, T. Implementation of a dual-phase lock-in amplifier on a TMS320C5515 digital signal processor. 5th European DSP Education and Research Conference (EDERC), Amsterdam, pp. 20-24. 2012.
- [13] Horowitz, P., Hill W. *The Art of Electronics*, 3rd edition, USA, Cambridge University Press, pp. 955-974. 2015.
- [14] Liang, T., Bai, X., Suo, P., Tian, W., Sun, J., Xu, L. Design and comparison of two Lock-In amplifiers using demodulators AD630 and ADA2200, 2023 IEEE International Instrumentation and Measurement Technology Conference (I2MTC), Kuala Lumpur, Malaysia, pp. 01-06, 2023.
- [15] Libbrecht, K. G., Black, E. D., Hirata, C. M. A basic lock-in amplifier experiment for the undergraduate laboratory. *American Journal of Physics*, Volume 71, Issue 11, pp. 1208-1213. November 2003.
- [16] Liu, Y. L., Zhang, R. AD630 Lock-in amplifier circuit for weak signal. *Advanced materials research*, Vols. 482-484, pp. 975-980, 2012.
- [17] Scofield, J. H., Frequency-domain description of a lock-in amplifier. *American Journal of Physics* Volume 62, Issue 2, pp. 129-133. February 1994.