

EFFECTOS PARÁSITOS EN INTERCONEXIONES DE CIs, Y SUS CONSIDERACIONES DE DISEÑO A NIVEL LAYOUT

*PARASITIC EFFECTS IN IC INTERCONNECTIONS,
AND DESIGN CONSIDERATIONS
AT THE LAYOUT LEVEL*

David Gerardo Rivera Orozco

Cinvestav-Unidad Guadalajara, México
david.rivera@cinvestav.mx

Federico Sandoval Ibarra

Cinvestav-Unidad Guadalajara, México
federico.sandoval@cinvestav.mx

Recepción: 22/noviembre/2020

Aceptación: 1/febrero/2021

Resumen

En este trabajo se presenta el impacto no deseado de los efectos parásitos causados por la resistencia laminar de diversos materiales y las capacitancias parásitas debido a las interconexiones de sistemas electrónicos implementados en tecnologías de circuitos integrados. En la práctica, dado que no es suficiente atender las reglas de diseño, se muestran las consideraciones y los compromisos existentes cuando se interconectan transistores y/o circuitos con líneas de metal y/o de polisilicio. Como aplicación práctica, se presenta el diseño de un comparador de voltaje usando las facilidades de una tecnología NMOS, 5 μm , 8.0 V, conveniente por su análisis en DC. Los resultados de simulación obtenidos con LTspice exhiben el impacto de los efectos no deseados debido a las interconexiones. Dado que degradan el desempeño del comparador, se describe el fenómeno conforme a los postulados de la teoría de circuitos, además de una estrategia de diseño para minimizar estos efectos.

Palabras Clave: Interconexiones, circuitos integrados, *layout*, comparador de voltaje, circuitos NMOS.

Abstract

This paper presents the undesired impact of parasitic effects caused by the laminar resistance of various materials and the parasitic capacitances due to the interconnections of electronic systems implemented in integrated circuit technologies is presented. In practice, because it is not enough to meet the design rules, the considerations to be assessed and the trade-offs that exists when interconnecting transistors and/or circuits with metal and/or polysilicon lines are shown. As a practical application, the design of a voltage comparator is presented using the facilities of a NMOS technology, 5 μm , 8.0 V, convenient for its DC analysis. The simulation results obtained with LTspice show the impact of undesired effects due to interconnections. Since they degrade the performance of the comparator, the phenomenon is described according to the postulates of circuit theory, in addition to a design strategy to minimize these effects.

Keywords: *Interconnections, integrated circuits, layout, voltage comparator, NMOS circuits.*

1. Introducción

Para que todo diseñador de circuitos tenga una evaluación precisa de la velocidad de propagación de las señales y los problemas inherentes del ruido intrínseco, todo componente parásito debido a interconexiones debe ser adecuadamente identificado y descrito con amplitud [Sylvester, 1998]. A pesar de que se han propuesto novedosas técnicas de *layout*, como esas que emplean algoritmos de momento incremental tanto en árboles Steiner de ruta corta hasta árboles Steiner de radio limitado [Cong, 2001], no debe olvidarse que el espacio de las variables de diseño y, en particular, las fuentes de no idealidades incluyen aproximaciones basadas en una comprensión limitada de los fenómenos físicos bajo estudio, y esa comprensión generalmente se representa como un modelo analítico. Así como el uso de simulaciones numéricas –como parte del proceso de diseño– los modelos analíticos son necesarios para predecir el impacto en el comportamiento eléctrico de circuitos y sistemas [Guerrero, 2012]. Aún más, realizar el diseño del *layout* no debe ser una tarea azarosa, sino que en su desarrollo debe

tenerse en cuenta una metodología de diseño, que no sólo atienda las reglas de diseño en sí, sino que esté basada en estrategias de simetría y que incorpore técnicas de reducción de *mismatch* como centroide común, factor común y/o el denominado par emparejado [Leigh, 2003], por citar algunas. Asimismo, no debe olvidarse que en tecnologías de silicio hay capacitancias parásitas que se modelan como sistemas de placas paralelas, y al ser directamente proporcionales al área geométrica, es fundamental el método de *layout* utilizado para conocer la ubicación de aquellas capacitancias parásitas en transistores y líneas de interconexión, y sin dejar de mencionar que es muy importante realizar el diseño llamado *multi-fingering* [Smith, 1994]. A la fecha, se han reportado notorias mejoras en los tiempos de respuesta (en circuitos y sistemas) y ha sido tanto por la reducción de la resistencia intrínseca de los materiales como el polisilicio (usado como la compuerta del transistor), el cual se utiliza como material de interconexión, una práctica que no se recomienda. Sin dejar de lado que los diseños del *layout* pueden aprovechar los distintos niveles de metalización, y aumentar la cantidad de contactos [Jhon, 2009], lo que minimiza otros efectos parásitos. Por lo anterior, en esta contribución es de interés ofrecer a la comunidad diversas consideraciones de diseño que deben atenderse al desarrollar todo diseño físico o *layout*, fundamentalmente en lo que a interconexiones entre circuitos/transistores se refiere. En la práctica, todo diseñador debe comprender que existen componentes parásitos que limitan el desempeño de los circuitos, y también debe entender el origen de los efectos no deseados y qué tipo de afectaciones se tendrán a corto y largo plazo, como retardos no deseados en la propagación de señales, movimiento en niveles de DC, presencia del fenómeno de *crosstalk* y de electromigración, por mencionar algunos. Aún más, se debe adoptar una postura de integración de los componentes parásitos a través de modelos cuando se realice el diseño del *layout*, y ello con el propósito de estar en condición de predecir el comportamiento del circuito, incluso en una simulación *post-layout*. Para estos fines, el presente documento se estructura de la siguiente manera. En la sección 2 se presenta el origen físico de aquellos efectos parásitos que coexisten en las interconexiones de todo circuito integrado (CI) –las que pueden ser tratadas como líneas de transmisión–, así como los efectos que ocasionan y que

merman el desempeño de los circuitos y sistemas. En la misma sección, se describe la resistencia laminar, los modelos matemáticos que la cuantifican y se muestra cuál es su efecto intrínseco en todo CI. Se muestra también que, en conjunto, esta resistencia y la capacitancia parásita forman redes RC no deseadas, lo que genera retardos distribuidos. En la sección 3, como ejemplo de la puesta en práctica del presente artículo, se presenta un ejemplo práctico del diseño de un comparador de voltaje en tecnología NMOS, 5 μm , 8.0 V. El interés de diseñar con esta tecnología radica en aprovechar una tecnología netamente mexicana de fabricación de circuitos integrados, favoreciendo el desarrollo de esta actividad a nivel académico e industrial en el país. La sección 4 presenta una discusión de resultados para la valoración existente entre el compromiso de diseño de sistemas electrónicos, en cuanto al diseño del *layout* y el cumplimiento de reglas de diseño. Para finalizar, en la sección 5 se presentan las conclusiones del presente trabajo.

2. Métodos

La importancia de definir modelos que representen de manera eficiente los efectos físicos parásitos presentes en las interconexiones radica en la necesidad de diseñar cada vez dispositivos electrónicos con una mejor integridad de la señal, y minimizando las pérdidas de energía. La pérdida de potencia de las señales en los conductores, por ejemplo, está definida en su mayoría por la geometría, por la conductividad del material y por la distribución del flujo de corriente. Principalmente, en el diseño físico de sistemas electrónicos, los efectos que más predominan son generados por la resistencia serie y la capacitancia parásita. Estos efectos pueden generar afectaciones al desempeño del dispositivo, degradando su funcionalidad y comprometiendo su confiabilidad, ya que a largo plazo acelera el llamado envejecimiento de los transistores cuyas causas comunes son el fenómeno de electromigración y las denominadas *trampas* [Razavi, 2001]. En esta sección se aborda cómo es que surgen estos fenómenos y cuáles son las consideraciones necesarias para dotar a un diseño físico de mayor eficiencia.

Se sabe *a priori*, que existen efectos parásitos que merman el desempeño de dispositivos, especialmente en altas frecuencias. Para ello, y por simplicidad de

análisis, considérese un capacitor de placas paralelas. La impedancia del capacitor ideal, en el dominio de la frecuencia, está determinado por la ecuación 1.

$$Z_c(j\omega) = \frac{1}{j\omega C} \quad (1)$$

En corriente alterna, y a altas frecuencias, el *efecto piel* juega un papel fundamental ya que modifica el comportamiento ideal del capacitor. Este efecto es un mecanismo inductivo relacionado con el cambio de los campos electromagnéticos en el conductor. Debido a este efecto, se genera que la corriente tienda a la superficie externa del conductor, acortando el área efectiva en la cual la corriente está fluyendo, y es causado por las corrientes de Eddy que son inducidas por el campo electromagnético cambiante, resultado de la corriente alterna. Una representación pictórica del efecto piel puede apreciarse en la figura 1, donde de la figura 1a, a la figura 1c, se muestra la densidad de corriente (área en gris) dentro de la sección transversal de un conductor. En la figura 1a se aprecia la corriente circulando en DC, en la figura 1b circulando en AC a baja frecuencia y en la figura 1c cuando el efecto piel es muy notorio en altas frecuencias. La figura 1d muestra, por el contrario, el efecto piel en un conductor planar, como en un PCB o CI. Finalmente, en la figura 1e se aprecia el flujo de electrones en un conductor circular, representados por las flechas en azul.

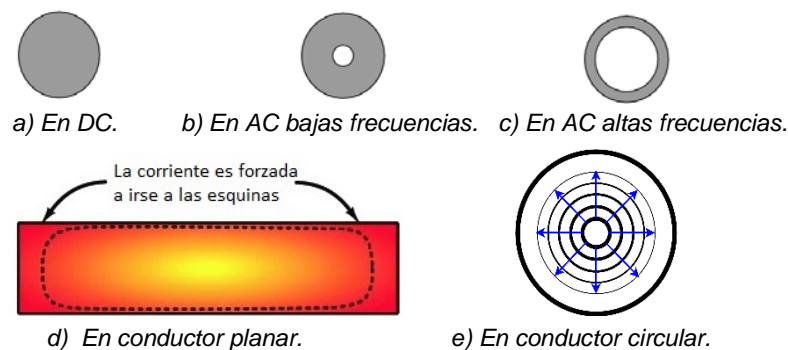


Figura 1 Efecto piel.

Entonces, puede definirse que el efecto piel es el generador de fenómenos parásitos [Clayton 2006], y la manera más notoria de apreciar su efecto en un capacitor es entendiendo que se modifica el comportamiento en altas frecuencias, esto permite

generar un nuevo modelo para el capacitor, ilustrado en la figura 2. La respuesta no ideal de la impedancia en el dominio de la frecuencia puede observarse en la figura 3, donde se aprecia el comportamiento capacitivo a bajas frecuencias, llega a una frecuencia de resonancia y luego se presenta un efecto inductivo. Además, se aprecia una comparativa con la respuesta ideal, generado por el modelo matemático presentado en la ecuación 1.

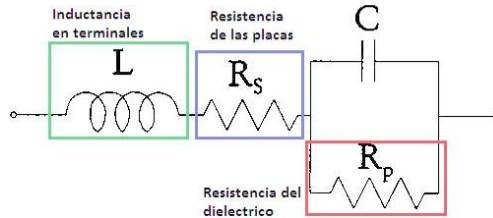


Figura 2 Modelo del comportamiento del capacitor en alta frecuencia.

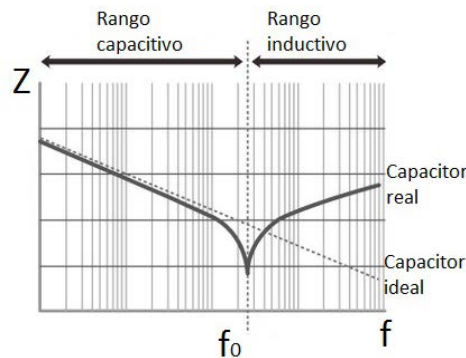


Figura 3 Impedancia de un capacitor ideal y real.

En adición, muchos de los dispositivos actuales están orientados a manejar diferentes velocidades de transmisión de datos. Y cuando se desea incrementar la velocidad, las interconexiones se ven afectadas, debido a que muchas señales operan en frecuencias de microondas, donde la longitud de onda es comparable a la longitud física de la línea y por tanto las interconexiones deben ser tratadas como líneas de transmisión (*LTs*). Sus parámetros fundamentales de toda *LT* son la impedancia característica (Z_c) y la constante de propagación (γ), que dependen tanto de sus propiedades eléctricas como de la geometría de su estructura; entre más ancha la línea, Z_c disminuye y entre más angosta, la impedancia aumenta. Una *LT* puede ser representada con una red de parámetros distribuidos, donde el voltaje

y la corriente varían en magnitud y fase en toda la longitud. Su modelo eléctrico equivalente puede apreciarse en la figura 4 [Cortés, 2013]. Cabe señalar que el valor de Z_c depende directamente del valor del ancho (W) y no de la longitud (L), mientras que la longitud eléctrica depende directamente del valor de L y no de W .

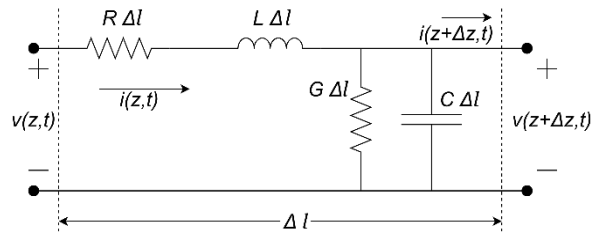


Figura 4 Circuito equivalente de una LT , donde dicho esquema se repite cada Δl veces.

En un CI existen, naturalmente, líneas de interconexión con mayor distancia que otras, y se clasifican en locales y globales. Las locales normalmente son líneas cortas que conectan compuertas lógicas, terminales de fuente y drenaje en transistores MOS y pueden estar formadas por silicio policristalino (Poly), mientras que las líneas globales conectan diversas secciones del circuito y en consecuencia su dimensión física es mayor. Las interconexiones locales suelen tener mayor resistividad que las interconexiones globales debido a que las señales no recorren grandes distancias, caso contrario de las interconexiones globales que se fabrican con materiales de menor resistencia. ¿Qué implica usar una u otra, o combinaciones de ambas? Empecemos por decir que en el diseño a nivel *layout* de un CI, la capa de Poly también se puede usar –al igual que el metal– como línea de conexión. Si bien el efecto no deseado es mucho más notorio a altas frecuencias, no se deben pasar por alto el tipo de efectos parásitos asociados. Sin embargo, existen otros fenómenos que son inherentes al material de interconexión y aparecen en todo momento. La principal limitación cuando se usa Poly es el valor de su resistencia laminar. Esta resistencia –también conocida como resistencia superficial, resistencia cuadro o resistencia de hoja– es una propiedad eléctrica utilizada para caracterizar láminas, o capas delgadas de semiconductores, como regiones difundidas o implantadas con iones, películas epitaxiales, capas policristalinas y conductores metálicos. Ohms por cuadro (Ω/\square) es la unidad de una

medida eléctrica de resistividad superficial a través de cualquier área cuadrada dada de un material, en este caso de la resistencia laminar. Es una medida de la oposición al movimiento de electrones a través de un área de la superficie de un material y normalizada a una unidad cuadrada. Esta medida está destinada a ser un parámetro básico de los materiales y no depende del área absoluta, longitud o grosor [Fowler, 2011]. Sea cual sea el material, la resistencia laminar se puede considerar como la integral de esa profundidad en la que puede cuantificarse la densidad de átomos de impurezas en la muestra (o material) bajo estudio, y es independiente de la variación de la densidad de dopaje usado [Schroder, 2006]. Como ejemplo, considérese la figura 5, donde el valor de la resistencia es función de la resistividad del material y de las dimensiones físicas, como se aprecia en la ecuación 2.

$$R = \rho \frac{L}{A} \quad (2)$$

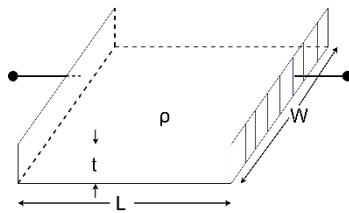


Figura 5 Muestra de un material dado con dos terminales.

Si ahora se representa el área A en función del grosor t y del ancho W , puede reescribirse el modelo como se observa en la ecuación 3.

$$R = \frac{\rho L}{tW} \quad (3)$$

Para muestras dopadas uniformemente, se cuantifica a la resistencia laminar como se muestra en la ecuación 4, o alternativamente como en la ecuación 5, expresado como una conductividad eléctrica. Finalmente, puede escribirse la resistencia total como se aprecia en la ecuación 6.

$$R_{sq} = \frac{\rho}{t} \quad (4)$$

$$R_{sq} = \frac{1}{\sigma t} \quad (5)$$

$$R = R_{sq} \frac{L}{W} \quad (6)$$

Análogamente, para muestras no dopadas uniformemente se tiene la ecuación 7.

$$R_{sq} = \frac{1}{\int_0^t \left[\frac{1}{\rho(x)} \right] dx} = \frac{1}{\int_0^t [\sigma(x)] dx} = \frac{1}{q \int_0^t [n(x)\mu_n(x) + p(x)\mu_p(x)] dx} \quad (7)$$

La resistencia laminar de las capas metálicas es de aproximadamente $0.1 \Omega/\square$. En contraposición, la resistencia laminar del Poly dopado puede ser del orden de $200 \Omega/\square$. La capacitancia asociada al sustrato también es mayor para el Poly simplemente porque está más cerca del sustrato. Por lo tanto, el retardo a través de una línea de Poly puede ser considerablemente mayor que el retardo a través de una línea de metal. Para reducir la resistencia laminar del Poly, un siliciuro (un material que es una mezcla de silicio y un metal refractario) como $TiSi_2$ (Siliciuro de Titanio) o WF_6 (Hexafluoruro de tungsteno) se deposita sobre el dispositivo MOS y la región semiconductor, como se muestra en la figura 6. La unión del siliciuro y la compuerta Poly se llama *policida* [Baker, 2005].

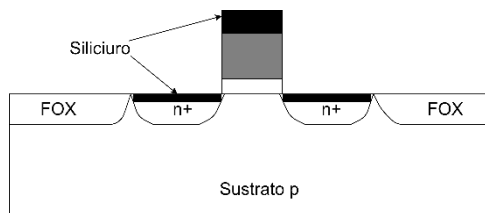


Figura 6 Siliciuro aplicado a compuerta, fuente y drenador.

Uno de los problemas más serios que ocasiona un mal diseño de estas interconexiones es el de la electromigración, que es el proceso por el cual un átomo se *mueve* de lugar por acción de la electricidad, *i.e.*, los electrones colisionan contra los núcleos atómicos y les transfieren una cantidad de movimiento. Justamente es proporcional a la densidad de corriente. Un adecuado manejo de corriente a través del dimensionamiento de las pistas de conexión cobra relevancia cuando se quiere evitar tener este tipo de problema. Cuando existen mayores densidades de corrientes, los átomos de aluminio (o del material que esté hecho) en la interconexión “migran”, dejando un hueco que eventualmente (después de algunos

años en operación) crecen hasta presentar una discontinuidad, es decir, se crean ya sean cortes en las pistas o cortocircuitos, como se aprecia en la figura 7. Como figura-de-mérito se considera que 1 mA por micrómetro de densidad de corrientes es aceptable, pero este valor puede cambiar de acuerdo con el grosor del metal empleado [Razavi, 2001].

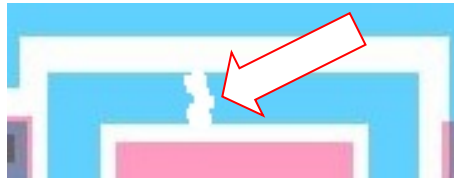


Figura 7 El fenómeno de electromigración puede crear cortes en el conductor.

Otra forma en que pueden presentarse efectos parásitos, pero ahora de naturaleza capacitiva, es en cruces Poly-metal. Los capacitores en CIs pueden ser fabricados usando Poly, una región semiconductor (n+ o p+) o metal. Una de las opciones para fabricar capacitores MOS es utilizando Poly y metal con una capa de dieléctrico entre los materiales, como se ve en la figura 8 [Toumazou, 2002]. Esto puede usarse intencionalmente a favor para diseñar capacitores, o bien en interconexiones no deseadas que se generan por el propio diseño del *layout*.

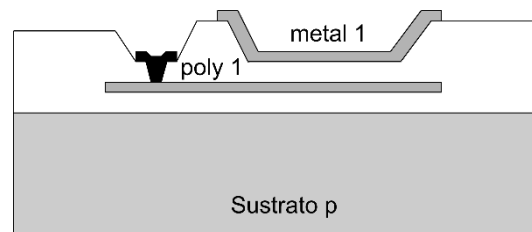


Figura 8 Estructuras de capacitor Poly-metal.

Y bien, ¿qué repercusiones al desempeño de un circuito tienen estos efectos tanto resistivos como capacitivos que se generan? Se pueden reproducir redes RC distribuidas como la que se aprecia en la figura 9 que tienen una implicación directa en la respuesta del circuito. Una de las principales afectaciones es que generan un retardo.

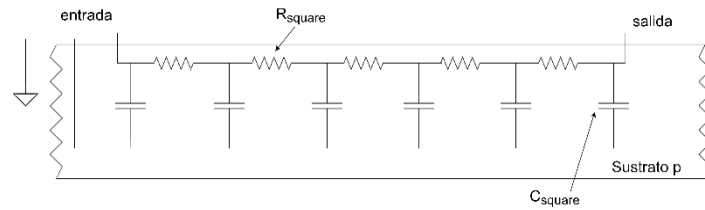


Figura 9 Resistencia y capacitancias parásitas en una sección del CI.

Para estimar el retardo a través de un circuito RC distribuido, considérese el circuito que se muestra en la figura 10. Se estima el retardo de la entrada al nodo A utilizando la ecuación 8, y se considera a R_{square} como la resistencia laminar, y C_{square} como la capacitancia parásita asociada al proceso [Baker, 2005].

$$t_{dA} = 0.7R_{square}C_{square} \quad (8)$$

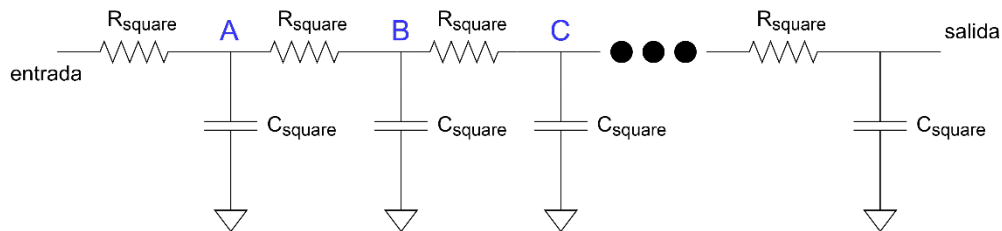


Figura 10 Diagrama para el cálculo del retardo a través de un retardo RC distribuido.

El retardo al nodo B es la suma del retardo al punto A más el retardo asociado con la carga de la capacitancia en el nodo B a través de $2R_{square}$. En la ecuación 9 puede apreciarse esta expresión.

$$t_{dB} = 0.7(R_{square}C_{square} + 2R_{square}C_{square}) \quad (9)$$

Similantemente el retardo al nodo C, está dado por la ecuación 10.

$$t_{dC} = 0.7(R_{square}C_{square} + 2R_{square}C_{square} + 3R_{square}C_{square}) \quad (10)$$

Para un gran número de secciones RC –que se nombrará l –, puede escribirse el retardo total a través del retardo RC distribuido, como se aprecia en la ecuación 11. Los términos que se encuentran en el paréntesis se pueden simplificar con ayuda de la suma de Gauss mostrada en la ecuación 12.

$$t_d = 0.7R_{square}C_{square}(1 + 2 + 3 + 4 \dots + l) \quad (11)$$

$$(1 + 2 + 3 + 4 \dots + l) = \frac{l(l + 1)}{2} \quad (12)$$

Entonces incorporando esta simplificación en la ecuación 11, resulta un modelo compacto, que se presenta en la ecuación 13.

$$t_d = 0.35 R_{square} C_{square} l^2 \quad (13)$$

3. Resultados

Como caso de estudio, se considera el diseño de un comparador de voltaje con una tecnología NMOS de 5 μm , 8.0 V, de CIDESI-Querétaro. Este proceso es desarrollado a partir de obleas de silicio de 100 mm de diámetro, con un espesor de 500 μm . De forma general, el proceso consta de una capa de metal y una película de polisilicio [CIDESI, 2020]. La topología que se seleccionó para este circuito es una propuesta patentada por Edward Pumphrey en 1989 [Pumphrey, 1989], y es básicamente un comparador de voltaje analógico NMOS que tiene dos pares de inversores en cascada acoplados. El circuito emplea transistores NMOS de enriquecimiento y empobrecimiento. Para el caso del proceso de fabricación descrito en esta contribución, únicamente se disponen de transistores de enriquecimiento, por lo que para tener un funcionamiento similar al descrito por E. Pumphrey es necesario compensar con transistores que tengan un mayor manejo de corriente. El circuito con la topología propuesta se presenta en la figura 11.

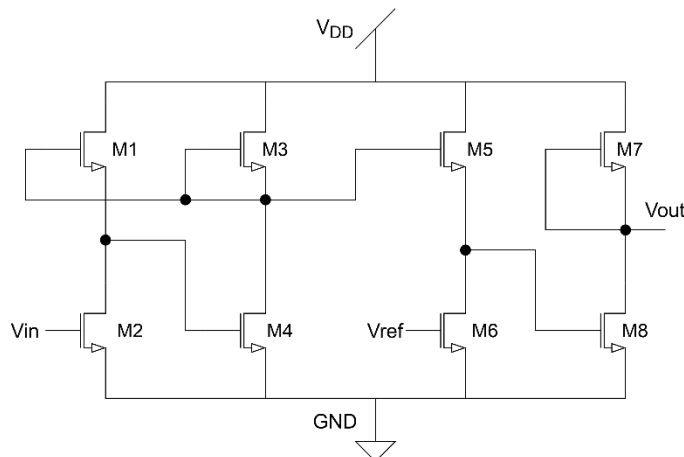


Figura 11 Comparador de voltaje con topología NMOS.

El software para el diseño del esquemático y del *layout* es Electric VLSI, el cual es de distribución libre. La herramienta empleada para la simulación es LTspice, donde se considera un entorno controlado a temperatura ambiente $\approx 27^\circ\text{C}$. La alimentación es monopolar (8.0 V), y se utilizó un capacitor de carga $C_L=20\text{ pF}$. Las dimensiones de los transistores se muestran en la tabla 1.

Tabla 1 Dimensiones de los transistores del comparador de voltaje.

Transistor	W (μm)	L (μm)
M1	150	5
M2	150	5
M3	500	5
M4	300	30
M5	150	5
M6	150	5
M7	500	10
M8	30	160

La característica de transferencia en DC se muestra en la figura 12, exponiendo su desempeño como comparador de voltaje. Se hace un barrido al voltaje de entrada y se inyecta un voltaje de referencia cada 500 mV, donde cada señal representa la respuesta ante un voltaje de referencia dado.

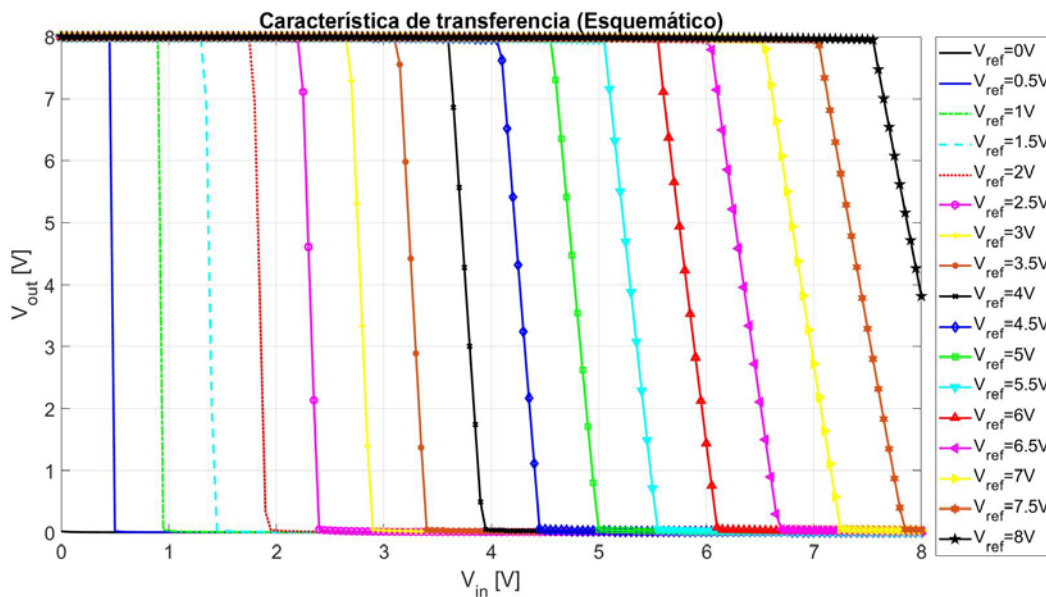


Figura 12 Respuesta del esquemático del comparador de voltaje en DC.

La funcionalidad de este comparador es la siguiente: mientras el voltaje de entrada sea menor que el voltaje de referencia, la respuesta será equivalente a $V_{DD} = 8.0 \text{ V}$ o un “1” lógico. Idealmente, si el voltaje de entrada es mayor o igual que el voltaje de referencia, la respuesta será de 0 V o un “0” lógico.

Para el diseño del *layout* (figura 13) se consideró una simetría en el eje x, y fue considerando los transistores que más introducían asimetría; el *layout* ocupa un área de integración de $960 \mu\text{m} \times 465 \mu\text{m}$. Asimismo, se realizó la simulación *post-layout* considerando la extracción de parásitas propias de la tecnología, bajo las mismas condiciones de simulación que en el diagrama esquemático, arrojando como resultado la característica de transferencia de la figura 14.

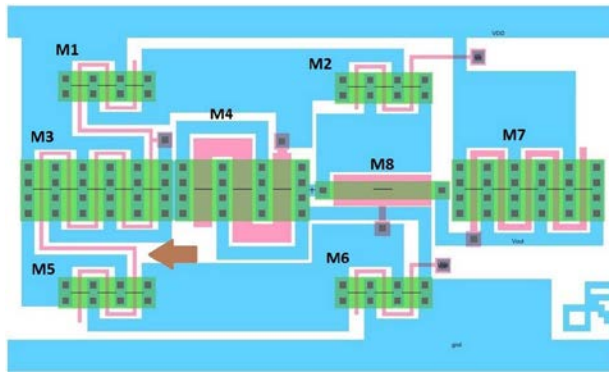


Figura 13 Diseño del *layout* del comparador; la flecha marrón señala conexiones Poly.

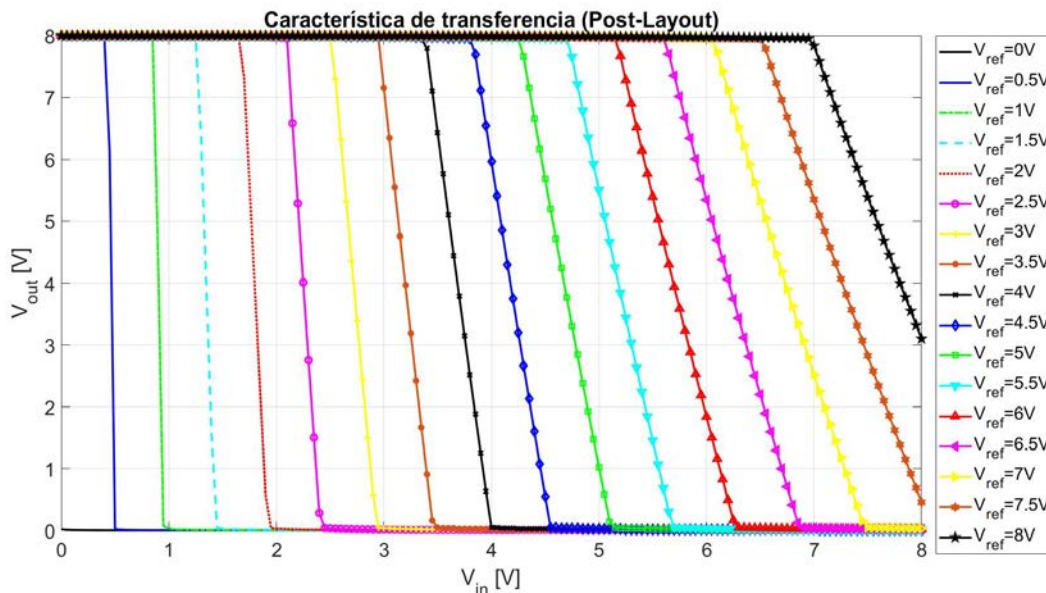


Figura 14 Respuesta *post-layout* del comparador de voltaje en DC.

Una comparativa entre ambas respuestas puede apreciarse en la tabla 2, donde para cada voltaje de referencia se mide el voltaje umbral al 50% (4.0 V) para diferenciar el “1” y “0” lógicos, además de su error relativo.

Tabla 2 Comparativa entre respuestas del esquemático y *post-layout*.

Vref	V _{50%} (Sch)	V _{50%} (Lay)	ε _r (Sch)	ε _r (Lay)
500 mV	482 mV	470 mV	3.6%	6%
1 V	923 mV	912 mV	7.7%	8.8%
1.5 V	1.37 V	1.351 V	8.6%	9.9%
2 V	1.83 V	1.797 V	8.5%	10.15%
2.5 V	2.31 V	2.25 V	7.6%	10%
3 V	2.78 V	2.721 V	7.3%	9.3%
3.5 V	3.26 V	3.197 V	6.8%	8.6%
4 V	3.75 V	3.691 V	6.2%	7.7%
4.5 V	4.27 V	4.171 V	5.1%	7.3%
5 V	4.77 V	4.679 V	4.6%	6.4%
5.5 V	5.29 V	5.186 V	3.8%	5.7%
6 V	5.82 V	5.701 V	3%	4.98%
6.5 V	6.35 V	6.209 V	2.3%	4.4%
7 V	6.88 V	6.737 V	1.71%	3.7%
7.5 V	7.43 V	7.265 V	0.9%	3.1%
8 V	7.98 V	7.807 V	0.2%	2.4%

La tabla 2 reporta un aumento del error relativo en promedio del 1.9% en la simulación *post-layout*, ya que el valor de V_{50%} se recorre a valores de voltaje menores. Esto es debido al efecto de los componentes parásitos reportados en el modelo de simulación.

Para tener un mejor panorama de la ubicación de estas parásitas, se presenta la figura 15 extraída del *script* arrojado por los modelos de simulación. En dicha figura, las líneas en color azul representan a los elementos parásitos en las interconexiones; estrictamente no representan una interconexión física en el circuito. Puede apreciarse que los efectos RC distribuidos y en cascada de distintos valores, generados por la resistencia laminar y la capacitancia parásita asociada al diseño físico predominan en las ramas de transistores donde la *L* es mayor a la dimensión mínima, y derivan en retardos, los cuales son posibles calcular con ayuda de la descripción matemática presentada en la sección anterior. Los valores de resistencia y capacitancia reportados en la extracción de las parásitas pueden

apreciarse en la tabla 3; se destaca un valor considerable de R1, de alrededor de 138 k Ω . Este valor resistivo es justamente el generado por las interconexiones de Poly entre las compuertas de los transistores de la izquierda (M1, M3 y M5) en el diseño del *layout* mostrado en la figura 13 y señalado con una flecha color marrón. Si bien es cierto que se genera una resistencia parásita de un valor considerable, logra evitarse el cruce con alguna zona de metal, evitando generar capacitancias parásitas de naturaleza Poly-metal.

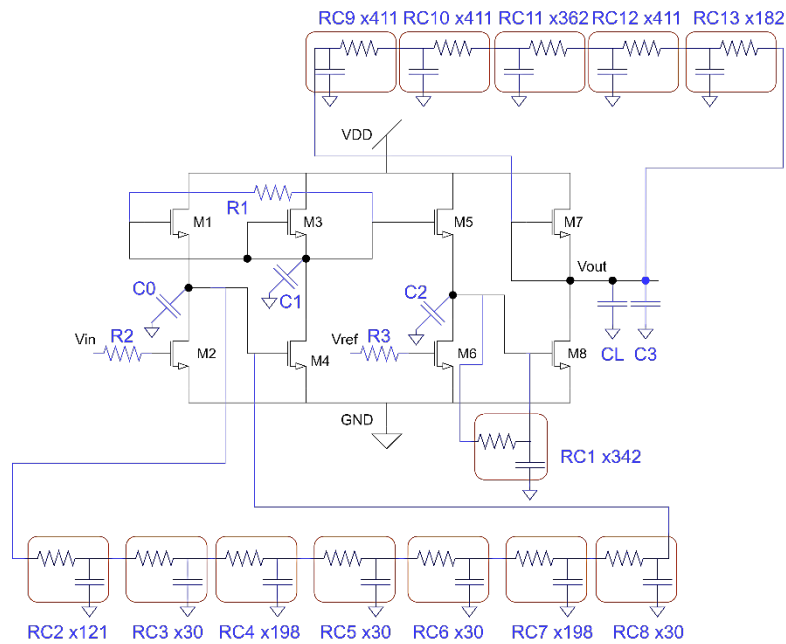


Figura 15 Extracción de parásitas con el modelo de simulación del *post-layout*.

Tabla 3 Valores de resistencias y capacitores resultantes de la extracción de parásitas.

Componente	Valor
R1	138,869 Ω
R2	39,039 Ω
R3	27,836 Ω
C0	6,755.706 fF
C1	2,661.842 fF
C2	8,721.407 fF
C3	1,527.654 fF
CL	20 pF
RC1	R=9.993 Ω , C=0.173 fF
RC2	R=9.989 Ω , C=0.378 fF
RC3, RC5, RC6, RC8	R=9.828 Ω , C=1.413 fF
RC4, RC7	R=9.951 Ω , C=1.47 fF
RC9, RC10, RC11, RC12	R=9.983 Ω , C=0.173 fF
RC13	R=9.989 Ω , C=0.173 fF

De la tabla 3, también es sobresaliente el valor capacitivo de C0, C1, C2 y C3, que es del orden de los miles de femto Faradios. Esta capacitancia representa la conexión entre la fuente del transistor superior y drenaje del transistor inferior del par de transistores de cada rama, y está determinado principalmente por el dimensionamiento de las líneas de conexión de metal.

4. Discusión

Para determinar correctamente el valor de W y L de una interconexión tratada como línea de transmisión, es necesario, adicionalmente conocer información del proceso tales como la altura del sustrato, el espesor del material que se usa como interconexión y la constante dieléctrica del material. A través de la simulación *post-layout* puede el diseñador darse cuenta de que no es suficiente hacer y diseñar únicamente el *layout*, también es necesaria la extracción de parásitas del modelo. Dentro de las consideraciones a tomar cuando se está diseñando el *layout* de un circuito con un solo nivel de metalización, está el evaluar qué tipo de interconexión usar. Dado el grado de complejidad del diseño, existirá un compromiso entre utilizar líneas de Poly como conexión, las cuales, dependiendo de la distancia, pueden introducir una resistencia parásita considerable, como en este caso que fue de alrededor de 138 k Ω , como se aprecia en la figura 13 en la interconexión de las compuertas, o utilizar una conexión más corta, pero cruzando metal (como en el caso de las compuertas de los transistores M2, M6 y M8), con pleno conocimiento que existirá una capacitancia parásita asociada, que aunque el modelo la incorpore o no, la caracterización del dispositivo revelará limitaciones en el desempeño debido a la existencia efectos parásitos. Sin embargo, el uso de Poly como línea de conexión en distancias cortas evitando el cruce antes mencionado, no tiene un impacto significativo en el desempeño del circuito final.

5. Conclusiones

Se ha presentado un estudio de las consideraciones que se deben adoptar cuando se desee incursionar en el diseño físico de sistemas electrónicos a través de *layout*, en cuanto a las interconexiones se refiere. Para ello, se ha presentado el

diseño de un comparador de voltaje en tecnología NMOS de 5 μm , realizando el *layout* para su posterior fabricación con el Centro de Ingeniería Y Desarrollo Industrial (CIDESI) a través de la Dirección de Microtecnologías y su laboratorio perteneciente a la red de cuartos limpios de México, con su proyecto piloto Oblea Multiproyecto, aprovechando este nicho de oportunidad con esta empresa 100% mexicana. Cabe señalar que esta propuesta está ahora en fabricación. Emplear Poly para conectar circuitos tiene su costo, en forma de una resistencia de valor considerable. También el hacer cruces de Poly con metal tiene una repercusión en la generación de capacitancias parásitas, que a la postre originan redes RC distribuidas. Todo ello aminora la funcionalidad de cualquier diseño, pero como todo en el diseño de sistemas electrónicos, es un compromiso que el diseñador deberá valorar en función de la aplicación final, el área disponible y la complejidad del diseño. Finalmente, validar y puntualizar la importancia del uso de la extracción de parásitas mediante el modelo del fabricante y la simulación *post-layout*.

6. Bibliografía y Referencias

- [1] Baker, R. (2005). CMOS Circuit Design, Layout and Simulation, 2nd Ed. USA: John Wiley & Sons.
- [2] CIDESI NM05 Manual de referencia, Dirección de Microtecnologías del Centro de Ingeniería y Desarrollo Industrial, Prueba piloto de proceso NMOS de 5 μm de CIDESI, Versión 0.1a, Querétaro, QRO, México, 2020.
- [3] Clayton, R. (2006), Introduction to Electromagnetic Compatibility, 2nd edition, Wiley-Interscience, ISBN 978-0-471-75500-5.
- [4] Cong, J., Cheng-Kok Koh and P. H. Madden. Interconnect layout optimization under higher order RLC model for MCM designs. In IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 20, no. 12, pp. 1455-1463, Dec. 2001.
- [5] Cortés-Hernández, D. (2013). Caracterización de parámetros eléctricos dependientes de frecuencia en interconexiones de circuitos integrados. Tesis de Maestría, Instituto Nacional de Astrofísica, Óptica y Electrónica, Tonantzintla, Puebla, México.

- [6] Fowler, S. (2011). Ohms per Square What? ESD Journal: <http://www.esdjournal.com/techpaper/ohmmtr/ohm.htm>.
- [7] Guerrero-Linares, L., F. Sandoval-Ibarra and J. R. Loo-Yau, Non-idealities in analog circuits design: What does it really mean?, 2012 IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS), Boise, ID, 2012, pp. 586-589, doi: 10.1109/MWSCAS.2012.6292088.
- [8] Jhon, H. et al., f_{max} Improvement by Controlling Extrinsic Parasitics in Circuit-Level MOS Transistor, in IEEE Electron Device Letters, vol. 30, no. 12, pp. 1323-1325, Dec. 2009, doi: 10.1109/LED.2009.2032249.
- [9] Leigh, W. B., Simplifying analog CMOS design for undergraduates, Proceedings 2003 IEEE International Conference on Microelectronic Systems Education. MSE'03, Anaheim, CA, USA, 2003, pp. 156-157, doi: 10.1109/MSE.2003.1205296.
- [10] Pumphrey E., NMOS analog voltage comparator, U.S. Patent 4 812 681, Mar. 14, 1989.
- [11] Razavi, B. (2001). Design of Analog CMOS Integrated Circuits, McGraw-Hill, ISBN 0-07-238032-2.
- [12] Schroder, D. (2006). Semiconductor material and device characterization, 3er Ed. USA: John Wiley & Sons. Arizona State University. ISBN-13: 978-0-471-73906-7.
- [13] Smith S., M. Ismail, Chung-Chih Hung and Shu-Chuan Huang, Layout design considerations in MOS continuous-time integrated filters, Proceedings of APCCAS'94 - 1994 Asia Pacific Conference on Circuits and Systems, Taipei, Taiwan, 1994, pp. 300-305, doi: 10.1109/APCCAS.1994.514566.
- [14] Sylvester D., J. C. Chen and Chenming Hu, Investigation of interconnect capacitance characterization using charge-based capacitance measurement (CBCM) technique and three-dimensional simulation, in IEEE Journal of Solid-State Circuits, vol. 33, no. 3, pp. 449-453, March 1998, doi: 10.1109/4.661210.
- [15] Toumazou C., Moschytz G., Gilbert B. (2002) Trade-Offs in Analog Circuit Design: The Designers Companion, Kluwer Academic Publishers, ISBN 1-4020-7037-3.