

# **DISEÑO E IMPLEMENTACIÓN EN VHDL DE UN SISTEMA DE SINCRONIZACIÓN MEDIANTE FPGA y PPS PARA REFERENCIA DE 1 ms**

*DESIGN AND IMPLEMENTATION IN VHDL OF A SYNCHRONIZATION SYSTEM USING FPGA AND PPS FOR A 1 ms REFERENCE*

**María Amparo Sánchez Magaña**

Universidad Autónoma de Querétaro  
*amparosamag@gmail.com*

**Luis Morales Velázquez**

Universidad Autónoma de Querétaro  
*lmorales@hspdigital.org*

## **Resumen**

Los lazos de seguimiento de fase (PLL) son ampliamente utilizados en materia de telecomunicaciones, redes inalámbricas y redes inteligentes como herramienta para mantener señales sincronizadas. En el presente trabajo se muestra el diseño propuesto de un lazo de seguimiento de fase completamente digital (ADPLL) utilizado como sintetizador de frecuencia. La solución desarrollada utiliza una referencia de temporización externa con alta estabilidad y a la salida obtiene una sincronización de una señal con período de 1 ms.

Al modelo clásico del ADPLL se agregaron un par de módulos digitales con la finalidad de mantener las características de estabilidad del oscilador principal. Se comprobó además que mediante la implementación de un ADPLL se disminuye el error de fase acumulativo presente en todos los osciladores de cristal. Los resultados del modelo propuesto se muestran en la sección 3, así como también se presenta la simulación para verificar su funcionamiento y comprobar las ecuaciones propuestas en la sección 2.

**Palabra(s) Clave:** ADPLL, FPGA, GPS, sincronización.

## **Abstract**

*Phase Locked Loops (PLL) are widely used in telecommunication, wireless & wire line, and intelligent networks to keep signals synchronized. This paper shows the budget design for an All Digital Phase Locked Loop used as a frequency synthesizer. The develop solution uses an external high-stability timing reference that achieves the synchronization of a 1 ms period signal.*

*Two digital modules were added to the classic ADPLL model in order to maintain the stability characteristics of the main oscillator. It was also verified that through the implementation of an ADPLL it is possible to reduce the accumulative phase error present in all crystal oscillators. The results of the budget model are shown in section 3, as well as the simulation to verify the operation and verification of the equations developed in section 2.*

**Keywords:** ADPLL, FPGA, GPS, synchronization.

## **1. Introducción**

La sincronización en tiempo es un tema de gran relevancia hoy en día y su uso se ha extendido en las redes industriales en general. Normalmente estas redes están compuestas de una gran cantidad de nodos dispersos sobre un área con la finalidad de monitorear un fenómeno de interés, sin embargo, la recolección de los datos por cada nodo debe estar apropiadamente sincronizada con el objetivo de reducir variaciones que pueden ser perjudiciales en la adquisición de datos [Al-Kofahi, 2016]. La sincronización en tiempo normalmente se basa en marcas de tiempo que son proporcionadas por equipos que cuentan con una notable precisión y estabilidad que por ende son tomadas como referencia para la secuencia correcta de eventos en un proceso [Razo, 2016].

Gracias al avance tecnológico, los sistemas de posicionamiento global nos permiten sincronizar múltiples relojes en amplias áreas geográficas de manera exacta ya que está constituido por una constelación de 24 satélites con relojes atómicos, cuyos valores cuentan con una alta estabilidad y exactitud alcanzando fluctuaciones de período que rondan por debajo de las décimas de nanosegundos [Grobler, 2006].

Dentro de las aplicaciones relacionadas a la sincronización con tiempo global se pueden destacar aquellas en mediciones de voltaje en sistemas eléctricos de alta potencia [Yao, 2018], en redes de telecomunicación digital como herramienta para agregar flexibilidad en las mismas [Shan, 2014], por mencionar algunos ; donde generalmente para el ajuste en tiempo de una red se recurre a estándares y protocolos, establecidos por la IEEE (Institute of Electrical and Electronics Engineers), los cuales regulan el perfil de datos con la finalidad de cumplir con los requisitos de sincronización de tiempo [Amelot, 2010] tales como: IEEE 1588 Precision Time Protocol (PTP) o el Network Time Protocol (NTP). Sin embargo, en estos intervienen varios factores que no permiten que la sincronización se realice con precisión ya que a pesar del retardo de espera existen otros componentes de retardo como lo son el retardo de procesamiento y el retardo de transmisión [Hadzic, 2011]. Otra herramienta que logra proporcionar etiquetas de tiempo para las mediciones de eventos de manera uniforme son los lazos de seguimiento de fase (Phase Locked Loop, PLL) y que alcanza una alta resolución de etiquetas de tiempo, aunque requiere un tiempo de adquisición más largo para lograr una sincronización estable [Jahja, 2014].

Pese a que existen lazos de seguimiento analógicos, en el presente trabajo se describe el desarrollo de un lazo de seguimiento de fase completamente digital e implementado en FPGA cuyo detector de fase no depende de la superposición de la señal de referencia y la señal a sincronizar, sino que se pretende trabajar a partir de las comparaciones y no alineaciones de los flancos ascendentes de la señal de un pulso por segundo (Pulse Per Second, PPS) provista de un receptor GPS. Esta manera síncrona de enlazar dos señales en frecuencia y fase permite continuar generando de forma correcta la señal a sincronizar aún y cuando el receptor se encuentre trabajando bajo condiciones no habituales, es decir, que la señal PPS se haya perdido.

### **El problema de la variación de frecuencia**

En la actualidad los dispositivos electrónicos trabajan a una frecuencia nominal, la cual es proporcionada por un oscilador integrado, y que es especificada en la hoja

de datos del dispositivo. Sin embargo, en la realidad esta frecuencia no es constante, su estabilidad está ligada directamente a las condiciones de operación del dispositivo como la temperatura. Para determinar estas variaciones de frecuencia, se utiliza el término partes por millón (Parts-Per-Million, PPM), el cual se refiere a la diferencia entre la frecuencia nominal del oscilador y su frecuencia actual o real y es definido por el proveedor del oscilador [Cerde, 2014].

Para la implementación del presente proyecto se utilizó una tarjeta de desarrollo DUA 4, la cual utiliza el oscilador 535-9995-1-ND de Abracon LLC con una frecuencia nominal de 48 MHz, con una variación de frecuencia especificada de +/- 100 ppm. Las frecuencias mínimas y máximas de operación se pueden calcular mediante las ecuaciones 1 y 2 respectivamente, con  $f_{nominal} = 48MH$  y  $f_{nominal} = 48 MHz$ .

$$f_{min} = \frac{f_{nominal}}{1 + \left(\frac{valor\ ppm}{1 \times 10^6}\right)} = 47,995,200.48\ Hz \quad (1)$$

$$f_{máx} = f_{nominal} \left(1 + \frac{valor\ ppm}{1 \times 10^6}\right) = 48,004,800\ Hz \quad (2)$$

A simple vista, esta variación de frecuencia es muy pequeña y por lo tanto se supondría despreciable al no sobrepasar ni siquiera el 0.01% de error de la frecuencia nominal. Sin embargo, si se mantiene en operación continua esta deriva puede presentar errores en el rango de minutos en largos períodos de operación. Teniendo como ejemplo una señal de 1 Hz generada con un oscilador de 48 MHz trabajando únicamente a frecuencias mínimas, luego de treinta días de trabajo continuo la fluctuación total entre la señal generada y una señal de 1 Hz ideal serían  $\Delta T = 259.14\ segundos$ . O lo que es igual, la señal de 1 Hz generada por el oscilador estaría 4.31 minutos en atraso respecto a una señal ideal con la misma frecuencia.

### Lazo de seguimiento de fase

El lazo de seguimiento de fase (Phase Locked Loop, PLL) es un sistema cerrado con retroalimentación capaz de mantener una señal de salida sincronizada tanto en frecuencia como en fase en relación con una señal de referencia [Roland, 2003].

Se trata de un circuito donde se pretende que el error de fase entre la señal de referencia y la señal de salida sea cero o se mantenga constante. El diagrama a bloques de un PLL básico consiste en tres bloques.

- Un detector de fase (PD – Phase Detector)
- Un filtro de lazo (LF – Loop Filter)
- Un oscilador de voltaje controlado (VCO – Voltage Controlled Oscillator)

Aunque un divisor de frecuencia se puede agregar cuando el PLL es utilizado como sintetizador de frecuencia, como se muestra en la figura 1.

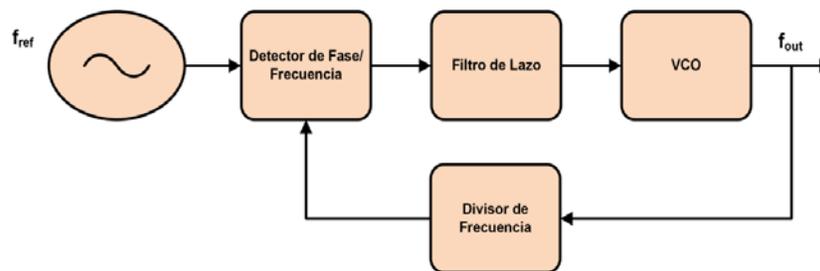


Figura 1 Diagrama general de PLL analógico.

Un detector de fase es un módulo responsable que comprara la fase de la señal de salida con la fase la señal de referencia. A la salida se obtiene una señal proporcional al error de fase  $\theta_e$ , con un rango limitado al error máximo que puede haber entre ambas señales. La salida del módulo detector de fase puede modelarse mediante la ecuación 3.

$$u_d(t) = K_d \theta_e \quad (3)$$

donde  $k_d$  representa la ganancia del detector de fase y sus unidades están dadas en volts por radianes [Roland, 2003].

La señal  $u_d$  entra a la unidad filtro de lazo el cual se encarga de filtrar las frecuencias altas que no son deseadas, ya que el filtro de lazo se encarga de dejar pasar las frecuencias bajas y de suprimir las altas, por lo que se trata prácticamente de un filtro pasa-bajas. En la mayoría de los diseños de PLL se utiliza un filtro pasa-bajas de primer orden, algunas de las versiones más comúnmente encontradas son:

- Filtro pasivo de retardo de fase.

- Filtro activo de retardo de fase.
- Filtro activo PI (Proporcional-Integral).

Un oscilador de voltaje controlado (VCO) es un tipo de oscilador controlado muy utilizado en sistemas de comunicación en el que la frecuencia de oscilación es proporcional a un voltaje de entrada. Su función es la de convertir este voltaje de entrada de corriente directa (CD) a una señal sinusoidal en la salida, es decir que la frecuencia de la señal de salida cambia cuando el voltaje de entrada varía. En los PLL se encarga de oscilar a una frecuencia cercana la frecuencia de la señal de entrada y varía su frecuencia de modo que se genere una señal que siga a la frecuencia de la señal de referencia. Los osciladores de voltaje controlado (VCO) son un tipo de oscilador controlado utilizados en variedad de aplicaciones como sistemas de comunicación y circuitos de temporización. Particularmente, los VCO's son empleados comúnmente en sistemas de control de lazo de seguimiento de fase. Se pueden considerar como circuitos que transforman una señal de voltaje de control de entrada en una señal de salida con una frecuencia deseada en el que la frecuencia de oscilación de la señal de salida es proporcional al voltaje de la señal de entrada [Roland, 2003]. Su función es la de convertir este voltaje de entrada de corriente directa (CD) a una señal sinusoidal en la salida, es decir que la frecuencia de la señal de salida cambia cuando el voltaje de entrada varía. En los PLL se encarga de oscilar a una frecuencia cercana a la frecuencia de la señal de entrada y varía su frecuencia de modo que se genere una señal que siga a la frecuencia de la señal de referencia. Los VCO's operan dentro de una banda finita de frecuencias, idealmente esta banda debe estar centrada alrededor de la frecuencia deseada, sin embargo, las variaciones inherentes del proceso limitan la precisión que se puede alcanzar al llevar a cabo el centrado de la banda de frecuencia cerca de la frecuencia que se desea [Mitchel, 2005].

## **2. Métodos**

Se ha implementado la estructura mostrada en la figura 2, la cual consta principalmente de dos módulos:

- Módulo generador PPS.
- Módulo de sincronización.

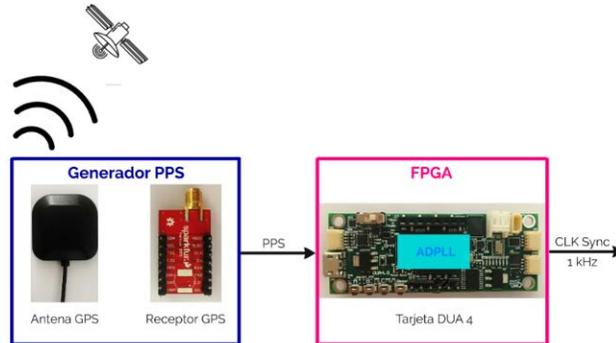


Figura 2 Esquema general de la metodología.

En el primero se encuentra la antena y el receptor GPS conectados entre ellos por medio de un conector SMA. Es importante mencionar que la antena GPS debe permanecer en todo momento en el exterior, con el fin de evitar fallas con el enlace satelital. El receptor GPS utilizado es el Venus634LPx el cual tiene a su salida una señal digital en estado lógico alto durante 4 ms a una frecuencia de 1 Hz. Esta señal es la referencia a la cual debe sincronizarse una señal generada por la tarjeta FPGA en el módulo de sincronización. Dicho módulo está constituido por un PLL completamente digital trabajando como sintetizador de frecuencia, por lo que se pretende generar una nueva señal a 1 kHz que mantenga las mismas características de estabilidad, exactitud y tolerancia del oscilador principal, logrando con esto que no se presente deriva en frecuencia ante períodos largos de operación.

La arquitectura digital propuesta del ADPLL se muestra en la figura 3, la cual consiste de un detector de flancos, un detector de fase-frecuencia, un oscilador digital controlado (DCO), un divisor de frecuencia, un contador y temporizador, además de una máquina de estados encargada de realizar la tarea de control de la estructura digital.

Como señal de entrada se tiene la señal PPS proveniente del GPS y como salida la señal CLK de 1 kHz sincronizada. La señal PPS ingresa al detector de flancos generando un pulso cada que este detecta un cambio de nivel lógico bajo a alto en

la señal de PPS. El pulso generado a partir de la señal PPS ingresa al detector de fase-frecuencia en donde se obtiene el desfase que esta señal presenta en relación con la señal generada por el divisor de frecuencia. La señal proveniente del divisor de frecuencia está constituida por un pulso de reloj a la misma frecuencia que la señal PPS generado a partir de la señal CLK. El desfase es representado por la variable K1 que sirve de valor final para el contador offset y las señales F1 y F2 indican si el desfase en la señal de 1 Hz está en adelanto o en atraso. La entrada al contador proviene del temporizador offset el cual básicamente es la base de tiempo determinada por la diferencia de tiempo entre el periodo nominal y el mínimo o máximo esperado (K2). Una vez que el contador offset llega al valor establecido la compensación se considera concluida. La máquina de estados es la encargada de realizar la acción de control además del envío y recepción de señales de inicio y conclusión a algunos de los módulos involucrados.

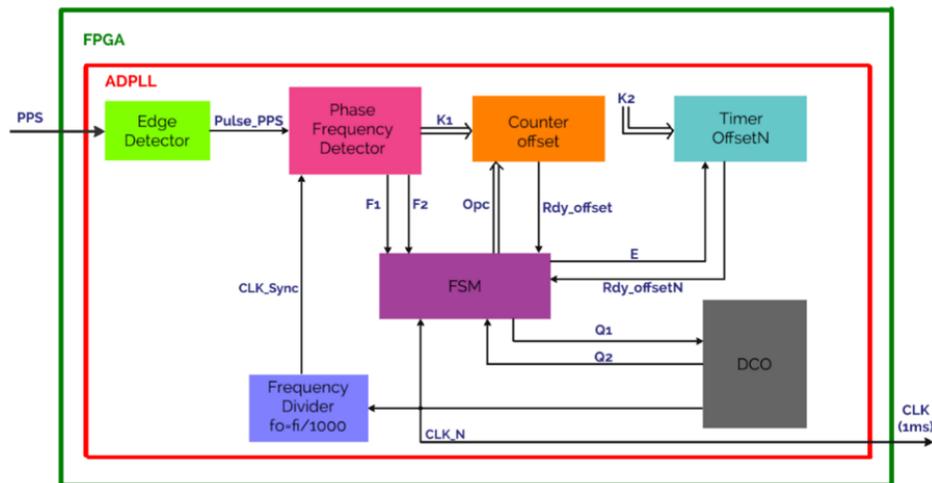


Figura 3 Diagrama a bloques ADPLL.

### Detector de flancos

Como se mencionó anteriormente, los PLLs usaban el área de superposición entre las señales de entrada y la de retroalimentación para calcular el error de fase. No obstante, dentro de las estructuras digitales síncronas es necesario detectar la transición de un estado a otro. Para este caso en particular, un detector de flancos ascendentes en la señal PPS debe ser implementado.

Dicho detector de flancos está compuesto de dos Flip Flops tipo D, una compuerta lógica NOT y una compuerta lógica AND, tal y como se muestra en la figura 4. A la salida de este bloque se tendrá un pulso en alto cuando se detecte un flanco ascendente de la entrada PPS, en caso contrario la salida se mantendrá en bajo.

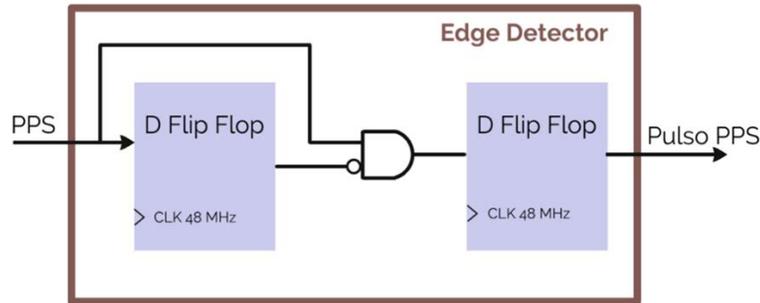


Figura 4 Diagrama a bloques, detector de flancos.

Debido a que ambos Flip Flops están conectados de manera serial, estos presentan un retardo en cada ciclo de la señal PPS proporcionada por el GPS, este retardo está dado en decenas de nanosegundos. El ángulo de fase entre la señal PPS y la señal pulso a la salida del módulo del detector de flancos está dado por la ecuación 4.

$$\varphi_{\text{detector flancos}} = \frac{2 * \pi}{2 * f_{osc}} = 2.62 \times 10^{-7} \text{ rad} \quad (4)$$

Este ángulo de fase entre ambas señales es constante y de ninguna manera se acumulará error entre ambas señales a través del tiempo.

### Detector de fase- frecuencia

En el presente proyecto se diseñó un detector de fase que comparara los flancos ascendentes de las señales pulso PPS y la señal con frecuencia de 1 Hz a sincronizar (CLK Sync). A la salida de este módulo se encuentran dos banderas, F1 y F2, las cuales indican el estado entre las dos señales a enganchar:

- CLK Sync en atraso a la señal de referencia: Un estado lógico en alto se mantendrá en F<sub>1</sub>, mientras que F<sub>2</sub> permanecerá en estado bajo.

- CLK Sync en adelanto a la señal de referencia: Un estado lógico en alto se mantendrá en  $F_2$ , mientras que  $F_1$  permanecerá en estado bajo.

Así mismo, a la salida se encuentra un número proporcional a la diferencia de tiempo entre los bordes ascendentes entre la señal de referencia entrante y la señal de retroalimentación; donde dicha cantidad se encuentra limitada a la tolerancia del oscilador de la tarjeta. Como se mencionó en el capítulo 1, el oscilador 535-9995-1-ND a utilizar indica una variación de frecuencia máxima de  $\pm 100$  ppm, la cual se pretende mantener en la señal CLK Sync. Aplicando la ecuación 1 y 2 se obtiene que, para una señal de 1 Hz, la variación de tiempo máxima entre la frecuencia nominal y la real que puede presentarse es de  $\Delta T = 1 \times 10^{-4}$  segundos.

Para obtener el valor máximo a la salida del detector de fase frecuencia es necesario hacer un escalamiento e implementar un contador; donde el factor de escalamiento es la relación entre el desfase máximo deseado y la frecuencia del oscilador principal como se muestra en la ecuación 5.

$$K_1 = f_{oscilador} \Delta T = 4800 \text{ cuentas} \quad (5)$$

esta cuenta del contador es directamente proporcional a la magnitud del error de fase, tal y como se muestra en la ecuación 6.

$$\theta_e = \frac{2K\pi(f_{PFD})}{f_{oscilador} - f_{PFD}} \quad (6)$$

Por lo que el error de fase máximo que se puede compensar manteniendo la tolerancia del oscilador principal es de  $\theta_{e(\max)} = 6.281876441 \times 10^{-4}$  rad.

### DCO (Digital Controlled Oscillator)

Este módulo es de gran importancia en el lazo de seguimiento de fase y es la parte del sistema donde se realiza la compensación en tiempo de la señal a sincronizar.

Está compuesto por un temporizador operando a la frecuencia de resolución deseada y trabaja en conjunto con la máquina de estados principal. Posee dos

entradas:  $Q_1$  y  $Q_2$ , las cuales modifican directamente la cuenta del temporizador del DCO.

En la estructura digital, un temporizador se describe como un contador de ciclos del oscilador y un comparador. El contador se encuentra activo en todo momento y cuando la cuenta actual logre alcanzar la cantidad necesaria para obtener una señal de 1 ms, un pulso en estado lógico alto (CLK\_N) se mantendrá a la salida del DCO. La cuenta del temporizador puede ser directamente modificada mediante las señales de entrada  $Q_1$  y  $Q_2$ . La entrada  $Q_1$  representa un atraso de la señal CLK Sync con referencia a la señal pulso PPS por lo que la base de tiempo del temporizador deberá disminuirse. Esto se logra aumentando la tasa de cambio a dos mientras  $Q_1$  esté en estado lógico alto.

En el caso contrario que se presente un adelanto de la señal CLK Sync con referencia a la señal pulso PPS la base de tiempo del temporizador deberá aumentarse, manteniendo la cuenta actual del temporizador mientras  $Q_2$  esté en estado lógico alto. Este principio de funcionamiento puede verse en la tabla 1. Donde cuenta(n) representa la cuenta actual en el contador del temporizador del DCO.

Tabla 1 Tabla de verdad contador del DCO.

Entradas		Cuenta (n+1)
$Q_1$	$Q_2$	
0	0	Cuenta(n)+1
0	1	Cuenta(n)
1	0	Cuenta(n)+2

### Contador offset y temporizador offsetN

Como se explicó en la descripción del detector de fase frecuencia, existe factor máximo para el conteo del desfase entre la señal de entrada y de retroalimentación de 1 Hz. No obstante, este factor no es el mismo para una señal con una frecuencia mil veces mayor. Se espera que la señal de 1 ms a la salida del módulo DCO cuente con las mismas características de estabilidad que el oscilador principal, es por ello por lo que un módulo extra (temporizador offsetN) es agregado al diseño.

Calculando la variación de tiempo máxima en una señal de 1 kHz con tolerancia de  $\pm 100$  ppm,  $\Delta T$  (max) =  $1 \times 10^{-7}$  segundos.

El cual corresponde a un factor de:  $K_2$  (max) =  $4.8 \approx 5$

Debido a que el factor no es un número fraccionario, se redondea hacia el entero próximo. Si bien esto nos permite lograr la compensación máxima necesaria, la tolerancia para una señal con frecuencia de 1 kHz aumentará en relación al aumento del factor en el temporizador offsetN, como se muestra en la ecuación 7.

$$PPM = \frac{1 \times 10^6 \text{ factor}}{f_{oscilador} T_{nominal}} = 104.1666667 \quad (7)$$

El módulo temporizador offsetN es un temporizador que rige la compensación en la señal de 1 kHz, mientras que el contador offset cuenta la compensación máxima en la señal de 1 Hz. La tabla de verdad del contador se muestra en la tabla 2.

Tabla 2 Tabla de verdad contador del contador offset.

Opc	Q(n+1)
00	Q(n)
01	Q(n)
10	Q(n)+1
11	'0'

### Divisor de frecuencia

Por último, pero no menos importante se encuentra un divisor de frecuencia, el cual, como su nombre lo indica divide la frecuencia de la señal obtenida por el DCO. Recordemos que a la salida del DCO se tiene un pulso que tiene una frecuencia equivalente a la resolución que se requiere (1 ms) y que por razones obvias no puede compararse en frecuencia con la señal pulso PPS proporcionada por el GPS. Es por esto que un divisor de frecuencia es necesario antes de ser retroalimentado al detector fase frecuencia.

La señal a la salida del DCO debe ser escalada por un factor N, demostrado en la ecuación 8, el cual controlará la frecuencia a la salida del módulo divisor de frecuencia.

$$f_{sync} = N f_{CLKN} \quad (8)$$

Para este caso en particular, una frecuencia de 1 kHz debe ser escalada a la misma frecuencia de 1 Hz del PPS por lo que  $N=1000$ .

### 3. Resultados

En una primera prueba, se pretendió conocer el comportamiento del oscilador 535-9995-1-ND de Abracon LLC. Se generó una señal de 1 Hz sin utilizar ningún método de sincronización. Dentro de las primeras muestras ambas señales presentaron un error de fase mínimo, casi despreciable. Luego de veinte minutos de operación constante, se pudo observar un desfase mayor entre las señales, alcanzando los 1.288 ms tal y como se muestra en la figura 5. El canal C1 muestra la señal generada por el FPGA mientras que la señal C2 es la señal provista por el receptor GPS. Si bien se puede concluir que el oscilador de la tarjeta se encuentra trabajando dentro de la tolerancia especificada, la deriva en el tiempo que presenta se observa como un error de fase acumulativo a lo largo del tiempo.



Figura 5 Medición de desfase entre señales sin ADPLL después 20 minutos de operación ( $\Delta T=1.2$  ms).

La prueba anterior se repitió una vez más, utilizando esta vez el módulo de sincronización diseñado. Dentro de este módulo la señal es retroalimentada con el fin de disminuir el error de fase acumulativo. Los resultados obtenidos se muestran en la figura 6. Durante los veinte minutos de operación ambas señales presentaron un desfase mínimo, no acumulativo y menor a  $1 \mu s$ . Por lo tanto, el ADPLL

diseñado logra mantener enganchadas ambas señales conservando el ángulo entre ellas por debajo de la tolerancia máxima especificada.

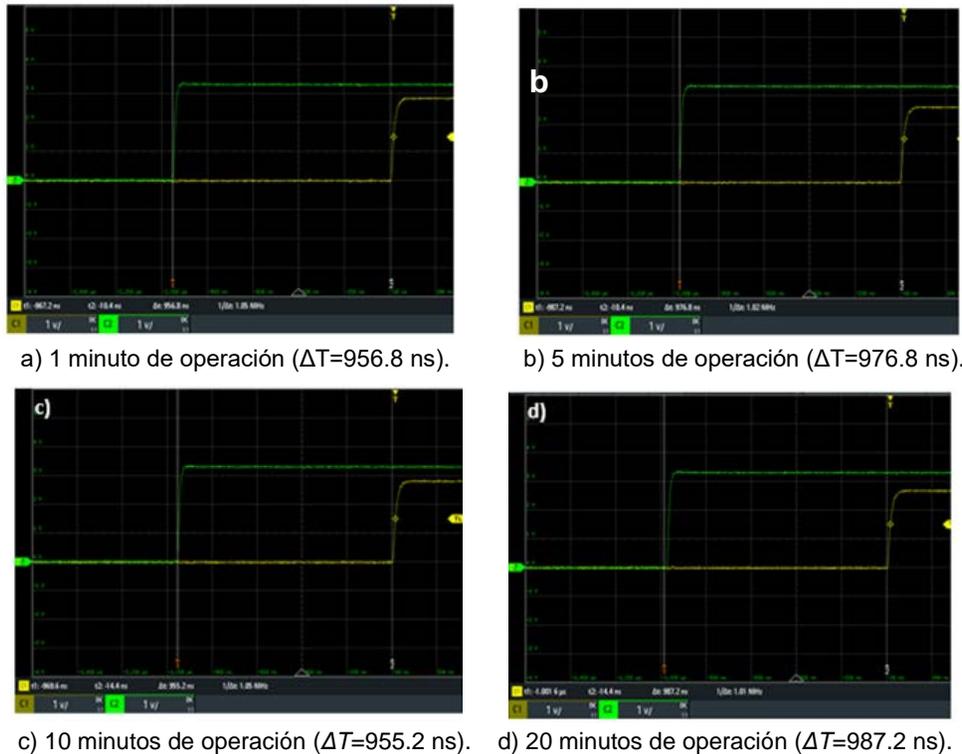


Figura 6 Medición de desfase entre señales después de

Se realizó, además, la simulación del sistema con la finalidad de observar el comportamiento en la señal de 1 kHz. Se simuló un escenario en el cual ambas señales presentarían una diferencia en su período de  $\Delta T=1.6146 \times 10^{-5}$  segundos (figura 7).



Figura 7 Desfase entre CLK Sync y Pulso PPS corresponde a  $\Delta T=1.6146 \times 10^{-5}$  segundos.

La diferencia de tiempo máxima en presente en el periodo de CLK\_N fue de  $1.04 \times 10^{-7}$  s, lo cual corresponde a una tolerancia de  $\pm 104.16$  PPM. Esta diferencia de tiempo se hace presente en cada ciclo de CLK\_N necesarios para la compensación completa de la señal de 1 Hz, tal como se puede apreciar en la figura 8.

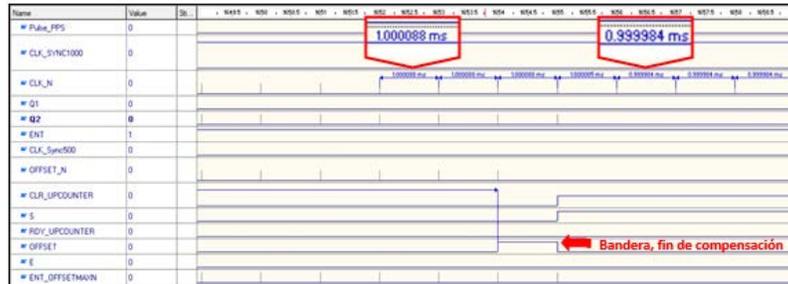


Figura 8 El período de CLK N.

El período de la señal CLK N se modifica en un valor de -100 PPM cuando CLK Sync se encuentra en adelante con respecto al pulso PPS y en un valor de +100 PPM cuando se encuentra en atraso. Es entonces que se deduce que la compensación no se realiza de una manera igual entre los 1000 ciclos, sino que existe una relación entre el desfase y el porcentaje del total de ciclos de CLK N que son compensados como se muestra en la ecuación 9.

$$\% \text{ ciclos compensados} = \frac{100 * \text{Desfase total}}{\Delta T_{\max(\text{res})} * (f_{\text{res}})} \quad (9)$$

Donde  $f_{\text{res}}$  es la frecuencia de resolución a la salida del DCO. Para este ejemplo donde corresponde un desfase de  $1.6146 \times 10^{-5}$  segundos el porcentaje de los ciclos compensados es del 15.499% lo cual corresponde a 154.99 ciclos de 1 ms que se observan en la figura 9.

#### 4. Discusión

A pesar de que se logra obtener una señal de 1 Hz trabajando bajo las mismas condiciones de estabilidad que el oscilador principal, la tolerancia en la señal generada de 1 kHz no pudo mantener este valor de variación. Esto se debió al

redondeo que presentó la cuenta del temporizador que rige la compensación para 1 kHz. La tolerancia tuvo que ser ajustada a un nuevo valor de  $\pm 104.16$  PPM. Esto podría corregirse utilizando un oscilador con una frecuencia múltiplo de  $\frac{1}{\Delta T}$ .

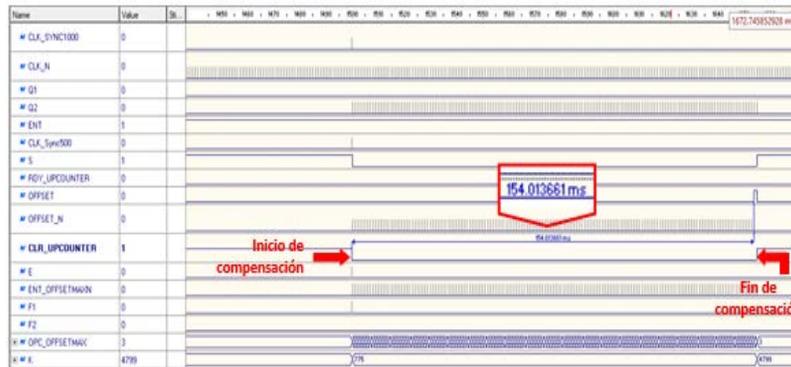


Figura 9 Duración de la compensación total.

Tal y como se mostró en los resultados, la diferencia de fase entre la señal de referencia y la de retroalimentación representa el porcentaje de ciclos de la señal de 1 kHz que serán compensados la cantidad de  $\Delta T_{\max(1 \text{ kHz})}$ . A pesar de que esta compensación mantiene a dicha señal dentro de los límites de tolerancia y estabilidad esperados, nuestro diseño podría mejorarse dividiendo la compensación total entre cada uno de los ciclos de CLK N.

## 5. Conclusiones

Se diseñó un lazo de seguimiento de fase completamente digital que permite sincronizar una señal de 1 Hz generada por el FPGA con una señal de poca fluctuación provista por un módulo GPS.

Gracias al diseño propuesto, este módulo de sincronización trabaja a partir de los flancos ascendentes de las señales a sincronizar; por lo que, si el GPS perdiera la conexión satelital, el ADPLL no realiza compensaciones innecesarias que podrían llegar a afectar la estabilidad del reloj generado.

La señal de 1 Hz obtenida muestra poca derivación en el tiempo y mantiene un bajo error de fase incluso en largos períodos de tiempo.

Además, en la implementación mostró una tolerancia considerablemente menor a la esperada. Se generó una señal con una frecuencia 1000 veces mayor a la señal de referencia. Sin embargo, debido al redondeo en el factor del temporizador para generar dicha señal la tolerancia en la señal de 1 KHz aumentó un 4.16%.

Debido a que el factor en el temporizador de 1 Hz es una cantidad fija, la compensación en esta señal no se realiza de manera uniforme dentro de los N ciclos, sino que el error entre la señal generada y la señal de referencia de 1 Hz representa el porcentaje de ciclos a los cuales se les asignará el 100% de la compensación.

## **6. Bibliografía y Referencias**

- [1] Al-Kofahi, O., Evaluating time synchronization using application-layer time-stamping, 2016 IEEE Wireless Communications and Networking Conference, Doha, pp. 1-6, 2016.
- [2] Amelot, J., Fletcher, J., Anand, D., Vasseur, C., Li-Babound, Y. S. and Moyne, J., An IEEE 1588-time synchronization testbench for assesing power distribution requirements, 2010 IEEE International Symposium on Precision Clock Synchronization for Measuments, Control and Communication, Portsmouth, NH, pp. 13-18, 2010.
- [3] Calderón Zavala, G., Mina Antonio, J. D., López Núñez, A. R. and Martínez Flores, L. R., Modelado de un generador de SAGS basado en un convertidor back to back, 2015 SENIE.
- [4] Grobler, M. and Naidoo, R., Determining Transmission Line Parameters from GPS Time-Stamped Data, IECON 2006 - 32<sup>nd</sup> Annual Conference on IEEE Industrial Electronics, Paris, pp. 3580-3584, 2006.
- [5] Hadzic, I., Morgan, D. R., and Sayeed, Z., A Synchronization Algorithm for Packet MANs, in IEEE Transactions on Communications, vol. 59, no. 4, pp. 1142-1153, April 2011.
- [6] Razo-Hernandez, J. R., Valtierra-Rodriguez, M., Lieberman, D. G., Amezcua-Sanchez J. P., Morales-Hernandez, L. A. and Dominguez-Gonzalez, A. IRIG-B decoder based on FPGA for synchronization in PMUs

- by considering different formats, 2016 IEEE International Autumn Meeting on Power, Electronics and Computing (ROPEC), Ixtapa, pp.1-6, 2016.
- [7] Jahja, R. H., Dahal, S., Suk-seung, H., Goo-Rak, K., Pyun, J. Y. and Shin, S. Improving IEEE 1588v2 time synchronization performance with phase locked loop, 2014 48<sup>th</sup> Asilomar Conference of Signals, Systems and Computers, Pacific Grove, CA, pp. 252-257, 2014.
- [8] M. Cerda, Ramón. Understanding Quartz Crystals and Oscillators, Editorial Artech House, 2014.
- [9] P. Mitchel, Eric, R. Gehring, Mark. Voltage Controlled Oscillator, United States Patent, 2005.
- [10] Roland E. Best, Phase Locked Loops. Design, Simulation and Applications, Quinta edición, McGraw-Hill, 2003.
- [11] Shan, Q., Jun, Y., Le Floch, J. M., Fan, Y., Ivanov, E. N. and Tobar, M. E., Simulating GPS radio signal to synchronize network – a new technique for redundant timing, IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, vol. 61, no. 7, pp. 1075-1085, July 2014.
- [12] Yao, W., Lu, H., Till, M. J., Gao, W. and Liu, Y., Synchronized Wireless Measurement of High-Voltage Power System Frequency Using Mobile Embedded Systems, in IEEE Transactions on Industrial Electronics, vol. 65, no. 3, pp. 2775-2784, March 2018.