

Efecto de Discontinuidades de Interconexiones en Osciladores No-Convencionales utilizando Tecnologías CMOS Nanométricas

Javier Osorio Figueroa

Instituto Nacional de Astrofísica, Óptica y Electrónica, Luis Enrique Erro No. 1, Santa María Tonantzintla,
Puebla, México; C.P. 72840, (222) 2470517
josorio@inaoep.mx

Mónico Linares Aranda

Instituto Nacional de Astrofísica, Óptica y Electrónica, Luis Enrique Erro No. 1, Santa María Tonantzintla,
Puebla, México; C.P. 72840, (222) 2470517
mlinares@inaoep.mx

Resumen

En este trabajo se muestra el impacto de los efectos indeseados de discontinuidades de vías presentes entre interconexiones durante el diseño de osciladores resonantes contruidos en base a líneas de transmisión. Los resultados de simulación realizados, utilizando el programa HFSS (High Frequency Structural Simulator) y Mentor Graphics para diferentes tecnologías: 350, 180 y 130 nm; muestran que los efectos indeseados de interconexiones influyen en el funcionamiento de los osciladores y por lo tanto en el desempeño de redes de generación y distribución de señales a alta frecuencia utilizadas en la temporización y sincronización de circuitos integrados CMOS.

Palabras Claves: Interconexiones, distribución de señales de reloj, osciladores, circuitos integrados.

1. Introducción

En la actualidad, con el avance tecnológico de circuitos integrados (CIs) en silicio, han surgido diversas exigencias en la generación y distribución de señales de reloj para sincronizar eficientemente las diferentes funciones de un microprocesador y así dar solución a la demanda de los sistemas electrónicos (computadoras, celulares, ipads, etc.), tanto en capacidad de desarrollar funciones complejas, como realizarlas a una alta velocidad con un bajo consumo de energía. Tales exigencias de desempeño, ya no son posible resolverlas mediante técnicas convencionales (árboles H, X, árbol-rejilla, etc.) [1, 2, 3], debido a las múltiples limitantes que estas presentan, por lo que técnicas innovadoras como osciladores resonantes en base a líneas de transmisión han cobrado interés y se vislumbran como una buena alternativa. Las redes resonantes generan señales en el rango de GHz y, presentan reducido corrimiento en el tiempo (*skew*), baja variación del corrimiento (*jitter*), así como un reducido consumo de potencia en comparación con redes de distribución convencionales. Entre las redes resonantes existentes [1, 3, 4]), destacan las realizadas en base a líneas de transmisión tanto de onda estacionaria (SWO: Standing Wave Oscillator) [5] como de onda rotatoria u onda viajera giratoria (RTWO: Rotary Traveling Wave Oscillator) [6].

Los osciladores resonantes del tipo SWO y RTWO normalmente son construidas utilizando los últimos niveles de metal de las tecnologías de fabricación de circuitos integrados ya que poseen menos resistencia y minimizan los efectos del substrato. Sin embargo, el incremento constante de la longitud y número de niveles de interconexión de metal utilizados en tecnologías sub-micrométricas actuales, así como las altas frecuencias de operación requeridas, hace que los elementos parásitos de y entre líneas de interconexión aumenten, lo que provoca degradación en la integridad de las señales y por lo tanto degradación del desempeño de los osciladores que las utilizan.

Las Redes de generación y distribución de señales en base a líneas de transmisión producen señales periódicas (oscilaciones) por medio de los elementos reactivos (capacitancias e inductancias) asociadas a las líneas de transmisión que forman su estructura [5, 6], por lo que dependen de las características físicas de los materiales y la

topología de las líneas (alambres) como: ancho, largo, grosor, forma circular, cuadrada, etc. Si bien las oscilaciones en las líneas son sostenidas contrarrestando sus pérdidas producidas por el material (resistencia) mediante compensadores distribuidos a lo largo de la estructura resonante [5, 7, 8]; los efectos indeseados como dobleces, ensanchamiento, compresión, variaciones del proceso de fabricación con que son hechas, etc., afectan grandemente su desempeño al utilizar tecnologías avanzadas de fabricación de CIs.

En particular, las redes de distribución de reloj realizadas utilizando los últimos niveles de metal, y la señal que producen debe viajar a través de interconexiones y conexiones verticales (comúnmente llamadas "vías"), para alimentar a los diferentes bloques, registros o dispositivos que las requieran y que se encuentran dentro del sustrato de silicio del circuito integrado (ver Fig. 1). Sin embargo, con el avance de la tecnología, que conlleva la constante reducción del ancho de canal de las compuertas de los transistores y el aumento de los niveles de metal en los CIs, provocan que las interconexiones verticales y las vías comiencen a degradar las señales de reloj. Si bien, en la literatura se encuentran estudios de redes resonantes (RTWO y SWO), ninguna considera el impacto que tienen las vías, es por ello que en este trabajo nos enfocamos en cuantificar el impacto del efecto de vías en redes resonantes.

El presente trabajo está conformado de la siguiente manera. En la sección 2 se presenta la evolución de la tecnología de las interconexiones y la estructura físicas de las vías. En la sección 3 se establece el método de extracción de los elementos parásitos de vías. Resultados de simulación y análisis de vías en estructuras RTWO se muestran en la sección 4. Finalmente, en la sección 5 se derivan las conclusiones del presente trabajo.

2. Tecnología de Interconexión en Circuitos Integrados

El aumento en la cantidad de interconexiones en los CIs ha provocado que el número de niveles de metal se incremente haciendo que las distancias que deben recorrer las señales a través de las vías sean cada vez mayores; además, estas interconexiones

verticales presentan diferentes discontinuidades (Dobleces y diferentes anchos en la estructura) a lo largo de ellas conforme el número de niveles de metal aumenta en cada proceso de fabricación.

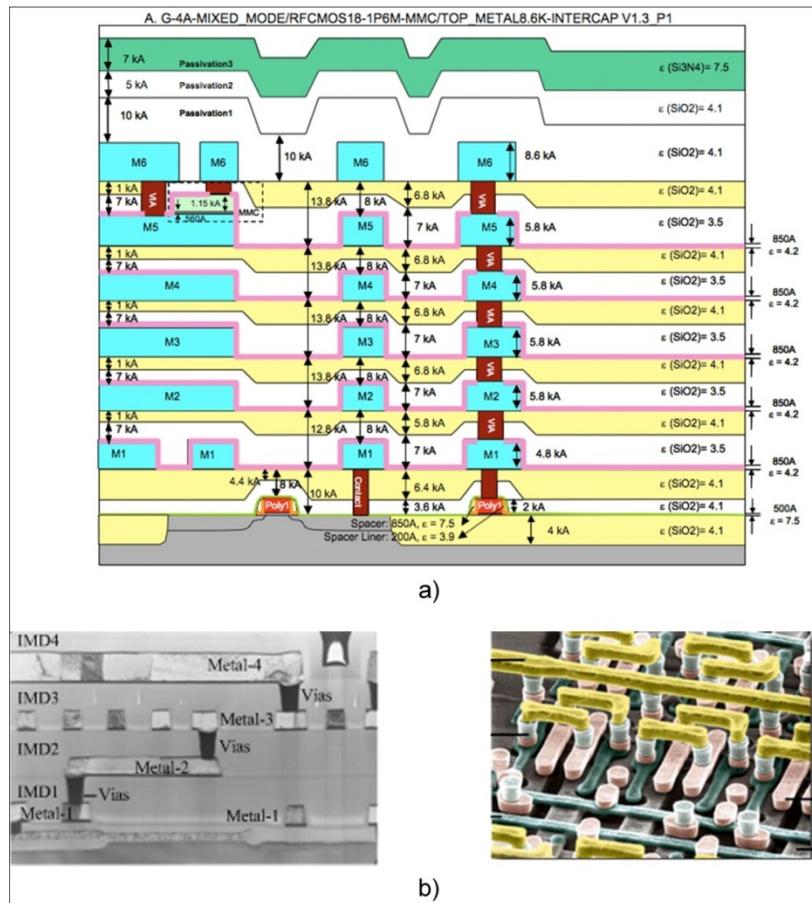


Fig. 1. a) Estructura de niveles de interconexión en un circuito integrado con tecnología UMC 180nm [10], b) Detalles de interconexiones: corte transversal y vista superior [12].

En la tabla 1 se resumen las características de las tecnologías de circuitos integrados CMOS a través de los años, donde se observa que el número de niveles de metal ha ido aumentando mientras que el voltaje de alimentación se ha ido reduciendo. Se observa también que en las tecnologías más avanzadas el aislante (SiO_2) utilizado en las compuertas de los transistores es sustituido por materiales de muy alta constante

dieléctrica (H-K), mientras que el electrodo de compuerta vuelve a ser de aluminio como lo fue en un principio en la fabricación de los circuitos integrados CMOS.

En la Fig. 2 se muestran los diferentes niveles de metal para tres tecnologías CMOS ampliamente usadas en la fabricación de circuitos integrados (Austria-Micro-Systems (AMS) de 350nm [9], United Microelectronics Company (UMC) de 180nm [10], y Taiwan Semiconductor Manufacturing Company (TSMC) de 130nm) [11], siendo la tecnología AMS la que menor cantidad de niveles presenta (4 niveles de metal), mientras que la tecnología TSMC de 130nm consta de 8 niveles de metal.

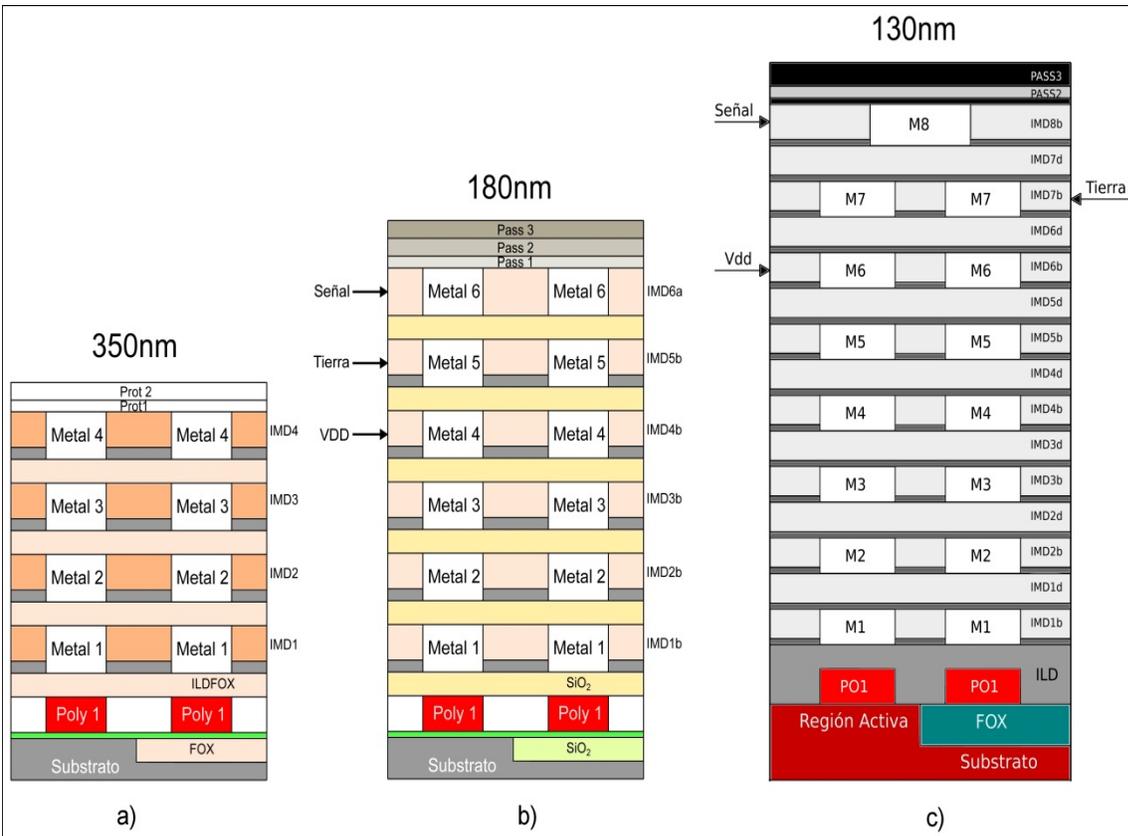
Tabla 1. Tendencia de la Tecnología CMOS.

| Tecnología (nm) | 350 | 250 | 180 | 130 | 90 | 65 | 45 | 32 | 22 | 14 |
|------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-------------|--------------|--------------|--------------|
| Año de desarrollo | | | | | | | 2003 | 2005 | 2007 | 2009 |
| Año de producción | 1995 | 1997 | 1999 | 2001 | 2003 | 2005 | 2007 | 2009 | 2011 | 2013 |
| Niveles metal | 4 | 5 | 6 | 8 | 9 | 10 | 11 | 12 | 12 | 13 |
| Alimentación (Volts) | 3.5 | 2.5 | 1.8 | 1.2 | 1.1 | 0.9 | 0.8 | 0.7 | 0.6 | 0.5 |
| Material de las líneas | <i>Al</i> | <i>Al</i> | <i>Al</i> | <i>Cu</i> | <i>Cu</i> | <i>Cu</i> | <i>Cu</i> | <i>Cu</i> | <i>Cu</i> | <i>Cu</i> |
| Aislante compuerta | <i>S_iO₂</i> | <i>S_iO₂</i> | <i>S_iO₂</i> | <i>S_iO₂</i> | <i>S_iO₂</i> | <i>S_iO₂</i> | <i>H-K</i> | <i>H-K</i> | <i>H-K</i> | <i>H-K</i> |
| Electrodo compuerta | <i>Poly</i> | <i>Poly</i> | <i>Poly</i> | <i>Poly</i> | <i>Poly</i> | <i>Poly</i> | <i>Poly</i> | <i>Metal</i> | <i>Metal</i> | <i>Metal</i> |

H-K = Aislante de alta constante dieléctrica

Poly = Material Polisilicio

En la tabla 2 se dan las dimensiones de las vías de tecnologías mostradas en la Fig. 2. De la Fig. 2 y la tabla 3 se puede derivar en forma aproximada una estructura vertical completa con discontinuidades a partir del sustrato de silicio hasta el nivel de metal superior tal como se muestra en la Fig. 3.



Metal 1: Primer nivel o nivel inferior; Metal 4, 6, 8: último nivel de metal o nivel superior.

Fig. 2. Niveles de metal en diferentes tecnologías a) AMS de 350nm, b) UMC de 180nm y c) TSMC de 130nm.

De la Fig. (3bi) se aprecia que la vía en el proceso AMS no tiene discontinuidad alguna (la estructura es completamente rectangular), debido a las mismas dimensiones de área transversal los diferentes niveles de metal; mientras que la estructura (3bii) presenta una discontinuidad al cambiar su ancho W_1 por el ancho W_2 . Por último, la estructura UMC (Fig. 3biii) presenta dos discontinuidades a lo largo de ella con tres anchos diferentes (W_1 , W_2 y W_3). En la Fig. 3c se muestra una mejor aproximación considerando la estructura real de vías mostrada en la Fig. 3^a. En el presente trabajo se utilizan las vías en su primera aproximación (ver Fig. 3b).

Tabla 2. Dimensiones (nm) de vías de las diferentes tecnologías CMOS.

| No. de Vía | AMS, 350 nm | | UMC, 180nm | | TSMC, 130 nm | |
|------------|-------------|-----|------------|-----|--------------|-----|
| | W | L | W | L | W | L |
| V1 | 240 | 330 | 280 | 665 | 200 | 540 |
| V2 | 240 | 360 | 280 | 765 | 200 | 540 |
| V3 | 240 | 360 | 280 | 765 | 200 | 540 |
| V4 | | | 280 | 765 | 200 | 540 |
| V5 | | | 440 | 680 | 200 | 540 |
| V6 | | | | | 460 | 770 |
| V7 | | | | | 1270 | 795 |

Tabla 3. Simplificación de los diferentes anchos de vías en tecnologías CMOS.

| Tecnología | W ₁ (nm) | W ₂ (nm) | W ₃ (nm) |
|------------|---------------------|---------------------|---------------------|
| AMS | 240 | x | x |
| UMC | 280 | 440 | x |
| TSMC | 200 | 460 | 1270 |

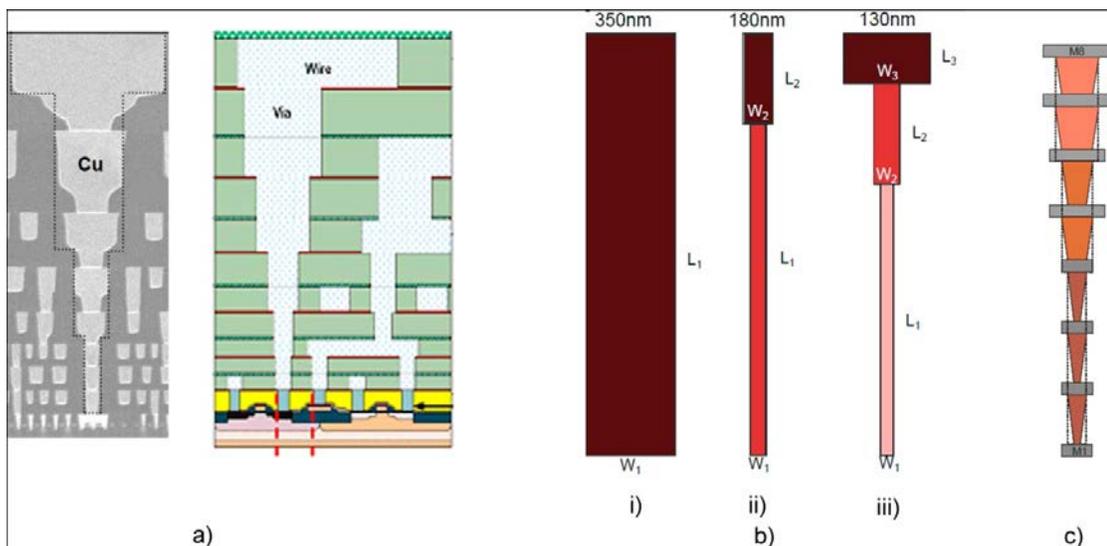


Fig. 3. (a) Estructura real e ideal de vías [14]. (b) 1ª Aproximación de vías para i) AMS de 350nm, ii) TSMC de 180nm y iii) UMC de 130nm, c) 2ª Aproximación de vías.

3. Extracción de Elementos Parásitos de Vías

Considerando la información proporcionada por los diferentes fabricantes de circuitos integrados, las tres estructuras de la Fig. 3b fueron simuladas utilizando el software HFSS [13], con el objetivo de analizar el comportamiento de reflexión y transmisión de las señales a través de las discontinuidades de las vías mediante sus *Parámetros-S*. En la Fig. 4 se presentan los parámetros de reflexión (S_{11}) y transmisión correspondientes. En Fig. 4a se aprecia que las estructuras de vías con diferentes anchos presentan mayores pérdidas por reflexión debido a la diferencia de impedancias que tiene cada estructura, agravándose conforme la frecuencia de reloj aumenta; estas reflexiones originadas en las vías producen ondas viajeras, las cuales se superponen a las señales de interés provocando la degradación de las mismas. En la Fig. 4b se presentan los parámetros de transmisión, en donde se confirma que las vías con discontinuidades presentan peor transmisión de información en comparación con vías sin discontinuidades.

Con el fin de obtener los valores de los parámetros parásitos de resistencia (R), capacitancia (C), inductancia (L) y conductancia (G) debido a las vías, y ser utilizados en modelos de circuitos apropiados para la simulación Spice de osciladores resonantes, los *parámetros-S* son convertidos a parámetros $ABCD$ los cuales incorporan la constante de propagación $\gamma(\omega)$ y la impedancia $Z(\omega)$, de tal forma que es posible obtener los elementos parásitos de R , C , L y G mediante las siguientes relaciones:

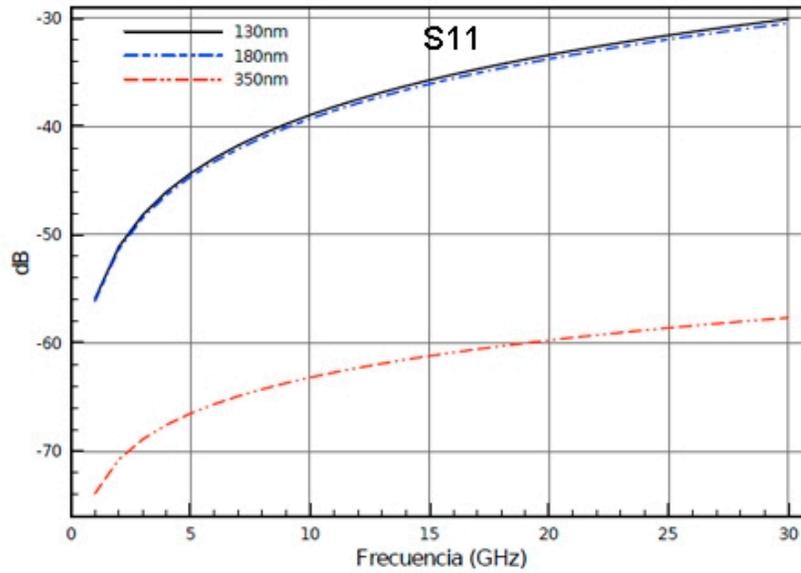
$$R = R_e(\gamma Z)$$

$$L = I_m(\gamma Z)/\omega$$

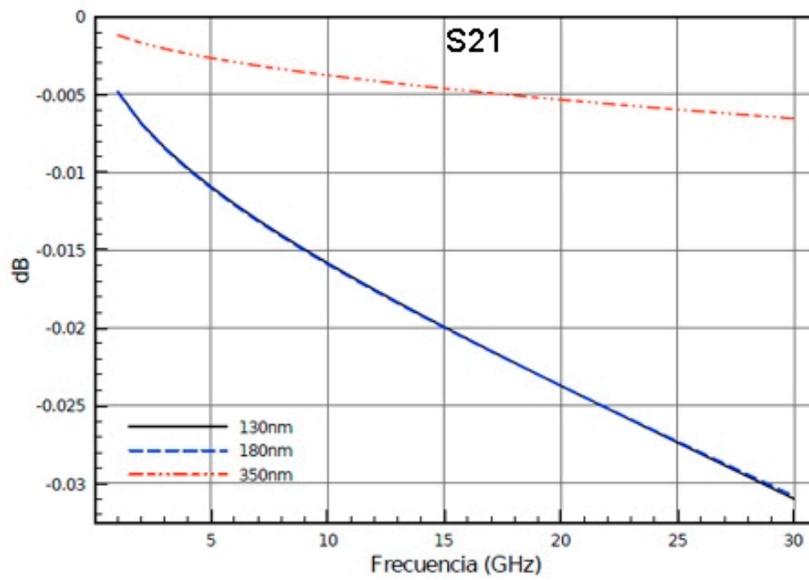
$$G = R_e(\gamma/Z)$$

$$C = I_m(\gamma/Z)/\omega$$

Con el fin de tener una idea del comportamiento de las vías con la variación de la frecuencia, es importante conocer la distribución de los campos electromagnéticos a través de las diferentes discontinuidades de las interconexiones.



a)



b)

Fig. 4. Parámetros-S. a) Reflexión: S11 y b) Transmisión: S12.

En las Fig. 5 y 6 se presentan el comportamiento de los campos eléctrico y magnético, respectivamente. La Fig. 5a muestra que el campo eléctrico a través de la vía es homogéneo, por lo tanto la señal no tiene ningún problema al ser transmitida a través de las vías. Por otra parte, las vías con diferentes anchos, Fig. 5b y 5c presentan discontinuidades en sus intersecciones, provocando modos evanescentes y una degradación de la señal al ser transmitida. Esto se debe a que en cada variación física de las vías se presentan diferentes impedancias a lo largo de la estructura, por ello cuando el campo pasa por estas intersecciones se desconfigura, provocando que la intensidad de campo en esas secciones sea baja; sin embargo, cuando la señal recorre una cierta distancia se vuelve a configurar, incrementándose nuevamente la intensidad del campo aunque no en igual magnitud.

En la Fig. 6 son evidentes las variaciones que presenta el campo al pasar por cada una de las vías, especialmente en aquellas con diferentes anchos. Estas variaciones en el campo magnético provocan degradación de la integridad de la señal la cual se ve reflejada en retardo, skew, deformación de la señal de onda, etc.

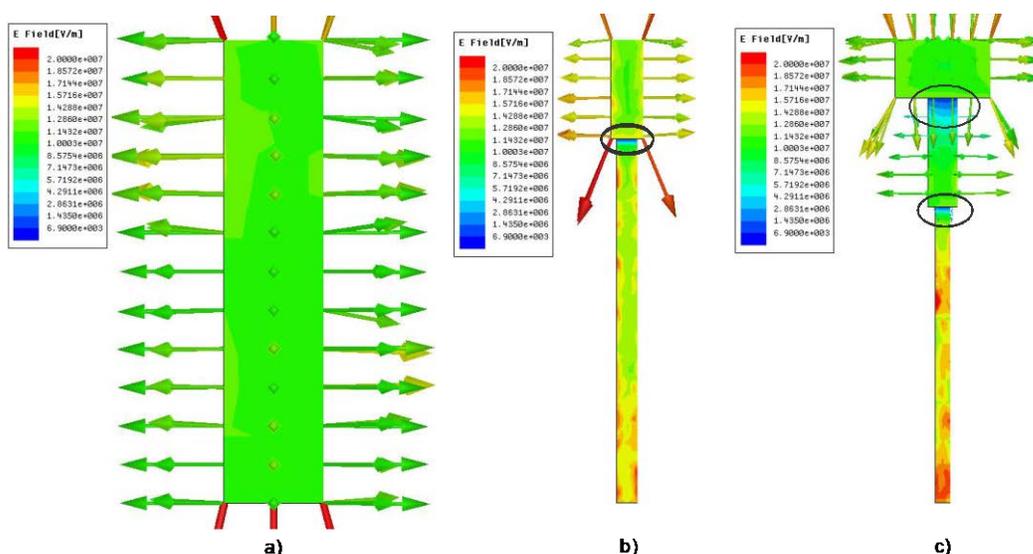


Fig. 5. Campo eléctrico a 30GHz en estructuras de vías para diferentes tecnologías: a) AMS de 350nm, b) TSMC de 180nm y c) UMC de 130nm.

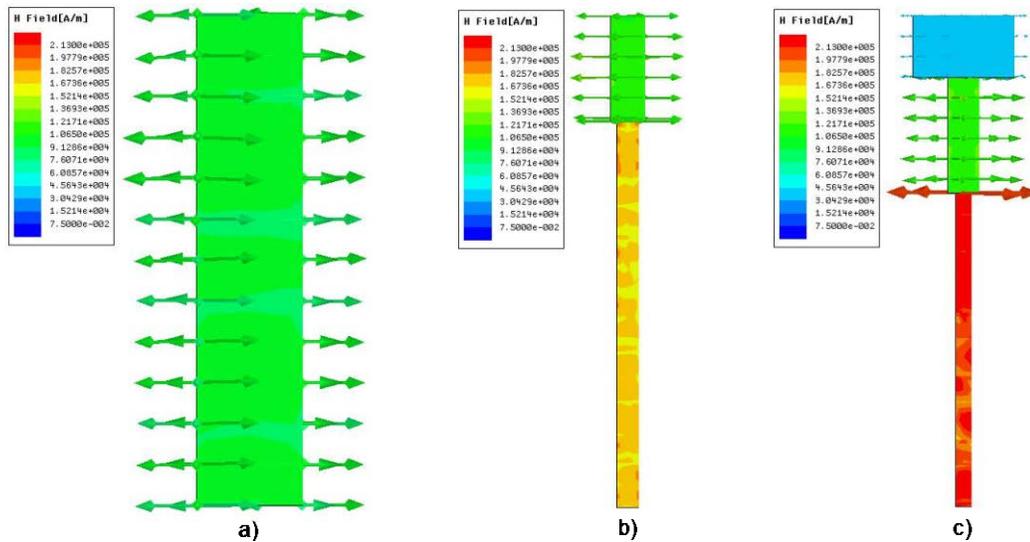


Fig. 6. Campo magnético a 30GHz en estructuras de vías para diferentes tecnologías: a) AMS de 350nm, b) TSMC de 180nm y c) UMC de 130nm.

4. Resultados y Análisis

Para ver cómo los resultados anteriores influyen en el desempeño de osciladores, se diseñaron osciladores resonantes en base a líneas de transmisión. En la Fig. 7 se presenta el esquemático de la estructura del oscilador resonante RTWO con dos compensadores distribuidos a lo largo del mismo, así como 4 vías que conectan la red resonante con registros (Flip-flops) como carga dentro del sustrato de silicio. Como se mencionó anteriormente, las redes RTWO dependen de las características físicas de las líneas de transmisión (ancho, largo, material, dieléctricos, etc.), sin embargo, también influyen en la oscilación los elementos parásitos de los compensadores que se encuentran distribuidos a lo largo del RTWO y que contrarrestan las pérdidas producidas por la línea [7].

En base a la estructura RTWO mostrada en la figura 7, se analizaron las oscilaciones generadas por dicha estructura con y sin vías para diferentes frecuencias de operación utilizando una tecnología UMC de 130nm. En la Fig. 8 se muestra la diferencia que existe entre el oscilador considerando el efecto de vías ($RTWO_{con_vias}$) y sin vías ($RTWO_{sin_vias}$),

así como el porcentaje de error entre las oscilaciones generadas en cada caso. El porcentaje de error se obtuvo mediante la relación $\%Error = 100 - (RTWO_{con_vías} * 100) / RTWO_{sin_vías}$. Se puede observar que la diferencia en frecuencia del RTWO con y sin vías aumenta de una forma lineal, haciendo que la diferencia en GHz sea más grande conforme la frecuencia aumenta. El porcentaje de error se incrementa hasta el 4% también cuando la frecuencia se incrementa.

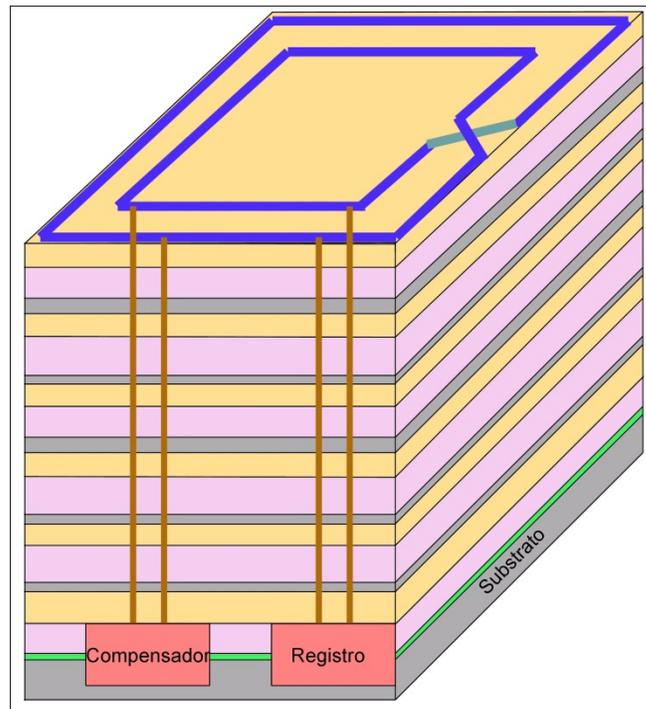


Fig. 7. Estructura del RTWO con compensador y carga distribuidos diseñado.

En la Fig. 9 se presentan las formas de onda de la estructura RTWO con y sin efecto de vías en una tecnología de 180nm para una frecuencia de 30GHz. Se puede observar en la línea sólida que corresponde a la señal sin vías, que la forma de onda es simétrica. Por otro lado, la señal generada por la estructura RTWO con vías, marcada por la línea punteada, presenta una deformación en su forma de onda, así como un retraso con respecto a la señal sin vías producido por una disminución en la frecuencia de reloj.

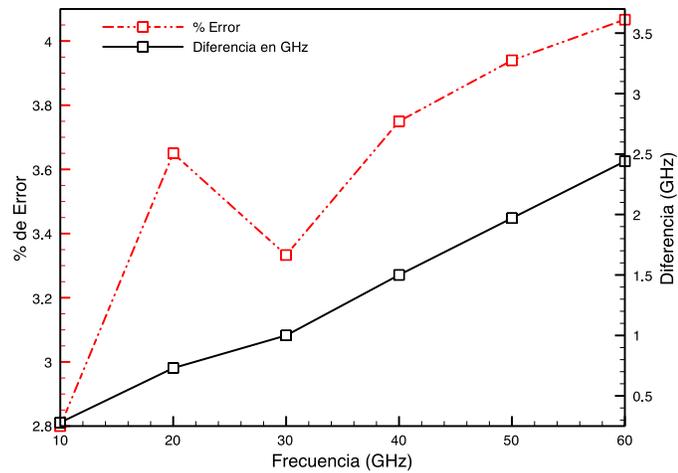


Fig. 8. Diferencia en GHz y porcentaje de error para una estructura RTWO con y sin vías en una tecnología de 130nm.

Finalmente, en la Fig. 10 se presenta el correspondiente espectro en frecuencia (FFT) de la Fig. 9 en donde se muestra que la estructura RTWO sin vías produce una mayor frecuencia de oscilación que la estructura con vías, lo cual explica el desfase de las señales observado en la Fig. 9.

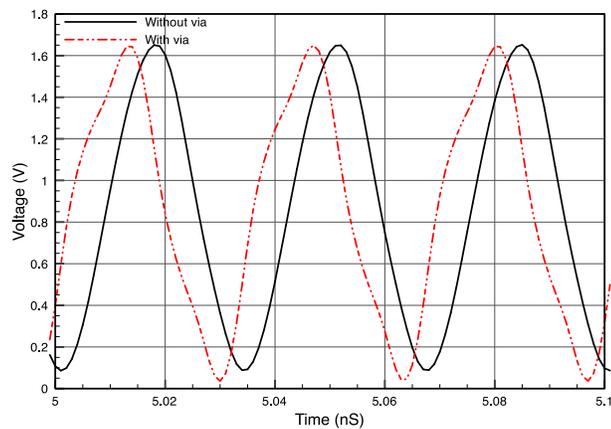


Fig. 9. Forma de onda para una estructura RTWO con y sin vía para una tecnología de 180nm.

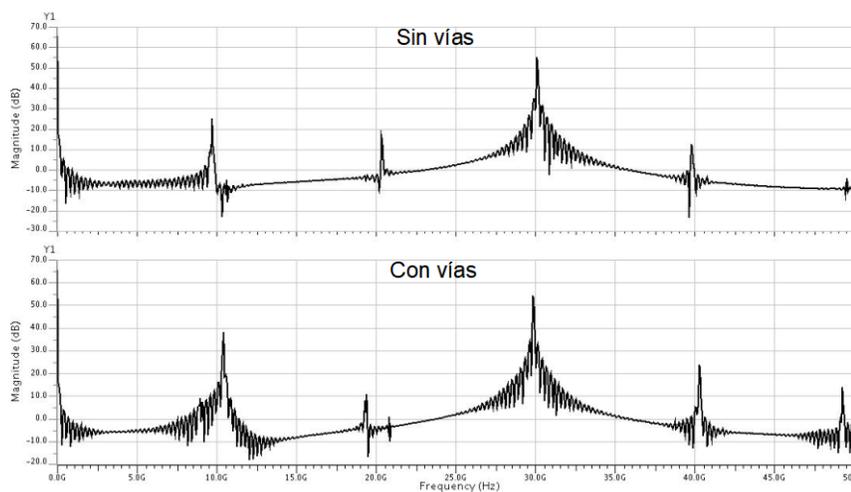


Fig. 10. (a) FFT para una estructura RTWO con y sin vía, implementada en una tecnología de 180nm.

5. Conclusiones

Se presentó el impacto que producen las interconexiones verticales (vías) en redes de reloj resonante del tipo RTWO para diferentes tecnologías.

Se observó que el incremento de los niveles de metal repercute en la forma física de las interconexiones verticales provocando que estas estructuras presenten diferencias de impedancias a lo largo de ellas, lo que trae como consecuencia campos electromagnéticos no-uniformes y por lo tanto, una degradación en la forma de la señal a transmitir.

Además, se mostró que las vías tienen un impacto negativo en redes resonantes, donde sus efectos parásitos indeseados se incrementan al tener dobleces en sus estructuras para evitar acoplamiento con otras interconexiones o vías que se distribuyen en el CI, dichos dobleces provocan un incremento en la longitud física de la vía así como el aumento de discontinuidades en la misma, lo que origina que la integridad de señal presente incertidumbre en el arribo de las señales de reloj en los diferentes puntos del CI.

6. Referencias

- [1] S. C. CHAN, P. J. RESTLE, N. K. JAMES, AND R. L. FRANCH, "A 4.6 GHz resonant global clock distribution network," IEEE International Solid-State Circuits Conference (ISSCC), pp. 341–343, Feb. 2004.
- [2] S.C. CHAN, K.L. SHEPARD, AND P.J. RESTLE, "1.1 to 1.6GHz distributed differential oscillator global clock network," Proceedings of IEEE International Solid-State Circuits Conference, vol. 1, pp. 518-519, Feb. 2005.
- [3] A. J. DRAKE, K.J. NOWKA, T.Y. NGUYEN, J.L. BURNS, AND R.B. BROWN, "Resonant clocking using distributed parasitic capacitance," IEEE Journal of Solid-State Circuits, vol. 39, no. 9, pp. 1520-1528, Sept. 2004.
- [4] JOHN STARR HAMEL AND RYAN NORRIS. "LC Tank Voltage Controlled Oscillator Tutorial", Waterloo, Ontario, Canada, <http://pldworld.biz/hdl/2/-asic.uwaterloo.ca/files/vcotut.pdf>, 2005.
- [5] FRANK P. O'MAHONY. "10GHz Global Clock Distribution Using Coupled Standing Wave Oscillators," PhD thesis, August 2003.
- [6] JOHN WOOD AND TERENCE C. Edwards. "Rotary Traveling-Wave Oscillator Arrays: A New Clock Technology," IEEE Journal of Solid-State Circuits, Vol. 36, no. 11, pp. 1654-1665, 2001.
- [7] GRÉGOIRE G. LE GRAND DE MERCEY, "A 18GHz Rotary Traveling Wave VCO in CMOS with I/Q outputs," Proceedings of the 29th European Solid-State Circuits Conference, pp. 489-492. 2003.
- [8] ANDRESS AND W. ; HAM, D. "RECENT, "Developments in Standing-Wave Oscillator Design," IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, pp. 119–122, 2004,
- [9] 0.35 μm double-poly triple-metal CMOS Document. Austria Micro Systems.

- [10] 0.18 μm Logic 1.8V/3.3 V 1P6M Process Topological Layout Rule. Ver. 2.13_P.1, 2010, United Microelectronics Corporation, 2003.
- [11] TSMC 0.13 μm CMOS Logic Design Rule (G/LV/LP. Document No. T-013-LODR-001, Taiwan Semiconductor Company.
- [12] <http://www.globalspec.com/reference/82486/203279/chapter-2-metallic-carbon-nanotubes-for-current-transport>.
- [13] <http://www.ansys.com/Products/Simulation+Technology/Electronics/Signal+Integrity/ANSYS+HFSS>.
- [14] International Technology Roadmap for Semiconductores ITRS. 2003 Edition. <http://www.itrs.net/home.htm>

7. Autores

M. en C. Javier Osorio Figueroa. Obtuvo su título de Maestría en Ciencias con especialidad en Electrónica en el Instituto Nacional de Astrofísica, Óptica y Electrónica INAOE). Puebla, Pué. Enero 2012. Actualmente realiza estudios de doctorado en el INAOE.

Dr. Mónico Linares Aranda. Obtuvo su título de Doctor en Ciencias en el Centro de Investigación y Estudios Avanzados (CINVESTAV) en 1996. Actualmente labora en el Instituto Nacional de Astrofísica, Óptica y Electrónica INAOE) donde es Investigador Titular.