

IMPLEMENTACIÓN DE BLOQUES PARA CONTROLADORES DIFUSOS ANALÓGICOS CON CIRCUITOS CMOS Y OPAMPS

Edgar López Delgadillo

Universidad Autónoma de Aguascalientes
elopezd@correo.uaa.mx

Luis Alejandro Flores Oropeza

Universidad Autónoma de Aguascalientes
elopezd@correo.uaa.mx

Luis Enrique Arámbula Miranda

Universidad Autónoma de Aguascalientes
elopezd@correo.uaa.mx

Alfonso Vela Rivera

Universidad Autónoma de Aguascalientes
elopezd@correo.uaa.mx

Martín Isaac Falcón Segovia

Universidad Autónoma de Aguascalientes
elopezd@correo.uaa.mx

Resumen

Una alternativa innovadora a las técnicas de control clásicas, es emplear el razonamiento heurístico basado en la experiencia de expertos en los sistemas. Este tipo de técnicas han sido ampliamente estudiadas en el dominio digital, sin embargo, recientemente ha crecido el interés por las implementaciones analógicas debido a su sencillez y al número reducido de elementos que estas requieren. En este artículo se presenta la implementación de diversos bloques de un sistema difuso analógico considerando una metodología de diseño top-down considerando modelos comportamentales en VerilogA e implementaciones a nivel tecnología

CMOS y OPAMPS. Los resultados se verifican a través de las simulaciones de los circuitos.

Palabras Claves: Función de membresía CMOS, sistema difuso, VerilogA.

Abstract

An innovative alternative to classical control techniques is to employ heuristic reasoning based on the expertise of systems experts. This type of techniques have been extensively studied in the digital domain, however, interest in analogue implementations has recently increased due to its simplicity and the reduced number of elements that are required. This article presents the implementation of several blocks of an analogue fuzzy system considering a top-down design methodology considering behavioral models in VerilogA, CMOS and OPAMP technology level implementations. The results are verified through the simulations of the circuits.

Keywords: CMOS membership functions, fuzzy systems, VerilogA.

1. Introducción

Una alternativa innovadora a las técnicas de control clásicas, es emplear un razonamiento heurístico basado en la experiencia de un experto en el sistema. Esta experiencia usualmente es recogida en forma de declaraciones y reglas lingüísticas. En este caso, no es necesario establecer un modelo del sistema, sino que todo el diseño del controlador se reduce a la “conversión” de un conjunto de reglas lingüísticas dentro de un algoritmo de control automático. La lógica difusa proporciona este mecanismo de conversión necesario para el diseño del controlador. Algunas aplicaciones se pueden apreciar en [Ofoli, 2006], [Cheng, 2010], [Gupta, 1997], [Lee, 1990] y [Perry, 2005].

En la figura 1 se muestran las funciones de membresía para la lógica difusa convencional y tipo 2. Un conjunto difuso tipo 2 se define mediante una función de membresía difusa, la cual tiene la particularidad de que sus límites no son concretos, es decir, presentan una incertidumbre en los valores que la acotan [Roos, 2004].

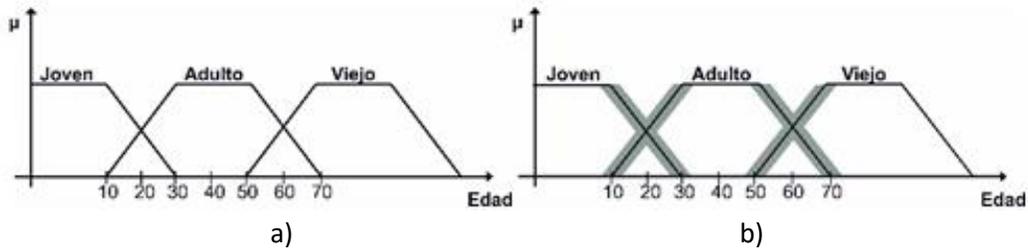


Figura 1 Funciones de Membresía.

De forma similar a los controladores difusos tipo 1 (T1FLC), figura 2, los controladores difusos tipo 2 (T2FLC), figura 3, están compuestos por un fuzzificador, el cual tiene como objetivo transformar un dato de entrada duro en un conjunto difuso; una base de reglas, que puede ser proporcionada por los expertos o puede ser extraída de datos numéricos; en cualquier caso, se expresa como una colección de sentencias SI-ENTONCES; un motor de inferencia, el cual combina la “fuerza” con la que se activa cada una las reglas para generar una salida difusa.

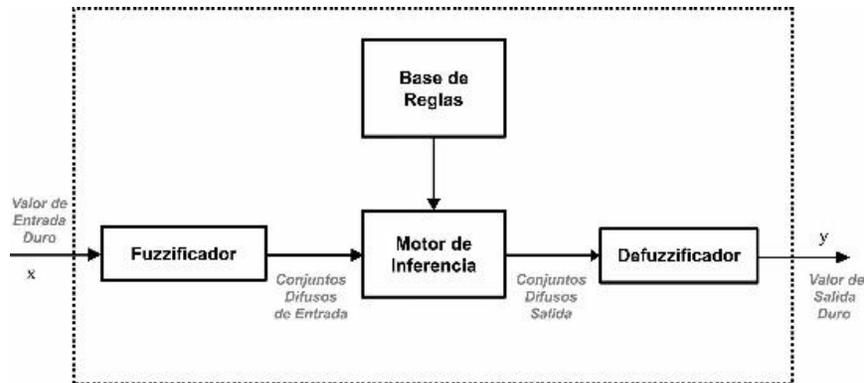


Figura 2 Controlador Difuso Tipo 1.

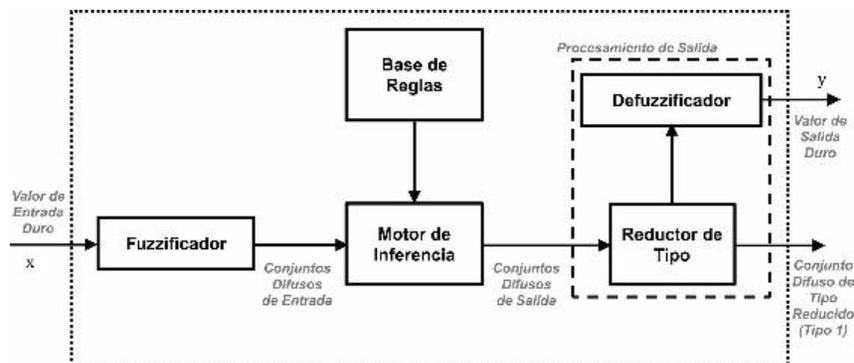


Figura 3 Controlador Difuso Tipo 2.

Una de las más importantes diferencias entre un T1FLC y un T2FLC, se presenta en el procesamiento de salida. En el caso de T1FLC solamente incluye un defuzzificador, el cual convierte la salida difusa generada por el motor de inferencia, en un dato duro. En cambio en los T2FLC, el procesamiento de salida incluye un reductor de tipo, el cual convierte los conjuntos de salida difusos tipo 2 en conjuntos difusos tipo 1; además de un defuzzificador que convierte los conjuntos difusos tipo 1 obtenidos del reductor de tipo, en datos duros.

En un T1FLC el desempeño y diseño dependen de la experiencia y conocimiento de los expertos. Se aplica un proceso de prueba y error para ajustar los parámetros de la base de reglas y de los conjuntos de membresía. Lo anterior implica que los valores de estos parámetros pueden cambiar de un experto a otro, es decir, el conocimiento usado es a menudo incierto. Esta incertidumbre conduce a reglas difusas en las cuales los antecedentes y/o consecuentes son no precisos, lo que se traduce en funciones de membresía también inciertas. En un Controlador difuso convencional no es posible hacer frente a la incertidumbre asociada a los parámetros del sistema, lo que conlleva a que la eficacia del sistema sea afectada. En cambio los sistemas basados en lógica difusa tipo 2, tienen como funciones de membresía de sus antecedentes y/o consecuentes a conjuntos difusos tipo 2, en los cuales los grados de membresía son en sí mismos conjuntos difusos tipo 1 definidos en el intervalo $[0,1]$. Por esta razón, son capaces de manejar la incertidumbre en sus parámetros y debido a esto, son muy útiles en circunstancias donde es muy difícil determinar de forma exacta la función de membresía de un conjunto difuso, o en situaciones donde exista incertidumbre en los grados de membresía en sí mismos o en cualquier otro parámetro del sistema.

2. Métodos

La metodología de diseño que se ha seguido es llamada "TopDown" y es utilizada en el diseño de circuitos integrados para asegurar el funcionamiento correcto de bloques de circuito y para establecer condiciones de diseño para éstos en tecnología CMOS. Los pasos de la metodología son los siguientes:

1. Definición funcional de estructuras de alto nivel.

2. Definición de circuitos de alto nivel (funcionamiento general de bloques de circuito).
3. Diseño a nivel transistor de cada bloque de circuitos en una tecnología CMOS estándar.
4. Desarrollo de los patrones geométricos (Layout) para cada bloque de circuitos diseñado.
5. Fabricación del circuito integrado.

Después de cada uno de los pasos anteriores existe una etapa de pruebas y validación. Para los pasos 1 al 4, estas pruebas se realizan mediante simulaciones, por lo que los materiales son los programas de simulación. Por otro lado, el paso 5 se valida con la implementación física del circuito integrado diseñado, en consecuencia, los materiales son el equipo de laboratorio de electrónica y el prototipo de circuito integrado. Es importante mencionar que para el presente artículo se consideran resultados y pruebas de los puntos 1 al 3.

El diagrama a bloques del controlador difuso analógico se muestra en la figura 4. En este caso por representación solo se consideran tres reglas, pero estas pueden expandirse hasta el número deseado. Las entradas S son los “Singletons” y se realizan mediante fuentes de voltaje con los valores especificados para un controlador en particular.

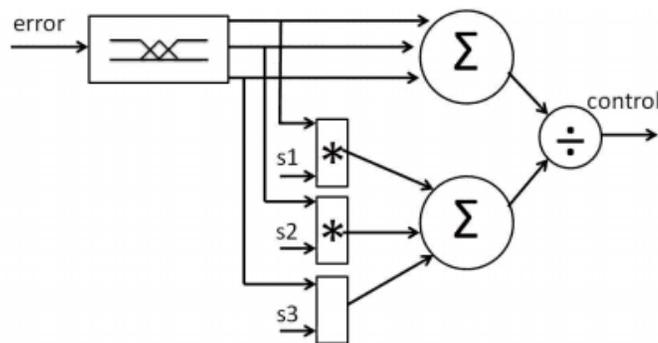


Figura 4 Diagrama a bloques del controlador difuso analógico.

Es importante mencionar que la implementación de un controlador difuso tipo dos se realiza mediante dos controladores tipo uno además de un reductor de tipo.

Debido a lo anterior los circuitos utilizados en los dos tipos son similares y el reductor es un promediador.

Atendiendo al orden de la metodología, para analizar el desempeño de la propuesta se realizan simulaciones en Spice del circuito de la figura 1. Para ello se implementan, en primer lugar, modelos comportamentales de alto nivel en verilogA del controlador difuso analógico que corresponde a la figura 4. El principal objetivo es observar la viabilidad del modelo de las funciones de membresía así como cada uno de los otros elementos.

Para el caso de la implementación CMOS del controlador difuso se considera en primer lugar la generación de las funciones de membresía de la figura 4. Se propone una implementación mediante estructuras diferenciales tanto tipo P como tipo N que es una modificación de la presentada en [Ota, 1996]. Esto para cubrir todo el rango de los voltajes de riel. La propuesta se muestra en la figura 5 y consta de dos estructuras diferenciales, una tipo P y otra tipo N interconectadas a través de un espejo de corriente simple. En este caso se consideran tres funciones de membresía, pero si se desea un número mayor solo se deben interconectar más etapas mediante espejos. En las fuentes de voltaje se representa la salida en modo corriente de cada una de las funciones.

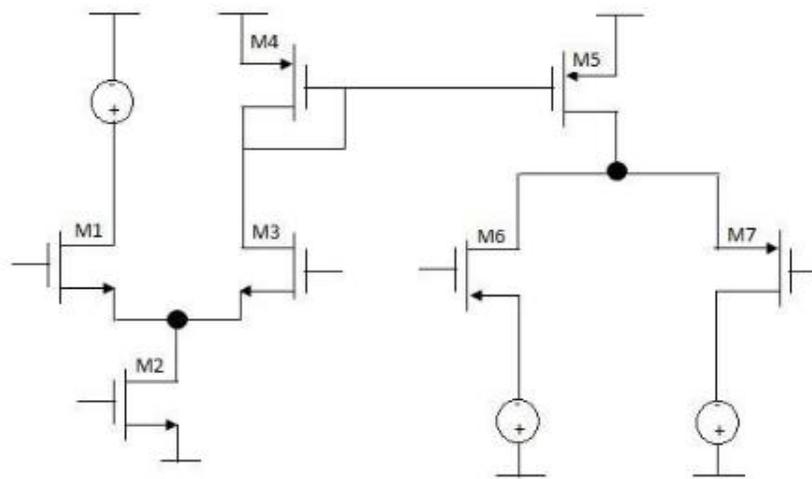


Figura 5 Circuito generador de funciones de membresía CMOS.

En la figura 6 se muestra el circuito de operación máximo considerado para el controlador difuso, este ha sido presentado en [Lazzaro, 1989]. En este IMAX es el

valor de corriente mayor entre I_N e I_1 . Esta etapa es necesaria en la etapa del motor de inferencia del controlador difuso.

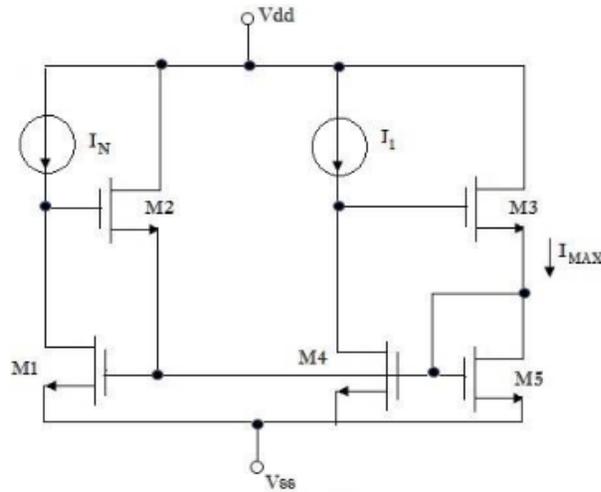


Figura 6 Circuito detector de máximos CMOS.

En la figura 7 se presenta el circuito normalizador de corrientes. Este es necesario ya que mediante este se elimina la operación de división en la etapa de defuzzificación, además de que también se utiliza como reductor de tipo. La principal característica de este circuito es que la suma de las corrientes de salida es menor a la corriente de polarización.

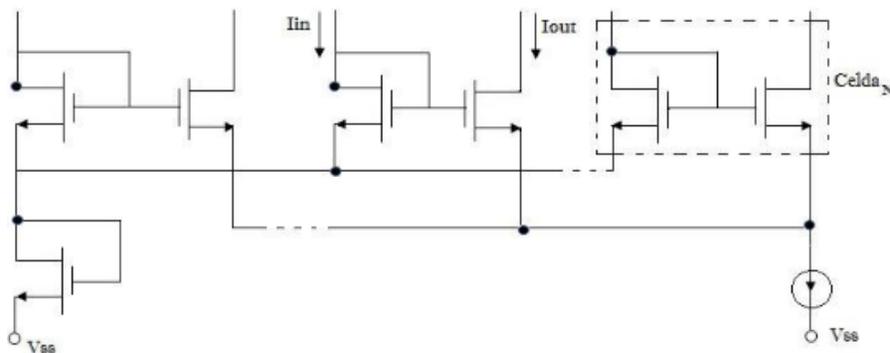


Figura 7 Circuito normalizador de corrientes CMOS.

Además de la implementación de alto nivel en verilogA y la implementación en una tecnología CMOS, también se considera el diseño de los bloques que integran el controlador difuso mediante componentes discretos, principalmente amplificadores

operacionales. En la figura 8 se muestran los circuitos principales implementados en Spice.

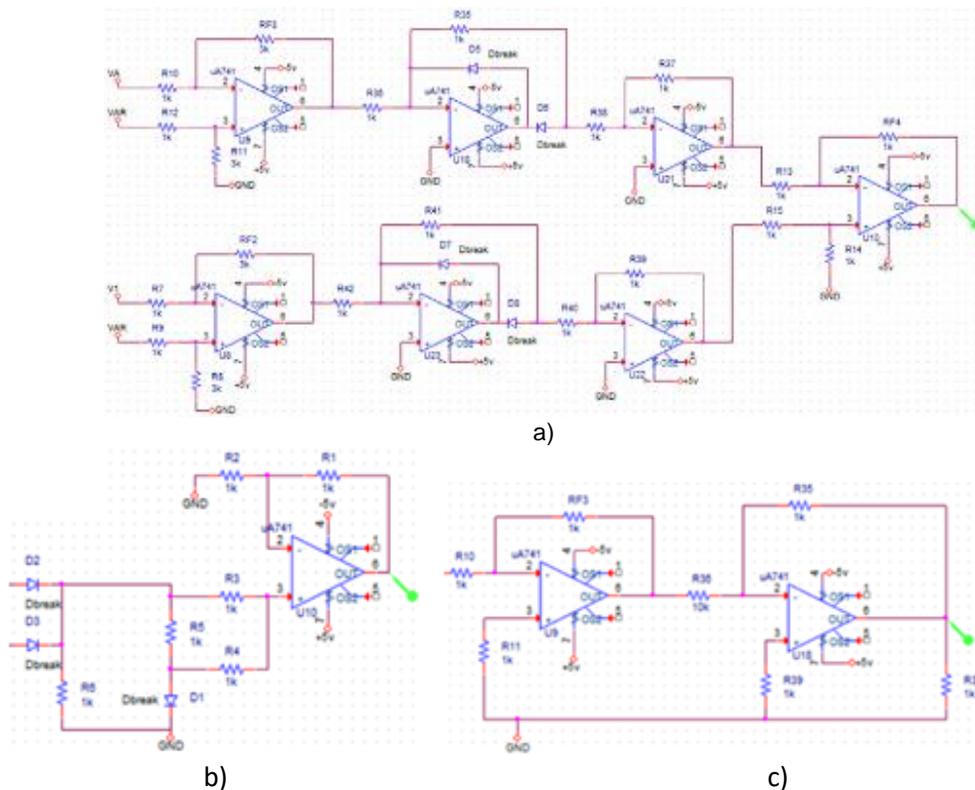


Figura 8 Implementación de los bloques del controlador mediante OPAMPS.

3. Resultados

Los resultados de simulación del circuito generador de las funciones de membresía de entrada se presentan en la figura 9. Para estos se considera un análisis en DC con un barrido de la entrada de voltaje. En la figura se puede apreciar la simulación de las funciones en tres niveles de abstracción, desde alto nivel (VerilogA) hasta bajo nivel (CMOS). Como se observa es posible implementar funciones de membresía tanto para lógica difusa tipo 1 como para tipo 2 mediante circuitos analógicos.

En la figura 10 se muestran los resultados de simulación del circuito normalizador de voltajes. Este ha sido implementado mediante OPAMPS y su función es mantener la salida dentro de un rango de voltajes escalando los valores de la entrada tal como se aprecia en las salidas en color verde y naranja.

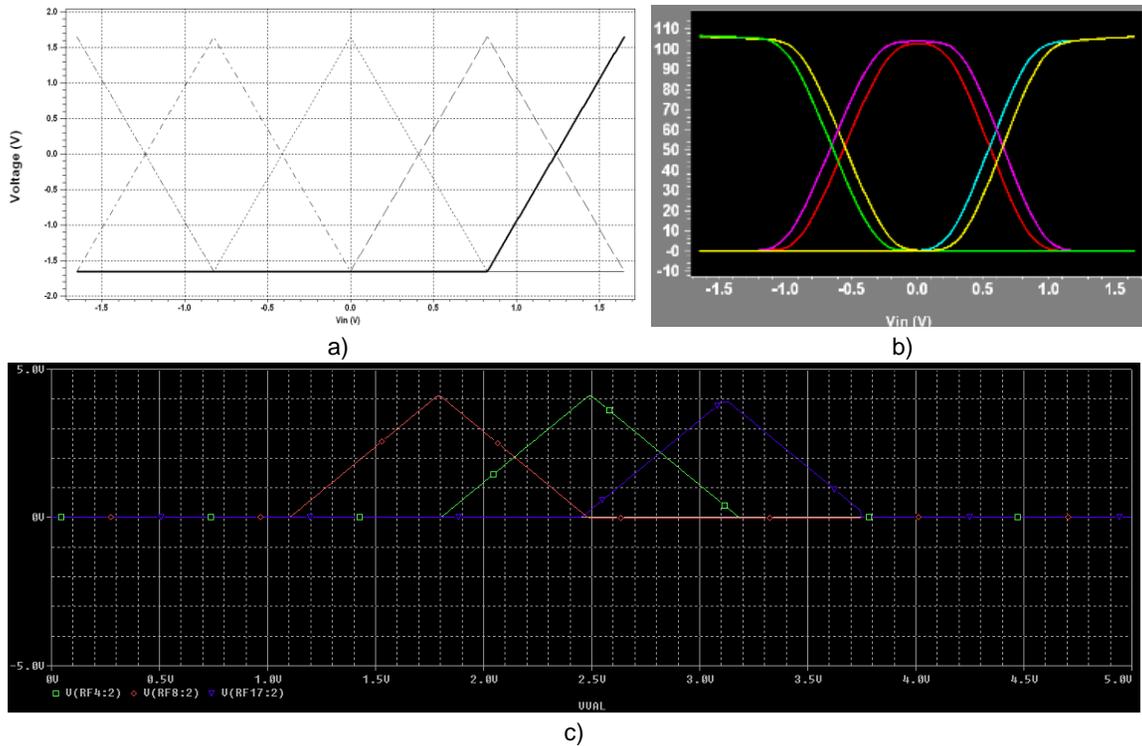


Figura 9 Resultados de simulación del circuito generador de funciones de membresía.

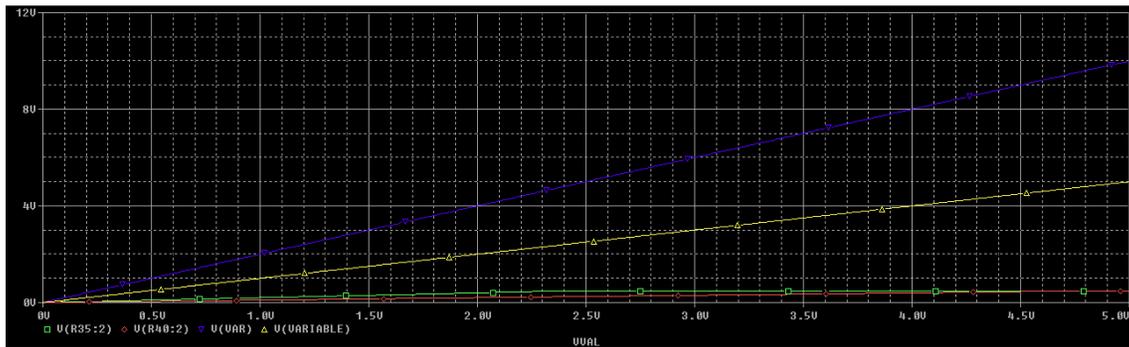


Figura 10 Resultados de simulación del circuito normalizador de voltajes.

Finalmente en la figura 11 se puede observar los resultados de simulación del circuito de máximo implementado con OPAMPs. Las entradas son dos ondas senoidales desfasadas 90 grados y la salida se presenta en color verde. Como puede apreciarse la salida sigue a las ondas senoidales cuando estas tienen un valor máximo comparado con la otra. Este circuito es importante en el motor de inferencia de los sistemas de lógica difusa.

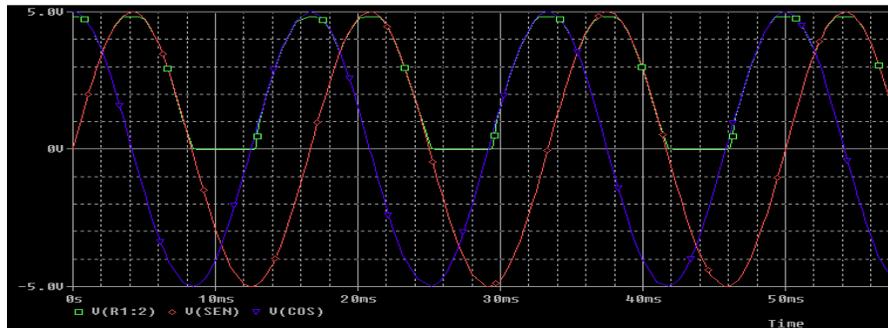


Figura 11 Resultados de simulación del circuito de máximo.

4. Discusión

Con la observación de los resultados se tiene que es posible implementar circuitos analógicos para las distintas etapas de un controlador difuso analógico. Estas se pueden realizar desde distintos niveles de concepción ya sea nivel comportamental o implementación mediante algún tipo de dispositivos. Por otra parte es importante señalar que estos bloques pueden ser utilizados tanto en lógica difusa tipo I o tipo II, como se puede apreciar en la figura 9b, que se presentan funciones de membresía tipo II.

5. Conclusiones

Se presentó la implementación de diversos bloques de un sistema difuso analógico considerando una metodología de diseño top-down considerando modelos comportamentales en VerilogA e implementaciones a nivel tecnología CMOS y OPAMPS. Con esto se reduce el número de elementos de circuito al eliminar el uso de convertidores analógico-digital. Los resultados de simulación han demostrado un desempeño adecuado de cada uno de los bloques analógicos implementados.

6. Bibliografía y Referencias

- [1] Gupta T., Boudreaux R. R., Nelms R., and Hung J., Implementation of a fuzzy controller for dc-dc converters using an inexpensive 8-b microcontroller, Industrial electronics, IEEE Transactions on, vol. 44, no. 5, pp. 661–669, October 1997.

- [2] Cheng C.H., Cheng P.J., and Wu M.T., Fuzzy logic design of self-tuning switching power supply, *Expert Systems with Applications*, vol. 37, no. 4, pp. 2929 – 2936, 2010.
- [3] Ross T. J., *Fuzzy Logic With Engineering Applications*, 2nd ed. John Wiley & Sons, 2004.
- [4] Lee C.C., Fuzzy logic in control systems: fuzzy logic controller. i, *Systems, Man and Cybernetics, IEEE Transactions on*, vol. 20, no. 2, pp. 404–418, Mar/April 1990.
- [5] Lazzaro J., Ruckebusch S., Mohawald M.A. and Mead C., Winner-takeall networks of $O(n)$ complexity, in *Advances in Neural Information Processing Systems*, Vol. 1, D.S. Touretzky, Ed. Los Altos, CA: Morgan Kaufmann, pp. 703-711, 1989.
- [6] Ofoli A. and Rubaai A., Real-time implementation of a fuzzy logic controller for switch-mode power-stage dc/dc converters, *Industry Applications, IEEE Transactions on*, vol. 42, no. 6, pp. 1367–1374, November-December 2006.
- [7] Ota Y., B.M.Wilamowski, Analog Hardware Implementation of a VoltageMode Fuzzy Min-Max Controller, *Journal of Circuits, Systems, and Computers*, Vol. 6, No.2, pp. 171-184, 1996.
- [8] Perry A., Feng G., Liu Y.F., and Sen P., A new analysis and design method for fuzzy logic controllers used in power converter, in *Industrial Electronics Society, 2005. IE-CON 2005. 31st Annual Conference of IEEE, 2005*.