

IMPLEMENTACIÓN EN UN FPGA DE LA TÉCNICA DE MODULACIÓN APOD-PWM PARA UNA APLICACIÓN EN MOTOR DE INDUCCIÓN

IMPLEMENTATION IN AN FPGA OF THE APOD-PWM MODULATION TECHNIQUE FOR AN INDUCTION MOTOR APPLICATION

Yesenia Reyes Severiano

Tecnológico Nacional de México / CENIDET, México
yeseniareyes16e@cenidet.edu.mx

Jesús Aguayo Alquicira

Tecnológico Nacional de México / CENIDET, México
jesus.aa@cenidet.tecnm.mx

Susana Estefany De León Aldaco

Tecnológico Nacional de México / CENIDET, México
susana.da@cenidet.tecnm.mx

Luis Mauricio Carrillo Santos

Tecnológico Nacional de México / CENIDET, México
luiscarrillo16e@cenidet.edu.mx

Recepción: 29/octubre/2020

Aceptación: 3/diciembre/2020

Resumen

Actualmente, el uso de convertidores multinivel es de gran importancia en la industria debido a que se utilizan principalmente en el accionamiento de motores eléctricos y la protección de cargas críticas. Una parte central que influye en el buen rendimiento de estos es la técnica de modulación empleada, con la cual se generan los estados de conmutación de los interruptores pertenecientes al inversor. En este trabajo se lleva a cabo la simulación e implementación de la técnica de modulación Alternative Phase Opposition Disposition (APOD) empleando una tarjeta de desarrollo Altera Cyclone II. Primeramente, se lleva a cabo la generación digital de las señales moduladoras y portadoras mediante el uso de multiplexores en cascada. Posteriormente, se realiza su comparación por medio del uso de compuertas digitales. Finalmente, se analiza la calidad de la onda de salida tomando en cuenta

los valores la distorsión armónica total, garantizando que se cumpla con los valores establecidos en la norma IEEE Std 519-2014. Lo anterior, utilizando un inversor en cascada trifásico de siete niveles con un motor de inducción de 1 hp como carga.

Palabras Clave: Distorsión armónica total, FPGA, índice de modulación, inversor multinivel en cascada, técnica de modulación.

Abstract

Currently, the use of multilevel converters is of great importance in the industry because they are mainly used in the operation of electric motors and the protection of critical loads. A central part that influences the good performance of these is the modulation technique used, with which the switching states of the inverter switches are generated. In this paper is carried out the simulation and implementation of the modulation technique Alternative Phase Opposition Disposition, using an Altera Cyclone development board. First, digital generation of the modulating and carrier signals is carried out by the use of cascade multiplexers. It is then compared using digital gates. Finally, the output wave quality is analyzed taking into account the values of the total harmonic distortion, ensuring that the values set out in the IEEE Std 519-2014 standard are met. The above using the seven-level three-phase cascade multi-level inverter topology, with a 1 hp induction motor as a load.”

Keywords: cascaded multilevel inverter, FPGA, modulation index, modulation technique, total harmonic distortion, VHDL.

1. Introducción

Los inversores multinivel tienen aplicaciones industriales variadas, las cuales demandan un mayor rendimiento de los mismos. Una de sus principales aplicaciones es el accionamiento de motores de inducción empleados en máquinas, herramientas, montacargas, elevadores, bandas transportadoras, etcétera [Gonzalez, 2016]. Este tipo de convertidores se dividen principalmente en tres topologías [Franquelo, 2008]; [Malinowski, 2010]; [Mittal, 2012]:

- Inversor multinivel con diodos de enclavamiento
- Inversor multinivel con capacitores flotantes

- Inversor multinivel en cascada

De los convertidores anteriores, las topologías multinivel con diodos de enclavamiento y con capacitores flotantes tienen como desventaja el emplear una gran cantidad de componentes, y el tiempo de vida de algunos de sus elementos es reducido, tal es el caso de los capacitores. Por esta razón, existe un amplio interés en el estudio del comportamiento de la topología multinivel en cascada. La topología multinivel en cascada presenta las siguientes características:

- Flexibilidad para aumentar el número de niveles incrementando el número de celdas en cascada.
- Al aumentar el número de niveles se reduce el estrés térmico y eléctrico en los dispositivos semiconductores de potencia.
- La tensión de salida por fase es la suma de las tensiones de salida en cada celda.

Además, una gran parte del desempeño de un inversor se debe a la selección adecuada de la estrategia de modulación empleada para generar los estados de conmutación de los interruptores de potencia pertenecientes a la topología seleccionada [Rehaoulia, 2018]; [Yahiaoui, 2019].

Unos parámetros importantes para la determinación de la estrategia de modulación adecuada a un sistema son obtener un bajo contenido armónico en la tensión de salida y la reducción de las pérdidas por conmutación. Una forma de lograr disminuir estas pérdidas es reducir la frecuencia de conmutación [García, 2016]. Sin embargo, al reducir la frecuencia de conmutación se incrementan los armónicos de bajo orden y la distorsión armónica total (*THD*, por sus siglas en inglés *Total Harmonic Distortion*).

Uno de los aspectos deseables al momento de implementar una estrategia de modulación es la reducción de la *THD*, lo cual conlleva a reducir las pérdidas de potencia y la aceleración de la respuesta transitoria. Asimismo, para establecer los valores máximos de distorsión permisibles de acuerdo a la tensión en el bus se encuentra el estándar IEEE Std 519-2014, que establece dichos valores tal como

se muestra en la tabla 1 [IEEE-SA, 2014]. Siendo el primer rango $V \leq 1$ kV, el que aplica en este caso de estudio con un valor máximo de *THD* de 8%, considerando los componentes armónicos hasta el orden 50.

Tabla 1 Valores máximos permisibles de distorsión armónica de tensión.

Tensión	THD (%)
$V \leq 1$ kV	8
$1 < V \leq 69$ kV	5
$69 < V \leq 161$ kV	2.5
161 kV $< V$	1.5

Entonces, para que se lleve a cabo un proceso eficiente de conversión de energía de CC-CA se requiere seleccionar adecuadamente la topología y la técnica de modulación adecuadas para el tipo de aplicación del inversor multinivel [Reyes, 2020]. En lo referente a la técnica de modulación, el papel que juega al generar los estados de conmutación de los interruptores de potencia de manera óptima es de suma importancia, ya que esto afecta directamente en el contenido armónico de la señal de tensión a la salida del inversor [Reyes, 2019].

Buscando la mejor opción para implementar la estrategia de modulación, en este trabajo se emplea un FPGA (por sus siglas en inglés, *Field Programmable Gate Array*) para generar dichas señales. Un FPGA tiene la operatividad parecida a los circuitos integrados para aplicaciones específicas (ASIC, por sus siglas en inglés, *Application Specific Integrated Circuit*). Sin embargo, presenta grandes ventajas en su uso en la industria con respecto a los ASIC, tales como [Bozich, 2006]:

- Menor costo de desarrollo y adquisición
- Tiempo de diseño y manufacturación menores
- Minimización del número de componentes de diseño
- Son reprogramables

En este artículo se presenta la implementación de las señales de conmutación empleando un FPGA debido a las ventajas que presenta y que favorecen a la mejora de la calidad de la forma de onda de salida del inversor que se utiliza para accionar una carga. La topología empleada es el inversor multinivel trifásico en cascada de

siete niveles, modulado con la técnica de modulación disposición de fase opuesta alternada (APOD, por sus siglas en inglés *Alternative Phase Opposite Disposition*) con un índice de modulación $m = 0.9$, empleando como carga un motor trifásico de 1 hp con conexión en estrella. Para comprobar que el comportamiento de las señales de conmutación sea el deseable se tomaron en consideración dos parámetros fundamentales relacionados con la calidad de energía, *THD* y la distorsión armónica total ponderada (*WTHD*, por sus siglas en inglés *Weighted Total Harmonic Distortion*).

2. Métodos

Etapas de sistema

El sistema se divide en tres etapas: modulación, potencia y carga, como se muestra en la figura 1. Posteriormente, se mencionan aspectos principales de cada una de ellas.



Figura 1 Diagrama a bloques del sistema completo.

La etapa de modulación se encarga de generar las señales de conmutación empleando un FPGA, las cuales activan/desactivan los interruptores pertenecientes a la etapa de potencia. La estrategia de modulación abordada en este artículo es la técnica de modulación APOD, la cual cumple con el principio de comparar un número determinado de señales portadoras (depende del número de niveles requerido por la topología), con respecto a una señal moduladora de referencia, (ver ecuaciones 1, 2 y 3) para obtener los pulsos requeridos.

$$V_A = A_A \sin(2\pi f_m t) \quad (1)$$

$$V_B = A_B \sin(2\pi f_m t + 120^\circ) \quad (2)$$

$$V_C = A_C \sin(2\pi f_m t - 120^\circ) \quad (3)$$

Dónde:

V_A, V_B, V_C : Tensiones de cada fase A, B y C, respectivamente.

A_A, A_B, A_C : Amplitudes de tensión de la onda sinusoidal de cada fase.

f_m : Frecuencia moduladora de la onda sinusoidal.

t : Período.

Una característica perteneciente a la estrategia de modulación APOD es que las señales portadoras se encuentran desfasadas 180° con respecto a la señal portadora adyacente.

La etapa de potencia emplea la topología del inversor multinivel en cascada trifásico de siete niveles de tensión a la salida. Esta topología emplea 9 módulos IRAMS10UP60b. Internamente, estos módulos están conformados por 6 interruptores IGBT (por sus siglas en inglés Insulated Gate Transistor); sin embargo, para la implementación se emplearon sólo cuatro interruptores IGBT por módulo. Por último, la etapa de carga consta de un motor de inducción trifásico de 1 hp, cuyas características se encuentran en la tabla 2.

Tabla 2 Especificaciones de motor de inducción empleado.

Parámetro	Valor
Potencia nominal	1 hp
Tensión nominal	440 V
Conexión	Y (estrella)
Corriente nominal en vacío	0.9 A
Corriente nominal a plena carga	1.6 A
Velocidad de giro	1745 rpm
Eficiencia nominal	85.5%
Número de polos	4

Implementación de técnica de modulación en FPGA

La etapa de modulación es parte fundamental para obtener una buena calidad en la forma de onda de tensión a la salida del inversor, su objetivo es asegurar que la generación de las señales de conmutación se lleve a cabo de la mejor manera. Es por ello, que en este sistema se emplea un FPGA para implementar dichas señales; la tarjeta de programación utilizada en este trabajo pertenece a la familia Cyclone segunda generación, de la marca Altera®, modelo Cyclone II.

El lenguaje de programación de hardware que se emplea en la tarjeta empleada es VHDL, este tipo de lenguaje utiliza distintos niveles de abstracción que son capaces de simular perfectamente el comportamiento lógico de un circuito sin que se requiera imponer restricciones.

El código desarrollado con el cual se lleva a cabo la implementación de la estrategia de modulación utilizada en este estudio cumple con las siguientes funciones principales:

- Generación digital de las señales moduladoras y portadoras
- Comparación de señales moduladoras y portadoras

La primera función se lleva a cabo mediante el uso de multiplexores en cascada regidos por un reloj principal (figura 2), los cuales generan la señal de salida requerida y la segunda función se lleva a cabo mediante el uso de compuertas (ver figura 3).

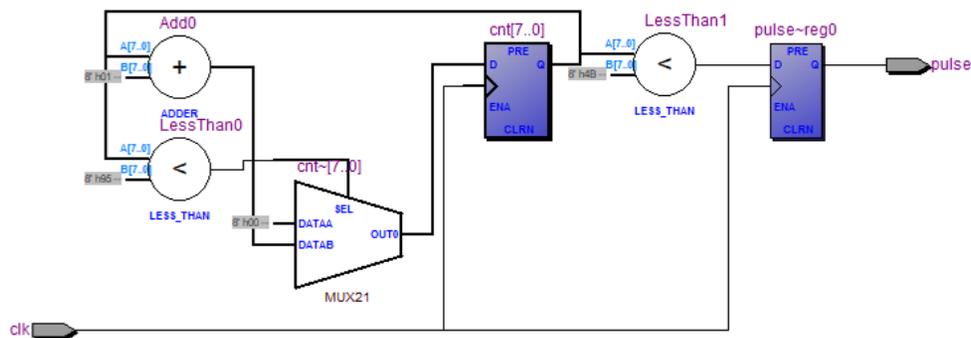


Figura 2 Módulo del reloj maestro.

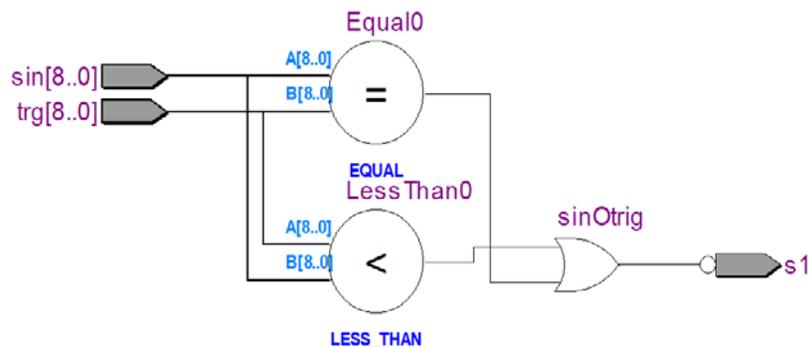


Figura 3 Módulo de comparación de señales digitales.

El diseño del código es estructural debido a que se crearon diferentes códigos en VHDL, cada uno realiza una función determinada y mediante una instanciación de componentes se emplea un programa principal. En la figura 4 se muestra un diagrama a bloques del comportamiento de los códigos generados en VHDL, cada uno trabajando en paralelo.

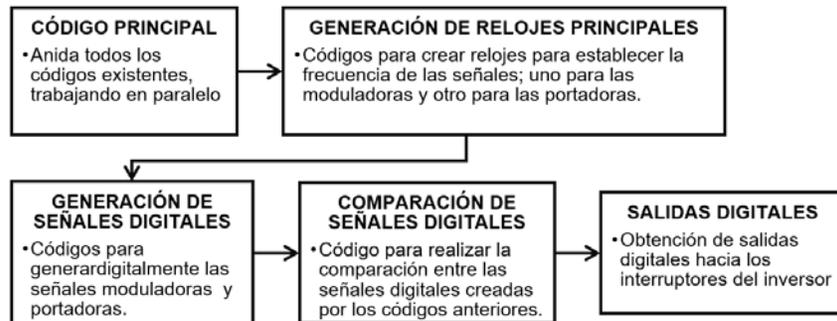


Figura 4 Diagrama a bloques de programación de técnica de modulación APOD PWM.

El programa principal anidado consta de 13 códigos, los cuales tienen las siguientes funciones:

- 1 Código VHDL principal, denominado módulos, el cual concentra los códigos restantes, los cuales generan las señales moduladoras, portadoras y realizan la comparación de ellas.
- 6 códigos VHDL que generan las señales portadoras.
- 3 códigos VHDL que generan las señales moduladoras.
- 1 código VHDL que genera el reloj para tener la frecuencia deseada de las señales portadoras.
- 1 código VHDL que genera el reloj para tener una frecuencia de señales moduladoras de 60 Hz.
- 1 código VHDL que realiza la comparación de las señales moduladoras y portadoras.

De la compilación de los códigos VHDL anteriores, se genera el diagrama RTL (por sus siglas en inglés Register Transfer Level) completo, el cual se utiliza para la técnica de modulación APOD, con índice de modulación de 0.9 (Figura 5).

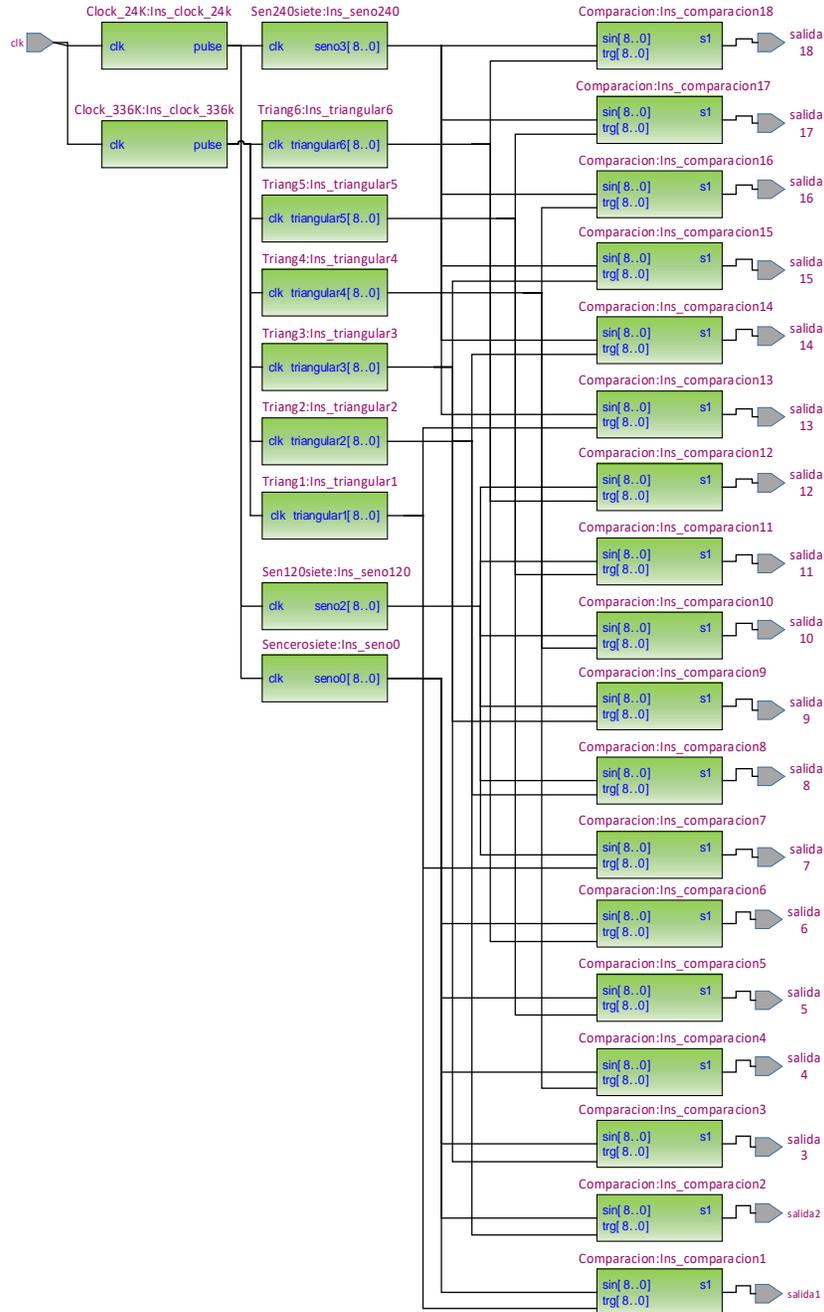


Figura 5 Diagrama RTL completo.

3. Resultados

Resultados en simulación

Utilizando el software PSIM®, se realizaron simulaciones de la topología inversor multinivel en cascada trifásico de siete niveles en conjunto con la modulación APOD y con el motor de inducción trifásico conectado como carga. La finalidad fue

observar el comportamiento del conjunto inversor multinivel + motor de inducción en cuanto a parámetros THD , $WTHD$ y velocidad nominal a plena carga, para posteriormente compararlos con los resultados obtenidos experimentalmente. En la figura 6, se muestra el diagrama eléctrico del sistema simulado. En tabla 3 se presentan las especificaciones generales de los parámetros de simulación.

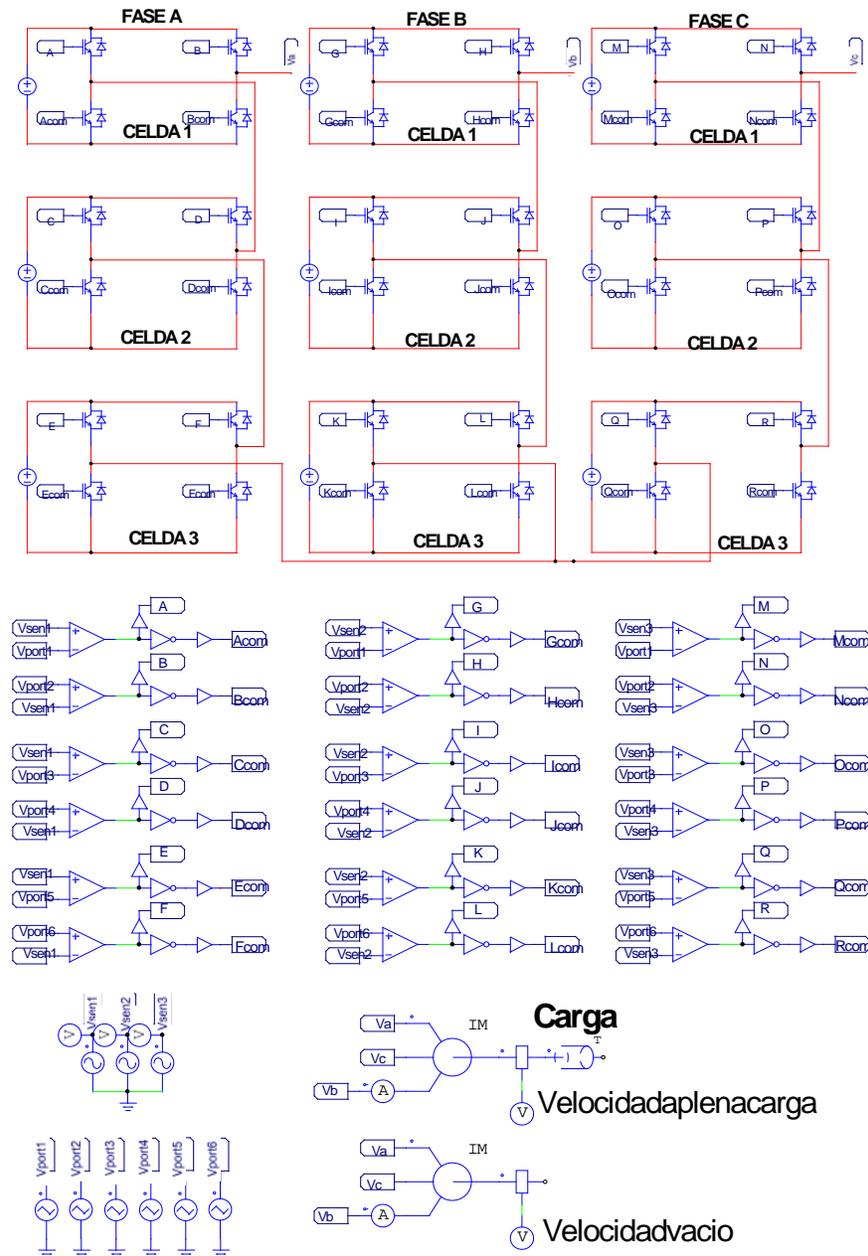


Figura 6 Diagrama RTL completo esquemático de simulación del sistema.

Tabla 3 Especificaciones de los parámetros de simulación.

Parámetro	Valor
Frecuencia de señales moduladoras	60 Hz
Número de señales moduladoras	3
Frecuencia de señales portadoras	3.3 kHz
Número de señales portadoras	6
Número de celdas por fase	3
Tensión de alimentación a celdas	120 V
Índice de modulación	0.9

Algunos de los criterios de selección de tales parámetros son los siguientes:

- Frecuencia de señal moduladora: Este parámetro es de 60 Hz, debido a que es la frecuencia de trabajo del motor que se tiene como conectado como carga del inversor.
- Frecuencia de señal portadora: Este parámetro es de 3.3 kHz debido a que de acuerdo a las referencias [Govindaraju, 2013], indican que la frecuencia recomendada para la señal portadora debe cumplir la condición de ser mayor a 21 veces la frecuencia de la señal moduladora; por lo tanto, a esta frecuencia se cumple la condición.
- Número de señales moduladoras: Este parámetro se determina debido a que el sistema es trifásico, es decir, se requieren tres señales moduladoras desfasadas 120° entre ellas.
- Número de señales portadoras: Este parámetro se determina debido a que el convertidor multinivel empleado en esta tesis es de siete niveles, por lo tanto, se requieren seis señales portadoras.
- Tensión de alimentación a celdas: Este parámetro se considera de 120 V, debido a que la tensión de alimentación nominal de línea del motor de inducción es 440 V; por lo tanto, se requiere una tensión de fase de 360 VPICO, es decir una tensión de fase de 254.55 VRMS.
- Índice de modulación: Este parámetro tiene un valor de 0.9 debido a que de acuerdo con [Reyes, 2018], es el índice que presenta mejores resultados en este tipo de conjunto.

En la figura 7, se muestran las señales moduladoras y portadoras pertenecientes a la técnica de modulación APOD. Como se ha mencionado, las señales de salida

provenientes de la comparación de las señales moduladoras y portadoras de la figura anterior, se emplean para conmutar los interruptores de potencia de la topología multinivel en cascada y con ello generar una tensión senoidal a la salida del inversor (figura 8). Sin embargo, esta señal contiene armónicos característicos de baja y alta frecuencia causados por las señales moduladoras y portadoras, respectivamente.

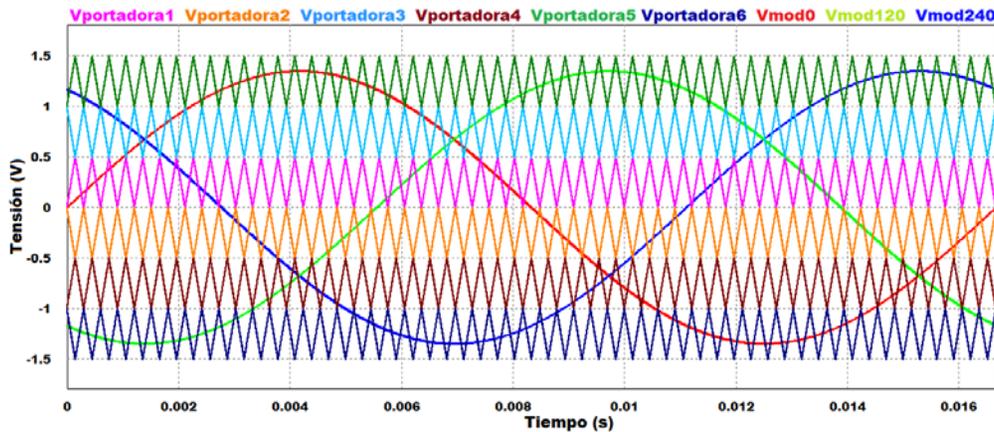


Figura 7 Señales portadoras y moduladoras de la técnica de modulación APOD.

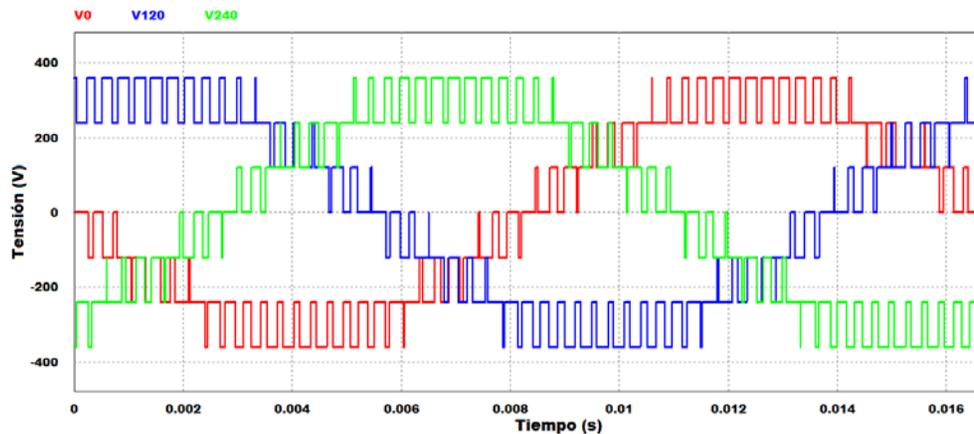


Figura 8 Señal de tensión a la salida del inversor obtenida mediante simulación.

En la figura 9, se muestra el espectro de Fourier de dichas señales obtenidas con la técnica de modulación abordada y con las especificaciones anteriormente mencionadas. Los resultados en cuanto a THD y $WTHD$ obtenidos en simulación fueron de 3.45% y 0.98%, respectivamente.

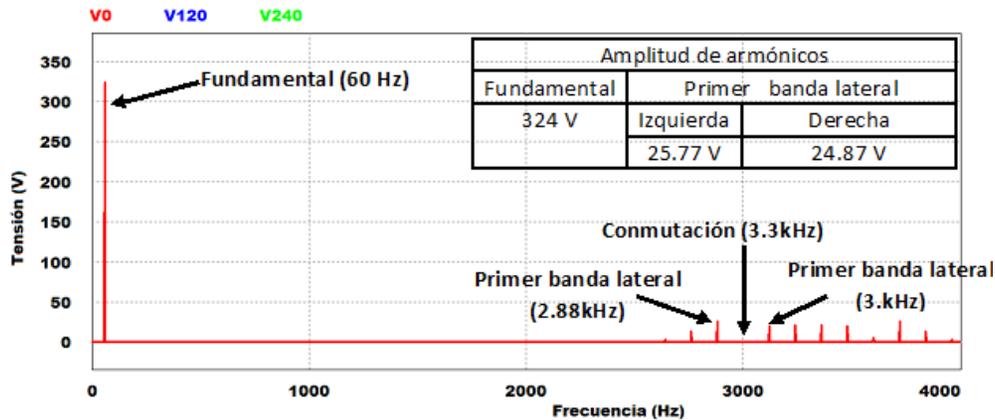


Figura 9 Espectro de Fourier de tensión de salida trifásica, utilizando modulación APOD.

En figura 9, se puede apreciar que en la modulación APOD el armónico perteneciente a la frecuencia de conmutación no aparece; sin embargo, en las bandas laterales a ella si se encuentra presencia de armónicos. Asimismo, cabe destacar que para esta técnica de modulación la frecuencia de cada forma de onda triangular (portadoras) es igual a la frecuencia de conmutación de 3.3 kHz.

La forma de onda de la tensión trifásica de salida del inversor multinivel en cascada se emplea para el accionamiento de un motor de inducción de 1 hp que se tiene como carga en conexión estrella.

En la figura 10, se muestran los valores de la velocidad nominal y de la corriente a plena carga del motor obtenidos mediante simulación utilizando la técnica de modulación APOD con un índice de modulación $m=0.9$.

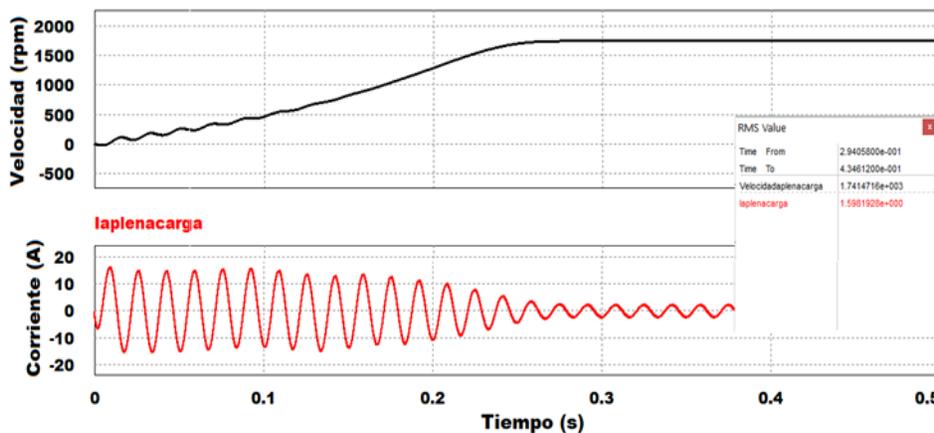


Figura 10 Velocidad nominal a plena carga y corriente de motor de inducción.

Se puede observar que los parámetros de corriente y velocidad nominal a plena carga obtenidos (1741 rpm y 1.59 A, respectivamente) concuerdan con los datos de placa del motor; siendo 1745 rpm y 1.60 A. Por lo tanto, solamente presentan una diferencia en cuanto a velocidad de 0.22% y a corriente de 0.62%. Comprobando así el buen funcionamiento del sistema.

Resultados experimentales

En la figura 11, se presenta el banco de pruebas experimental utilizado para obtener los resultados, y posteriormente compararlos con los obtenidos en simulación.

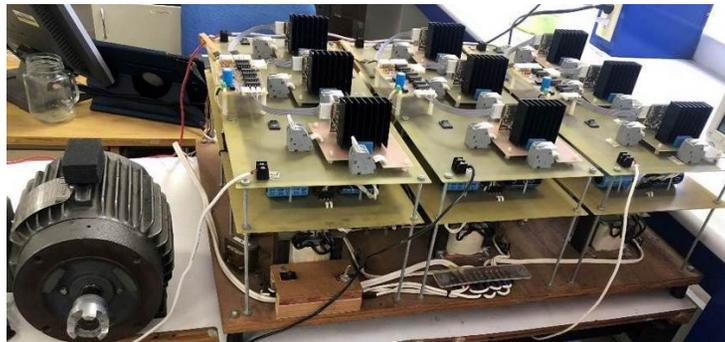


Figura 11 Banco de pruebas experimental.

El diseño del banco de pruebas se llevó a cabo bajo las mismas especificaciones establecidas en la tabla 3, presentada en el apartado anterior. Como se ha mencionado anteriormente, la etapa de potencia emplea la topología multinivel en cascada trifásico de siete niveles, índice de modulación de 0.9 e índice de frecuencia de 55. Para la implementación de la topología en cascada se emplean módulos IRAMS10UP60b, conformados por seis interruptores IGBT, de los cuales únicamente se emplean cuatro por puente completo perteneciente a dicha topología. Para la etapa de carga, se empleó al motor de inducción de 1hp trabajando en vacío durante las pruebas experimentales. Abordando la etapa de modulación, la cual es el objetivo principal de este trabajo de investigación, se procede a implementar la estrategia de modulación APOD por medio del programa Intel Quartus®, empleando los códigos descritos anteriormente.

En las figuras 12 y 13, se muestran las señales moduladoras y portadoras generadas digitalmente por el código VHDL implementado en la tarjeta Altera Cyclone II®. En la figura 12 se encuentran las señales moduladoras desfasadas 120° y en la figura 13 se muestran las seis señales portadoras digitales, las cuales como se puede observar efectivamente se encuentran desfasadas 180° con respecto a su portadora adyacente, tal como lo establece la técnica de modulación APOD.

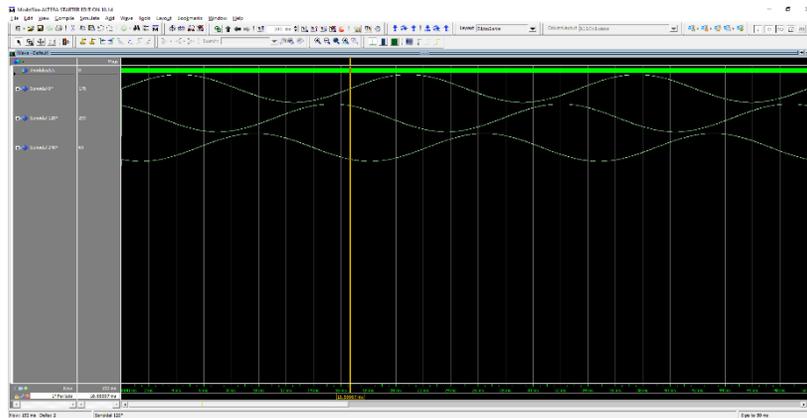


Figura 12 Señales moduladoras generadas por el código programado.

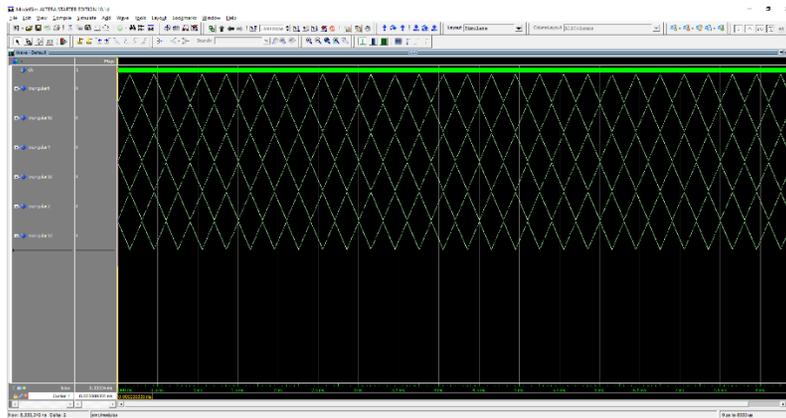


Figura 13 Señales portadoras generadas por el código programado.

Una vez implementado el código VHDL en la tarjeta de programación se obtienen los pulsos que generan los estados de conmutación de los interruptores del inversor multinivel en cascada trifásico de siete niveles. En la figura 14, se muestran los pulsos de salida resultantes de la modulación APOD con índice de modulación igual

a 0.9 para la fase A; dentro de esta imagen se puede apreciar obtiene una frecuencia de 60 Hz.

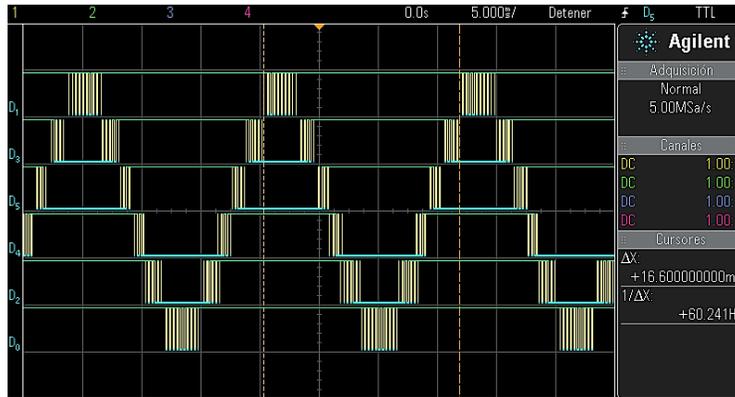


Figura 14 Señal monofásica implementada en FPGA, APOD, $m = 0.9$, fase A.

En figura 15, se muestran las formas de onda de tensión (parte superior) y corriente (parte inferior) a la salida del inversor multinivel en cascada de siete niveles con la carga conectada. Dentro de la imagen se puede observar que presenta un comportamiento equilibrado entre sus fases al tener un desbalance de 2%.

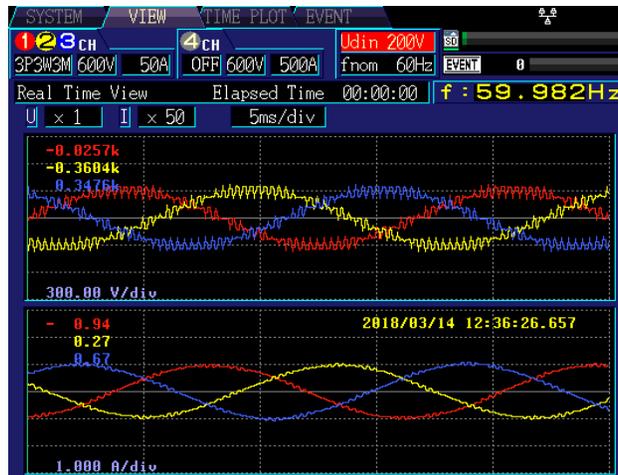


Figura 15 Tensión a la salida de inversor multinivel en cascada trifásico de siete niveles.

4. Discusión

Con la ayuda del analizador de calidad de energía HIOKI PQ3198, se estudió la forma de onda de tensión a la salida del inversor para obtener los resultados de

THD. Así como también, para lograr extraer los datos por armónico y con ellos calcular la *WTHD* por medio de la ecuación 4. Los resultados derivados de lo anterior son *WTHD* = 0.39% (fase A), 0.42% (fase B), 0.36% (fase C).

$$WTHD_V = \frac{\sqrt{\sum_2^{\infty} \left(\frac{V_n^2}{n} \right)}}{V_1} * 100\% \quad (4)$$

En la figura 16, se presenta los valores RMS de tensión obtenidos por fase, se destacan los resultados obtenidos de *THD* en cada fase (encerrados en un contorno rojo). Por lo tanto, tomando como base los resultados presentados en dicha figura se puede observar que se cumple con los requerimientos del estándar IEEE std 519-2014, ya que se obtuvieron valores de *THD* menores a 1.1% en la tensión de las tres fases del sistema; siendo un valor de *THD* 8% el máximo permitido para el rango de tensión empleado.

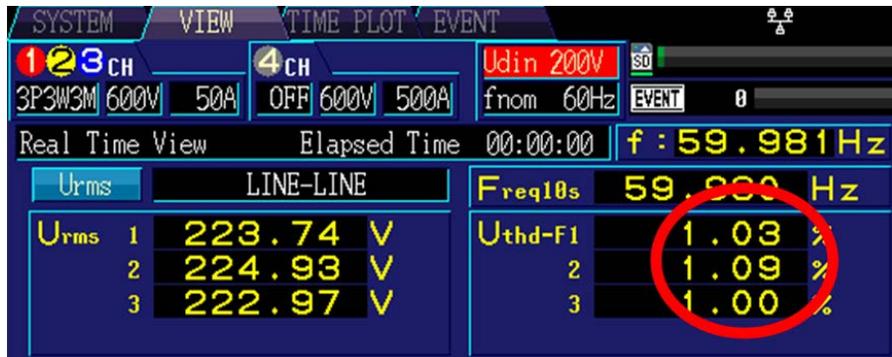


Figura 16 Valores RMS de la tensión y *THD* de cada fase.

El obtener un valor bajo de distorsión armónica total influye directamente en la carga, en este caso en el motor de inducción, ya que ayuda reducir factores tales como el calentamiento, vibraciones y ruido en el motor, los cuales pueden ocasionar fallas en el conjunto a lo largo de su vida útil.

5. Conclusiones

Un aspecto importante en el estudio de los inversores multinivel en cascada es observar su comportamiento en conjunto con las técnicas de modulación. Haciendo

énfasis en lo que respecta a la implementación de la técnica de modulación, se destaca el uso del FPGA para generar digitalmente las tres señales moduladoras y las seis señales portadoras y, al mismo tiempo realizar la comparación de las mismas para obtener las señales de conmutación; llevando a cabo lo anterior de manera paralela y empleando únicamente el 27% de los elementos lógicos de la tarjeta. Además, se puede resaltar que la implementación se llevó a cabo de manera exitosa debido a que se obtuvo una *THD* menor al 8% en las tres fases del sistema. La fase B presentó una $THD = 1.09\%$, un valor más alto respecto a las otras dos fases, y con una $WTHD = 0.42\%$. Finalmente, contar con una secuencia de conmutación óptima y confiable influye directamente en la calidad de la tensión de salida de la topología, lo cual en este sistema favorece a la disminución de parámetros relacionados al motor tales como, ruido, vibraciones y calentamiento; contribuyendo a alargar la vida útil del mismo.

6. Bibliografía y Referencias

- [1] Bozich E. C. (2006). Introducción a los dispositivos FPGA. (Tesis doctoral), Facultad de Ingeniería.
- [2] Franquelo L. G., Rodriguez J., Leon J. I., Kouro S., Portillo R., & Prats M. A. M., (2008). The age of multilevel converters arrives. *IEEE Industrial Electronics Magazine*, 2(2), 28-39. doi: <http://dx.doi.org/10.1109/MIE.2008.92351>.
- [3] García Santacruz C., (2016). Comparación de técnicas de modulación para el control de convertidores electrónicos de potencia multinivel.
- [4] Gonzalez S. A., Verne S. A., & Valla M. I. (2016). *Multilevel converters for industrial applications*: CRC Press.
- [5] Govindaraju C., & Baskaran K., (2011). Efficient Sequential Switching Hybrid-Modulation Techniques for Cascaded Multilevel Inverters. *IEEE Transactions on Power Electronics*, 26(6), 1639-1648.
- [6] Loranca C. J., (2013). Análisis de técnicas de modulación en convertidores multinivel en cascada asimétrico. Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), Departamento de Electrónica.

- [7] IEEE-SA S. B. (2014). IEEE Recommended Practices and Requirements for Harmonic Control in Electric Power Systems.
- [8] Malinowski M., Gopakumar K., Rodriguez J., & Perez M. A., (2010). A Survey on Cascaded Multilevel Inverters. *IEEE Transactions on Industrial Electronics*, 57(7), 2197-2206. doi:10.1109/TIE.2009.2030767.
- [9] Mittal N., Singh B., Singh S. P., Dixit R., & Kumar D., (2012). Multilevel inverters: A literature survey on topologies and control strategies. Paper presented at the 2012 2nd International Conference on Power, Control and Embedded Systems.
- [10] Raghi R. O., & Geisa J. M., (2016, 7-8 April 2016). Multilevel converter topology with reduced switching elements for Electric Vehicle. Paper presented at the 2016 International Conference on Energy Efficient Technologies for Sustainability (ICEETS).
- [11] Rehaoulia A., Rehaoulia H., & Fnaiech F., (2018). Output voltage quality analysis of three-phase multilevel inverters. *Electrical Engineering*, 100(2), 733-739. doi: <http://dx.doi.org/10.1007/s00202-017-0543-1>.
- [12] Reyes S. Y. (2018). Estudio del desempeño del conjunto motor-inversor multinivel en cascada trifásico. Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), Cuernavaca, Morelos.
- [13] Reyes S. Y., Aguayo A. J., De León A. S. E., & Carrilo S. L. M., (2019). Comparative analysis of PD-PWM technique in the set: Multilevel Inverter-Induction motor. *Ingeniería Investigación y Tecnología*, XXI (1), 1-8. doi: <http://dx.doi.org/10.22201/fi.25940732e.2020.21n1.007>.
- [14] Reyes S. Y., Aguayo A. J., De León A. S. E., & Carrilo S. L. M., (2020). Comparative analysis of PWM techniques in the set: Multilevel inverter + induction motor *European Journal of Electrical Engineering*, 22(2), 111-117. doi: <https://doi.org/10.18280/ejee.220204>.
- [15] Yahiaoui A., Iffouzar K., Himour K., & Ghedamsi K., (2019). Comparison of Different Multilevel Voltage Source Inverter Topologies on Induction Motor Energy Quality. *European Journal of Electrical Engineering*, 21(4), 367-372. doi: <http://dx.doi.org/10.18280/ejee.210404>.