

# **EL AMPLIFICADOR MILLER CMOS Y SUS CONSIDERACIONES DE DISEÑO**

## *THE CMOS MILLER AMPLIFIER AND ITS DESIGN CONSIDERATIONS*

**Federico Sandoval Ibarra**

Cinvestav, Unidad Guadalajara, México  
*federico.sandoval@cinvestav.mx*

**Susana Ortega Cisneros**

Cinvestav, Unidad Guadalajara, México  
*susana.ortega@cinvestav.mx*

**Recepción:** 28/octubre/2020

**Aceptación:** 27/noviembre/2020

### **Resumen**

Todo diseño electrónico debe considerar la polarización de la red. El análisis del circuito equivalente, por otro lado, sólo ilustra las prestaciones que la red bajo diseño proporcionará, y éstas están basadas en premisas que no son verificadas, lo que conduce a redimensionar la red a prueba-y-error hasta lograr la respuesta deseada, lo que no es un método de diseño. Si bien el amplificador Miller sólo es una opción de amplificación, es muy usado para introducir el diseño de amplificadores. Por tal razón, el objetivo es resaltar las consideraciones de diseño que deben atenderse y cuáles no porque su efecto en el desempeño del amplificador es irrelevante. En esta contribución el método de diseño se soporta en Leyes Físicas y de su aplicación se señalan las consideraciones relevantes de diseño del amplificador. Se sintetiza las conclusiones del análisis usando facilidades de una tecnología CMOS estándar 0.5  $\mu\text{m}$ ,  $\pm 2.5\text{ V}$ .

**Palabras Clave:** Análisis en CD, amplificador Miller, circuitos CMOS, compensación Miller, enseñanza, Spice.

### **Abstract**

*All electronic design must consider the polarization of the network. The equivalent circuit analysis, on the other hand, only illustrates the benefits that the network under*

*design will provide, and those are based on premises that are not verified, which leads to resizing the network through trial-and-error until the desired response is achieved, which is not a design method. Although the Miller amplifier is only an amplification option, it is widely used to introduce amplifier design. For this reason, the objective of this contribution is to highlight the design considerations that must be addressed, and which are not important because their effect on the performance of the amplifier is irrelevant. In this work the design method is supported in Physical Laws and with them the relevant amplifier design considerations are pointed out. The conclusions of the analysis are synthesized using facilities of a standard 0.5  $\mu\text{m}$ ,  $\pm 2.5$  V CMOS technology.*

**Keywords:** CMOS circuits, DC analysis, Miller amplifier, Miller Compensation, Spice, Teaching.

## **1. Introducción**

En el diseño de amplificadores CMOS (y en general en cualquier circuito analógico) es importante considerar, como parte del flujo de diseño, la polarización y todo lo que implica el análisis en Corriente Directa (CD). En la práctica, el análisis del circuito equivalente de pequeña señal, por otro lado, sólo ilustra las prestaciones que el circuito bajo diseño proporcionará, y éstas están basadas en premisas o suposiciones que usualmente no son verificadas, lo que conduce a redimensionar el circuito con procedimientos a prueba-y-error hasta lograr la respuesta deseada, lo que no es un método de diseño y no suma al saber-hacer. En sentido estricto, toda premisa y fundamentalmente su verificación debe soportarse en principios físicos, cuyo punto de partida inicia con el análisis en CD, y los resultados que de él se obtienen (valores específicos para elementos de red particulares) sí permiten construir el circuito eléctrico equivalente, y obtener conclusiones precisas de desempeño.

No es asunto menor resaltar la relevancia del análisis en CD, y en esta contribución se hace por dos razones. Primeramente, los libros de texto, para introducir el diseño de circuitos analógicos CMOS, describen brevemente la existencia del análisis en CD, y se enfocan a presentar modelos eléctricos equivalentes de tantas topologías

como sea posible, y todas ellas sin un común denominador. Luego, en cuanto a los artículos de revista y/o conferencia, cada autor describe las bondades de su diseño (generalmente soportado en un circuito eléctrico equivalente), y algunos pudieran ofrecer los valores específicos de los componentes de pequeña señal mas omiten comentar cómo se obtuvieron. Es prudente comentar que los tópicos del “diseño analógico no es magia negra” [Kinget, 2005], sino la puesta en práctica de un método, de un método de diseño.

Pudiera decirse que no hay un libro de texto que cubra a cabalidad la instrucción del diseño analógico CMOS, y aunque hay buenos intentos no dejan de ser incompletos por cuanto abruma al lector con enormes cantidades de información. Por ejemplo, en [Allen, 1987] se presenta el diseño de circuitos usando modelado matemático.

Esta propuesta de diseño toma en consideración las propiedades eléctricas del transistor descritas en el modelo de simulación  $LEVEL = 1$  de spice. Adicionalmente usan técnicas de análisis numérico, en curvas fundamentales de desempeño, para inferir parámetros de la tecnología que son necesarios para el diseño de circuitos. El desempeño de éstos se muestra con simulación spice, y es de resaltar que dimensionamiento de los transistores se propone a partir de los valores deseados del análisis de pequeña señal. De igual manera en [Razavi, 2001] se muestra el diseño de circuitos a partir de modelos matemáticos, y las propiedades eléctricas del transistor son del modelo de simulación spice,  $LEVEL = 1$ . Y para ilustrar lo que se espera del diseño, muestra la forma de onda esperada en cada nodo hasta llegar al nodo de salida, donde describe la bondad de la topología propuesta. El desempeño global de los circuitos (bajo diseño) no se muestran con simulaciones spice, y el dimensionamiento de los transistores se hace con los valores deseados que resultan del análisis en CA (del circuito equivalente). Una propuesta más se presenta en [Johns, 1997], donde además de usar modelos matemáticos, y las propiedades eléctricas del transistor descritas en el modelo de simulación spice ( $LEVEL = 1$ ), comparten los valores numéricos de una tecnología CMOS  $0.8\mu\text{m}$ , que son relevantes para estimar el valor de las capacitancias parásitas asociadas a cada transistor. Adicionalmente, muestran el desempeño de los circuitos analizados con

simulaciones spice, proveen el *netlist* de simulación, pero no muestran cómo obtener el dimensionamiento de cada transistor. Por otro lado, la propuesta descrita en [Gregorian, 1990] proporciona una variante que las demás propuestas de diseño no incluyen, y es el análisis de una red de polarización NMOS. Si bien no ilustran cómo hacer el dimensionamiento de los transistores, sí proporcionan dos consideraciones de diseño:

- La importancia del voltaje de encendido en transistores operando en fuente inversión (en saturación), específicamente cuando  $V_{BS} \neq 0$ .
- Inclusión de un transistor operando en la región lineal para provocar que los potenciales generados (por el divisor de voltaje) no presenten una dependencia proporcional al voltaje que provee la fuente de alimentación; característica deseada en aplicaciones portátiles que demandan el uso eficiente de energía. Esa descripción es la única relacionada al análisis en CD, y si bien todos los autores tarde o temprano introducen tópicos de amplificación, sí es necesario describir un método que conduzca al dimensionamiento del transistor y de los circuitos con él diseñados.

Puede asegurarse que después del Par Diferencial, el circuito más utilizado en diseño analógico es el Amplificador Miller. Es un circuito muy noble, de aceptables prestaciones, y cada una de sus etapas de amplificación pueden proveer 40 dB de ganancia (a lazo abierto), 80 dB en total, la que es una ganancia muy aceptable para una gama amplia de aplicaciones. Si bien es una topología diferencial, de salida simple, su diseño completamente diferencial es inmediato. Sin embargo, por el alcance de esta contribución, el enfoque está orientado al amplificador de salida simple. Por tal razón se mostrarán sus consideraciones de diseño, y se resaltarán aquellas de mayor relevancia. Para iniciar basta decir que el objeto de estudio en esta contribución es el circuito lineal, formado con elementos de red concentrados (adecuado para realizar el análisis en CD) [Desoer, 1969], que el dominio de análisis y diseño (de pequeña señal) es el de la variable de Laplace [Vlach, 1993] y se sintetizan las conclusiones de todo análisis usando las facilidades de una tecnología estándar CMOS 0.5  $\mu\text{m}$ , pozo-N,  $\pm 2.5$  V [mosis.org, 2020].

## 2. Métodos

El método de diseño que se presenta en esta contribución incluye Tspice para la simulación eléctrica a nivel transistor, y además de dimensionar al transistor MOS es importante que desde esa actividad se identifiquen y minimicen los efectos no deseados de las no-idealidades de la tecnología y del transistor también. Ese escenario de trabajo es el pilar en el que está soportado el *Desarrollo de Proyectos (DdP)* [Sandoval, 2019]. Éstos se refieren al diseño de circuitos y sistemas CMOS realizados en cursos Diseño Analógico, en la Unidad Guadalajara de Cinvestav, que son manufacturados en silicio y posteriormente llegan a la etapa de caracterización eléctrica. El propósito de esta contribución es mostrar que la Aproximación Resistiva es una opción adecuada de diseño, que permite iniciar el diseño desde las consideraciones de CD, que la polarización de todo circuito es viable con la Ley de Ohm, y que la función específica en CA se deduce con las ecuaciones de Kirchhoff transformadas al dominio de la variable de Laplace. El fin último de esta contribución es subrayar que todo diseñador debe saber cuáles son las fuentes de error, cómo minimizar su efecto y satisfacer el desempeño esperado del circuito. En el caso de estudio que se presenta, el amplificador Miller, se considera *mismatch* y ruido térmico porque ambos son de relevancia en el diseño analógico. Un propósito añadido no es analizar las no-idealidades como casos aislados, sino como minimizar su efecto cuando éste es una especificación de diseño.

Para iniciar el análisis en CD, considerar la rama de corriente PPN (figura 1) que será usada como red de polarización, y como celda básica para implementar circuitos analógicos. Para determinar la dimensión física de cada transistor (de arriba-a-abajo etiquetados como Mp1, Mp2 y Mn3, respectivamente) deben decirse dos consideraciones de diseño más:

- El valor de los potenciales internos de la red ( $V_{REF1}$  y  $V_{REF2}$ ) están bajo el control del diseñador.
- La magnitud de corriente de polarización también es una prerrogativa del diseñador. Entonces, suponer que la alimentación de la red es  $V_{DD} = -V_{SS} = 2.0 V$ , y sólo para propósitos ilustrativos sea  $V_{REF1} = 1.25 V$  y  $V_{REF2} = 0 V$  [Sandoval, 2011].

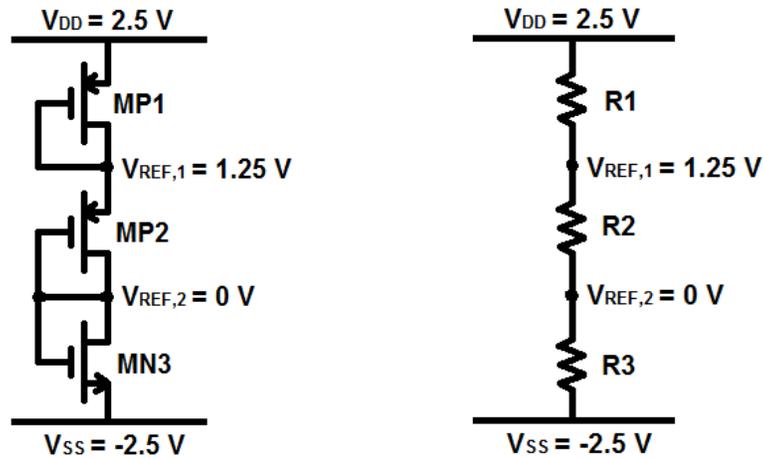


Figura 1 Rama de corriente PPN y circuito resistivo equivalente.

Nótese que sólo hay un transistor NMOS (en la parte inferior de la red) y dos transistores PMOS. Esta distribución se debe a tres consideraciones de diseño:

- Todo circuito MOS presenta mejor desempeño cuando está formado de transistores complementarios, de ahí que al menos uno de ellos sea NMOS.
- En tecnologías de pozo-N es recomendable que cada transistor PMOS tenga su propio pozo porque favorece satisfacer la condición  $V_{SB}=0$ , lo que significa que ese transistor encenderá con el voltaje *threshold* mínimo (proporcionado por el fabricante).
- Es recomendable minimizar la generación de ruido térmico, fundamentalmente en aplicaciones de pequeña señal; el transistor PMOS cumple ese requerimiento.

La premisa en el dimensionamiento de la rama PPN, es que todo transistor MOS con lazo de retroalimentación,  $V_{GD} = 0$ , opera en fuerte inversión, en la región de saturación, y su desempeño es equivalente a resistor. En la figura 1 se muestra el circuito resistivo equivalente. De la teoría de circuitos, se puede verificar que para satisfacer el valor de los voltajes de referencia los resistores cumplen las condiciones:  $R_1 + R_2 = R_3$  y  $R_1 = R_2$ , o  $R_1 = 1/2 R_3$ . Esta relación de diseño es reveladora porque indica que no es de interés los valores específicos de resistencia, sino satisfacer la relación entre ellas. Luego, si el transistor se polariza para conducir en saturación, ecuación 1 describe el modelo.

$$|I_{D,j}| = KP_j \left(\frac{W}{L}\right)_{i,j} (|V_{GS}| - |V_{TH,j}|)^2 \quad (1)$$

Donde  $W$  y  $L$  son el ancho y largo del canal de inversión,  $V_{TH}$  y  $KP$  son parámetros que proporciona el fabricante,  $V_{GS}$  es el voltaje compuerta-fuente (bajo el control del  $d$ ),  $j = n,p$  e  $i = 1,2,3$ .

En la práctica, porque la derivada de  $I_D$  respecto a  $V_{GS}$  es la transconductancia del transistor, las relaciones de diseño resistivas pueden representarse como relaciones de transconductancia, ecuaciones 2 y 3.

$$\frac{1}{2} = \frac{KP_n \left(\frac{W}{L}\right)_{n3} (|V_{REF,2} - V_{SS}| - |V_{TH,n}|)}{KP_p \left(\frac{W}{L}\right)_{p1} (|V_{REF,1} - V_{DD}| - |V_{TH,p}|)} \quad (2)$$

$$\frac{1}{2} = \frac{KP_n \left(\frac{W}{L}\right)_{n3} (|V_{REF,2} - V_{SS}| - |V_{TH,n}|)}{KP_p \left(\frac{W}{L}\right)_{p2} (|V_{REF,2} - V_{REF,1}| - |V_{TH,p}|)} \quad (3)$$

Y sustituyendo valores puede concluirse que las ecuaciones de diseño se convierten en relaciones de ancho de canal, ecuación 4.

$$W_{p1} = W_{p2} = 34.58W_{n3} \quad (4)$$

Donde se asumió que la longitud de canal, de todos los transistores, es de igual valor ( $L = 1.5\mu m$ ); por razones de confidencialidad no se proporcionan valores de la tecnología. Del resultado obtenido se concluye que el ancho de canal del transistor MN3 es un parámetro bajo el control del diseñador, y significa que el dimensionamiento de la red PPN no es única. En esta etapa del análisis es importante comentar otra consideración de diseño: h) la dimensión física que resulte para cada transistor debe ajustarse a múltiplos de  $\lambda$ , la cual es una regla de diseño del fabricante; para la tecnología considerada en esta contribución  $\lambda = 0.3\mu m$ . Nótese que es posible que la dimensión física calculada con (ecuación 4) no sea un múltiplo de  $\lambda$ , por lo cual el ajuste que deba hacerse conllevará un error que será relevante si las dimensiones físicas son pequeñas. En la tabla 1 se muestra el resultado de simulación spice (usando  $LEVEL = 49$ ), para ocho dimensionamientos propuestos para Mn3, y los obtenidos para Mp2 y Mp1.

Tabla 1 Valores de simulación, análisis en CD para la red PPN.

	1	2	3	4	5	6	7	8
$W_{n3}$	3.00 $\mu\text{m}$	4.50 $\mu\text{m}$	6.00 $\mu\text{m}$	7.50 $\mu\text{m}$	9.00 $\mu\text{m}$	10.5 $\mu\text{m}$	12.0 $\mu\text{m}$	16.5 $\mu\text{m}$
$W_{p2}$	104 $\mu\text{m}$	156 $\mu\text{m}$	209 $\mu\text{m}$	259 $\mu\text{m}$	312 $\mu\text{m}$	363 $\mu\text{m}$	415 $\mu\text{m}$	572 $\mu\text{m}$
$W_{p1}$	104 $\mu\text{m}$	156 $\mu\text{m}$	209 $\mu\text{m}$	259 $\mu\text{m}$	312 $\mu\text{m}$	363 $\mu\text{m}$	415 $\mu\text{m}$	572 $\mu\text{m}$
$V_{REF,1}$	1.22 V	1.20 V	1.20 V	1.19 V	1.19 V	1.19 V	1.18 V	1.18 V
$V_{REF,2}$	-60.6 mV	-91.9 mV	-106 mV	-118 mV	-123 mV	-129 mV	-133 mV	-140 mV
$I_{BIAS}$	182 $\mu\text{A}$	295 $\mu\text{A}$	410 $\mu\text{A}$	525 $\mu\text{A}$	641 $\mu\text{A}$	757 $\mu\text{A}$	873 $\mu\text{A}$	1.22 mA
$g_{m3}$	180 $\mu\text{S}$	292 $\mu\text{S}$	370 $\mu\text{S}$	475 $\mu\text{S}$	581 $\mu\text{S}$	687 $\mu\text{S}$	793 $\mu\text{S}$	1.11 mS
$g_{ds,n3}$	2.81 $\mu\text{S}$	4.58 $\mu\text{S}$	6.43 $\mu\text{S}$	8.29 $\mu\text{S}$	10.2 $\mu\text{S}$	12.1 $\mu\text{S}$	14.0 $\mu\text{S}$	19.7 $\mu\text{S}$
$g_{mp2}$	843 $\mu\text{S}$	1.49 mS	2.00 mS	2.49 mS	3.00 mS	3.49 mS	3.99 mS	5.5 mS
$g_{ds,p2}$	9.16 $\mu\text{S}$	14.8 $\mu\text{S}$	20.6 $\mu\text{S}$	26.4 $\mu\text{S}$	30.4 $\mu\text{S}$	35.8 $\mu\text{S}$	41.3 $\mu\text{S}$	57.9 $\mu\text{S}$
$g_{mp1}$	843 $\mu\text{S}$	1.49 mS	2.00 mS	2.49 mS	3.00 mS	3.49 mS	3.99 mS	5.50 mS
$g_{ds,p1}$	9.16 $\mu\text{S}$	14.8 $\mu\text{S}$	20.6 $\mu\text{S}$	26.4 $\mu\text{S}$	30.4 $\mu\text{S}$	35.8 $\mu\text{S}$	41.3 $\mu\text{S}$	57.9 $\mu\text{S}$

De los resultados obtenidos se observa que para valores pequeños de  $W_{n3}$ , los voltajes de referencia se aproximan a los valores esperados. Mientras que el mayor consumo de corriente ocurre para el mayor dimensionamiento, como era de esperar. Por otro lado, obsérvese que se satisface la condición  $gm \gg gds$  para todos los transistores, lo que es indicativo de que operan en saturación. Estos resultados verifican la premisa inicial, los transistores en configuración diodo ( $V_{Gd} = 0$ ) operan como resistores, y la rama PPN es un divisor de voltaje activo.

Para concluir el análisis en CD, considerar las redes resistivas mostradas en la figura 2, las cuales son réplicas una de la otra.

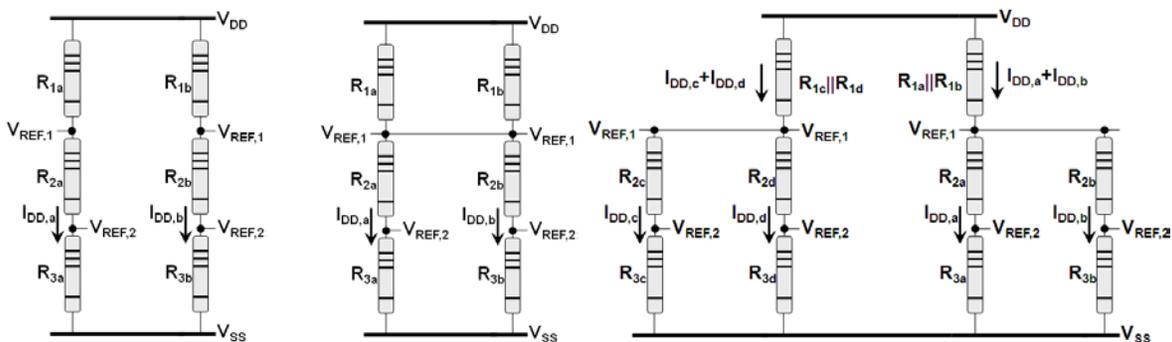


Figura 2 Réplica de divisores de voltaje, corto circuito en nodo de idéntico valor y uso de réplicas de mayor complejidad.

De la teoría de circuitos se sabe que cuando hay nodos idéntico valor de voltaje, éstos se pueden unir con un cortocircuito y el efecto que resulta es que ese “nuevo”

nodo tiene capacidad para manejar el doble de corriente y ésta fluye por un resistor equivalente cuyo valor es el 50% de cualquiera de los resistores que se sometieron al arreglo paralelo (figura 2). El circuito que resulta puede ser replicado y nuevamente hacer un cortocircuito en nodos de idéntico voltaje. Para todo propósito práctico, los potenciales  $V_{REF1}$  y  $V_{REF2}$  permanecen sin cambio alguno porque las redes son réplicas.

Esta idea de construir redes de mayor complejidad es la opción para diseñar cualquier circuito. Para ilustrar el concepto considérese el circuito MOS mostrado en la figura 3, formado por dos réplicas PPN. La red de la izquierda es de polarización, y aun cuando dos transistores de la otra rama PPN no incluyen su lazo de retroalimentación, están bien polarizados, siguen cumpliendo la condición  $V_{GD} = 0$  y en consecuencia los transistores operan en saturación. Esta sencillez en la implementación es otra consideración de diseño: i) el diseño de redes, para el procesamiento de señales analógicas, se construyen a partir de una celda base, y es a ésta a quien debe darse mayor atención. Toda red CMOS, por otro lado, tiene una función diferente a la que ofrece en CD, y se deduce de su circuito eléctrico equivalente. Si bien este análisis ya es CA, basta señalar que la respuesta de circuito mostrado en la figura 3 tiene una característica pasa-bajas en el dominio de la frecuencia.

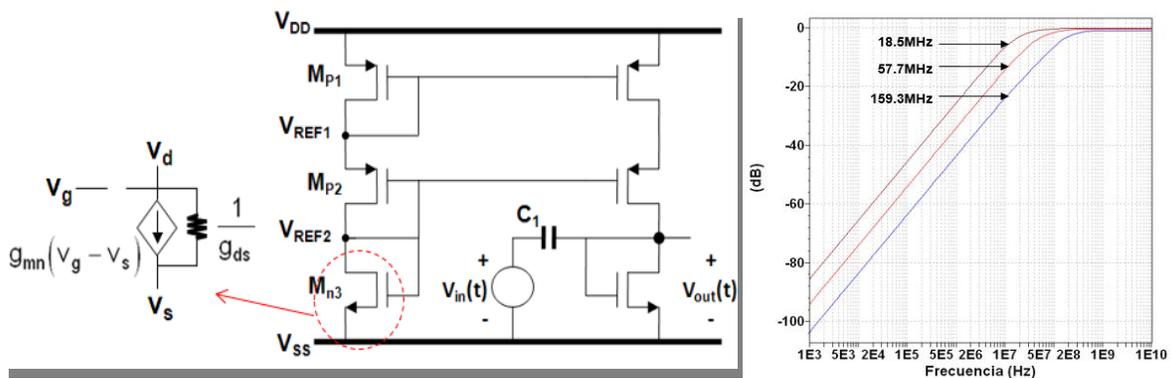


Figura 3 Réplica de ramas PPN y respuesta en el dominio de la frecuencia.

La rama PPN de la derecha se configuró (de la forma indicada) para operar (en CA) como un resistor aterrizado; el valor de la resistencia equivalente se puede controlar

seleccionando la conexión de la compuerta de cada transistor; el lector puede concluir que con tres transistores es posible obtener ocho diferentes valores de resistencia. Finalmente, para concluir el análisis en CD, una consideración de diseño más: j) en el diseño de circuitos analógicos, el diseñador decide de cuál nodo se obtendrá la respuesta, y esa respuesta deberá tener la misma excursión hacia arriba y hacia abajo. Por esa razón se propuso que  $V_{REF2}$  fuera de valor cero; de antemano se sabía que era el nodo de salida, y  $V_{REF} + V_{out}(t)$  es la respuesta total. Para iniciar el análisis en CA debe conocerse el modelo equivalente de pequeña señal, del transistor. En la figura 3 se muestra el modelo para el NMOS, donde  $g_m$  y  $g_{ds}$  son parámetros que dependen de la polarización y de la razón  $W/L$  del transistor; los valores de estos parámetros se muestran en la tabla 1. Para construir el Par Diferencial considerar el amplificador mostrado en la figura 4, donde la entrada  $V_{in}(t)$  sobre un nivel de CD, a saber  $V_{REF2}$ . En la misma figura se muestra el circuito eléctrico equivalente y usando KCL se puede verificar que la ecuación 5 describe el desempeño.

$$i_o(t) \approx -g_{mp2}v_{in}(t) + g_{mp2}v_x(t) \quad (5)$$

Donde la simplificación obedece a la relación  $gm \gg gds$ . Una característica de desempeño que todo diseñador desea es tener sistemas con dependencia lineal entre las variables de diseño, y pudiera decirse que el segundo sumando, en (ecuación 5), no permite lograr ese propósito. Ahora considerar las réplicas que se muestran en figura 4, y para distinguirlas se usan super-índices “mas” y “menos”.

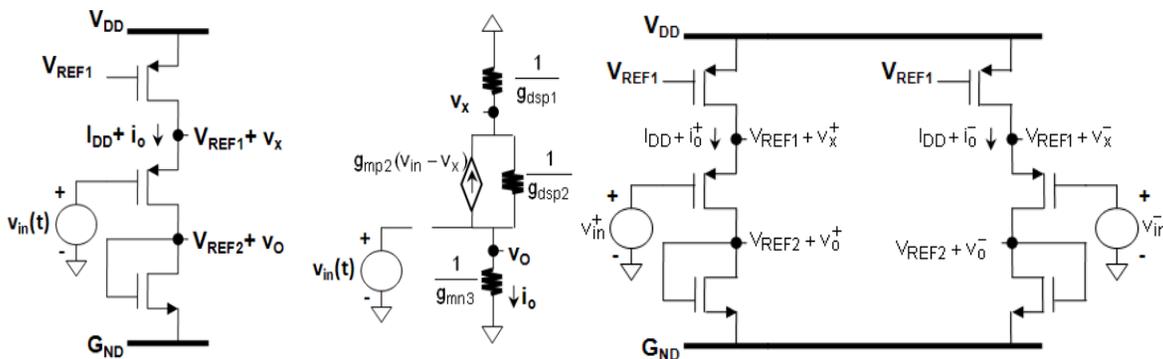


Figura 4 Amplificador inversor con degeneración de fuente y red propuesta.

Del análisis previo se concluye que el desempeño de cada red es equivalente a (ecuación 5), pero ahora es de interés calcular la diferencia de ambas corrientes, ecuación 6.

$$i_d(t) \approx -g_{mp2}(v_{in}^+(t) - v_{in}^-(t)) + g_{mp2}(v_x^+(t) - v_x^-(t)) \quad (6)$$

El lector puede verificar que para que no contribuya el segundo sumando al cálculo de la corriente diferencial, se debe satisfacer que  $v_x^+ = v_x^-$ ; esa condición se consigue incluyendo un corto-circuito en los nodos  $V_{REF1}$ . La red que resulta se muestra en la figura 5, donde la corriente  $i_o^+$  es la transducción que realiza Mp2, convierte la señal de entrada en corriente, y ésta al fluir por Mn3 se convierte en voltaje  $v_o^+$  porque en esa configuración (y en CA) el transistor se comporta como resistor de valor  $1/g_{mn3}$ . Este voltaje,  $-v_i + g_{mp2}/g_{mn3}$ , puede ser convertido a corriente por el otro transistor Mn3, siempre que éste cambiara su auto-polarización y se polarizara de la otra rama; el circuito que resulta se muestra en la figura 5, donde el arreglo de transistores Mn3 se denomina Espejo de Corriente y el circuito total es un Par Diferencial (PD). Obsérvese que en el nodo de salida hay respuesta en corriente, por lo cual el PD es un Amplificador Operacional de Transconductancia.

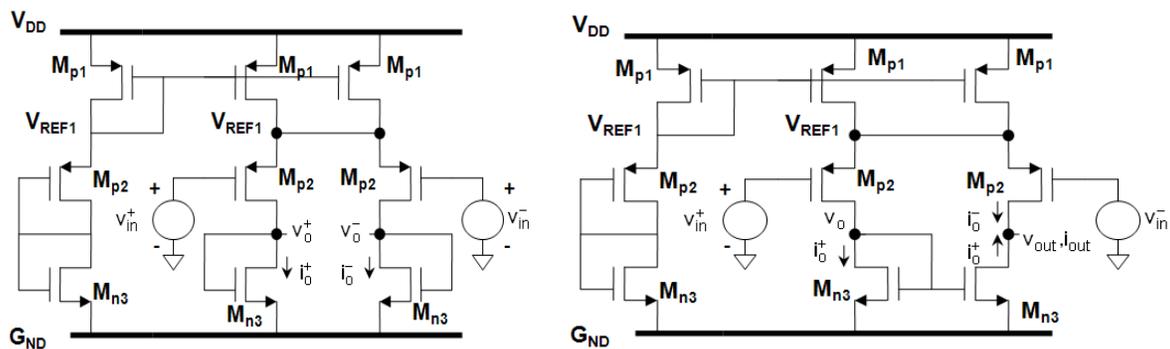


Figura 5 Circuito para corriente diferencial y circuito alternativo para suma de corrientes.

En la figura 6 se muestra el circuito eléctrico equivalente para obtener un modelo analítico que cuantifique la ganancia de baja frecuencia, a lazo abierto. Nótese que para simplificar el análisis sólo se aplica la señal  $v_{in}^+(t)$ ;  $v_{in}^-(t) = 0$ . Sin embargo, el lector puede observar que el circuito no incluye la contribución de los transistores

Mp1. La razón es simple, y es otra consideración de diseño: k) en CA, el corto circuito que se usó en los nodos  $V_{REF1}$ , y que fue la solución para eliminar el segundo sumando en (6), es una tierra analógica; el circuito eléctrico equivalente de cada Mp1 está sometido a una diferencia de potencial de valor cero. Luego, aplicando KCL puede verificarse que la respuesta está dada por  $i_{out} \approx g_{mp2}v_{in}^+(t)i_{out}$ .

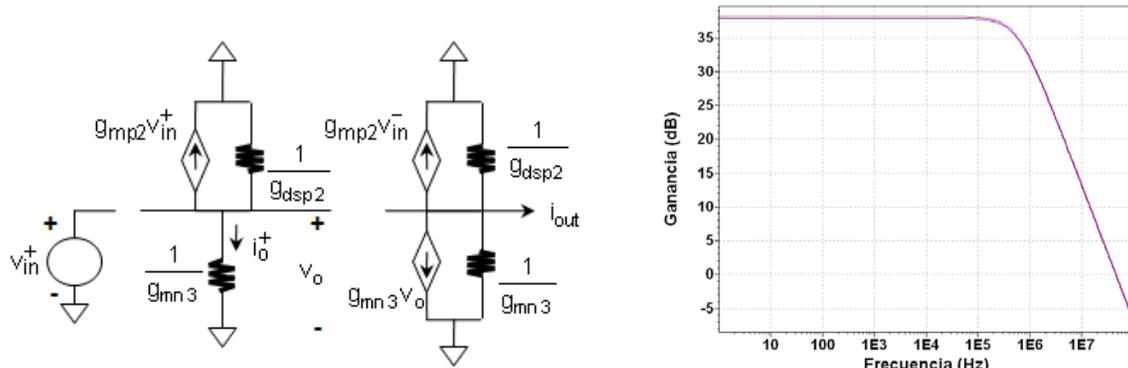


Figura 6 Circuito equivalente para el par diferencial y respuesta a lazo abierto.

Ese mismo circuito es útil para obtener la impedancia de salida,  $r_{out}$ . En este escenario  $v_{in}^+(t) = v_{in}^-(t) = 0$ , y en el nodo de salida se aplica una señal de prueba  $v_t(t)$  por la cual circula una corriente  $i_t(t)$ . Aplicando nuevamente KCL, el lector concluirá que la impedancia está dada por  $r_{out} = (g_{dsp1} + g_{dsn3})^{-1}$ . Y con la ley de Ohm puede calcularse el voltaje en el nodo de salida, ecuación 7.

$$v_{out}(t) = \frac{g_{mp2}}{g_{ds,p2} + g_{ds,n3}} v_{in}^+(t) \quad (7)$$

Donde la proporcionalidad entre ambos voltajes es la ganancia a lazo abierto,  $A_o$ . La respuesta de simulación del amplificador, en el dominio de la frecuencia, se muestra en la figura 6, y corresponde a los diseños 1 y 2 (Tabla 1).

Sustituyendo cualquier conjunto de valores de los elementos de red, mostrados en la tabla 1, en (1), se verifica que el valor de la ganancia corresponde al mostrado en la figura 6, aproximadamente 37 dB; el error en la comparación es del orden de 1.8%. Recuérdese que esos valores son para  $L = 1.5 \mu m$ , y si el interés es aumentar la ganancia, l) el lector debe tener presente que la longitud de canal es una variable bajo su control, y aumentando su valor puede obtenerse 40 dB (100 en magnitud).

Aún más, k) aumentando el ancho de canal de ambos  $M_{p2}$ , sólo del par diferencial, ocurre un aumento en el valor de la transconductancia  $g_{mp2}$  y con ello obtener ganancias mayores a 40dB; la justificación de las dos últimas consideraciones de diseño, no serán demostradas en esta contribución por razones de la extensión del documento. Alternativamente, puede aumentarse mucho más la ganancia (>70 dB) con una etapa más de amplificación. Una de varias propuestas se muestra en la figura 7, y consta de cuatro réplicas PPN. Nótese que se incluyen algunas capacitancias parásitas porque, un interés del diseño de amplificadores, es la fase del circuito y la frecuencia de ganancia unitaria,  $f_o$ . Estos dos parámetros son importantes cuando el amplificador (de dos etapas) incluye un lazo de retroalimentación [Baker, 2010], y debe cuidarse que el circuito no sea un sistema inestable. Sin embargo, aun cuando el uso de un lazo de retroalimentación obedece a una necesidad específica, m) es un error, conceptual del diseño, considerar que la ganancia a lazo abierto debe ser muy grande ( $A_0 > 80 \text{ dB}$ ), cuando su valor está dictado por la aplicación y no por cuestiones de amplificación, y ello es útil para satisfacer el valor del error debido a la ganancia finita,  $\varepsilon \approx 1/A_0$ .

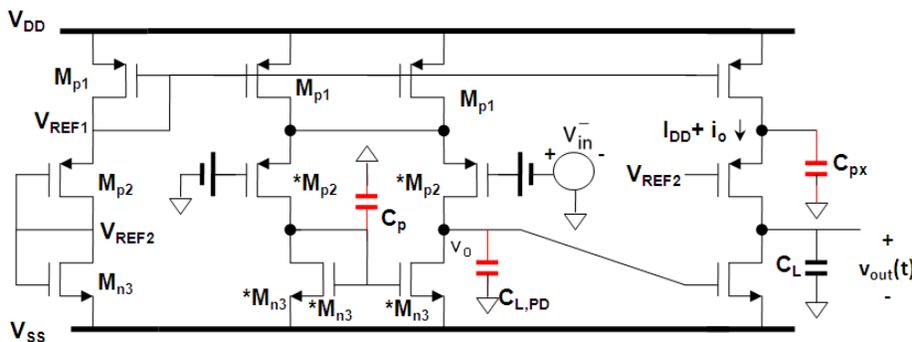


Figura 7 Amplificador diferencial CMOS de dos etapas.

Se invita al lector a desarrollar, y resolver, el circuito eléctrico equivalente de la etapa de salida, y mostrar que la ganancia de esa etapa está dada por ecuación 8.

$$v_{out}(t) \approx -\frac{g_{mn3}}{g_{ds,n3}} v_{in}(t) \quad (8)$$

Donde la aproximación obedece a la condición  $gm \gg gds$ .

Los resultados de simulación, y los obtenidos de la ecuación 8 son 35 dB y 35.05 dB, respectivamente; el error relativo es del orden de 0.15%.

### 3. Resultados

La respuesta spice (en el dominio de la frecuencia) a lazo abierto se muestra en la figura 8, donde una carga  $C_L=5.0\text{pF}$  fue incluida. La ganancia de baja frecuencia, poco mayor a 70 dB, puede obtenerse también usando los valores de los parámetros de pequeña señal, incluidos en la tabla 1, y basta con sustituirlos en las ecuaciones 7 y 8, calcular su equivalente en dB y sumar ambos resultados.

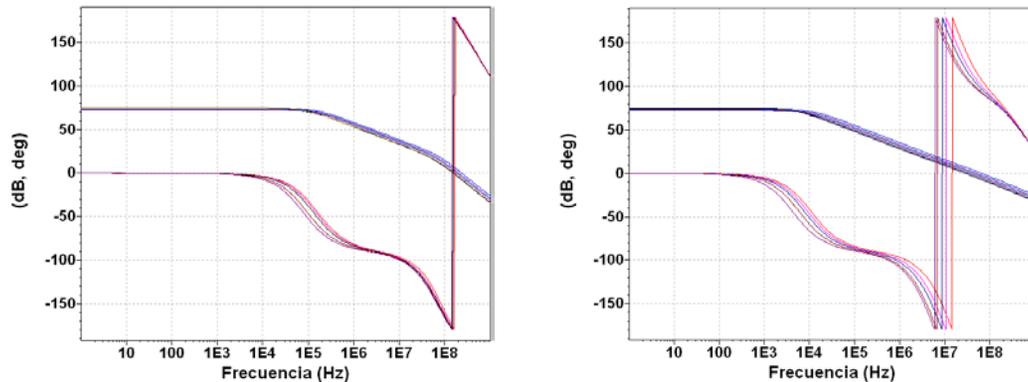


Figura 8 Amplificador diferencial CMOS, dos etapas y propuesta con compensación Miller.

La figura 8 muestra la fase, y se observa el efecto de dos polos, uno dominante (debido a  $C_L$ ) y otro no dominante (debido a la carga intrínseca del par diferencial,  $C_{L,PD}$ ). Cada una de las respuestas corresponde a los distintos dimensionamientos de la rama PPN, y para ilustrar el comportamiento se han considerado los primeros cinco de la tabla 1. Un parámetro de interés es el valor de la fase a la frecuencia  $f_o$ , y suele postularse que para que el amplificador no sea inestable (toda vez que incluya un lazo de retroalimentación) la fase debe estar en el rango  $45^\circ \leq \Phi_M \leq 60^\circ$ , y se denomina criterio de estabilidad de Nyquist [Gray, 2009]. En la tabla 2 se muestran los resultados obtenidos de simulación para los dimensionamientos de la rama PPN anteriormente citados. En la práctica, para obtener la fase deseada puede incluirse un capacitor  $C_C$ , entre los nodos de salida del par diferencial y del amplificador simple. El circuito que resulta se denomina Amplificador Miller. No hay

figura de mérito que indique el valor de  $C_C$ , pero hay recomendaciones que señalan la importancia de conocer la aplicación del Amplificador Miller; saber qué circuito será excitado con la respuesta del amplificador, implica saber la capacitancia de entrada de ese circuito hipotético.

Tabla 2 Resultados de simulación Spice para el amplificador de dos etapas.

Diseño	$A_o$ (dB)	$f_0$ (MHz)	$f_{-3dB}$ (MHz)	$\Phi_M$
1	74.03	237.13	188.36	12.96
2	73.16	199.52	141.25	9.47
3	72.77	177.82	133.35	6.0
4	73.54	158.48	105.92	3.1
5	75.00	149.62	749.89	1.4

La carga  $C_L$  se usa como referencia para calcular el valor de  $C_C$ . Por ejemplo, en la referencia [Chanapromma, 2020] se reporta una relación entre capacitancias  $\frac{C_C}{C_L} = 0.5$  para obtener un margen de fase adecuado, mientras que en [Ju, 2020] se reporta una relación  $\frac{C_C}{C_L} = 0.19$  para un diseño en tecnología CMOS 110nm, y en [Cárdenas, 2020] la relación es  $\frac{C_C}{C_L} = 0.44$  para una implementación en tecnología CMOS 130nm. En esta contribución, porque la respuesta presentada en la figura 8 es para una carga de 1.0pF, se hace un diseño de experimentos para determinar el valor de  $C_C$  que permite la mejora en el margen de fase. De ese ejercicio se obtienen las respuestas que se muestran en la figura 8, las que satisfacen la relación  $\frac{C_C}{C_L} = 1$  con ese valor de capacitancia la fase están en rango y, para los diseños 1-5 mostrados en la tabla 2, los valores son  $71.10^\circ$ ,  $71.08^\circ$ ,  $70.13^\circ$ ,  $71.49^\circ$  y  $69.34^\circ$ , respectivamente. Además de la mejora en la fase, la compensación Miller permite apreciar la separación de polos, el de menor/mayor valor es recorrido a menores/mayores frecuencias. Esta respuesta permite hacer un señalamiento. Obsérvese que la respuesta en frecuencia muestra una atenuación de 40/dec, lo que corresponde a un sistema de segundo orden, y esa atenuación se mantiene a frecuencias mayores a  $f_0$ . En otras palabras, no es verdad que el diseño de un Amplificador Miller implique el uso de técnicas de cancelación del *zero*. Si bien la compensación Miller da lugar a un *zero* (que se observaría en la función de

transferencia), también es verdad que su posición no necesariamente se ubica entre los polos del sistema. En propuesta de diseño que se presenta, el cero aparece en una posición muy alejada de  $f_0$ . Esta característica es una propiedad del uso de réplicas PPN, específicamente de diseñar la etapa de salida con una red de tres transistores, y no con redes de dos transistores como comúnmente se observa en la literatura, situación en el que el cero si es un problema.

#### **4. Discusión**

Como se comentó en un principio, todo diseño electrónico debe iniciar con la polarización de la red bajo estudio. El análisis del circuito eléctrico equivalente es otro paso del diseño que ilustra las prestaciones que esa red proporcionará. Sin embargo, para valorar el desempeño de la red es fundamental conocer el valor de cada elemento de pequeña señal, y éstos dependen del análisis en CD, o lo que es lo mismo no es viable iniciar un diseño sin analizar la polarización de la red. Con ese soporte, y con simulaciones spice se verifica que los modelos analíticos pueden ser usados como ecuaciones de diseño, y permiten desarrollar circuitos de mayor complejidad como es el amplificador Miller. Su construcción no demanda más conocimiento que aprovechar las características de una red PPN, y configurar cada réplica para que realice la función requerida, sin preocuparse del acoplamiento entre ellas; esa es una ventaja del uso de réplicas. Si bien el amplificador Miller sólo es una opción para amplificar señales, se usó como objeto de estudio para mostrar cómo hacer su diseño y cuáles los puntos finos para mejorar su desempeño. Con simulación spice se corroboró la validez del método de diseño, y aun cuando se tomaron algunas decisiones para minimizar la generación de ruido térmico, hay un aspecto del flujo de diseño que merece atención y es el diseño a nivel layout. Esta actividad es el trabajo previo a la manufactura, y es la opción para minimizar los efectos no deseados de la manufactura y que los engloba el término “mismatch”. Minimizar ese efecto no deseado es la opción del diseñador para conservar el desempeño global del diseño (obtenido a nivel transistor) y proveer simetría a nivel layout porque ello impone las características diferenciales del sistema bajo diseño. Es decir, si el sistema incluye un par diferencial, su diseño a nivel layout debe

favorecer un alto rechazo a las señales en modo común de modo que el sistema opere eficientemente en modo diferencial. Aunque el diseño a nivel layout, por la amplitud del tema, no será descrito en esta contribución, sirva comentar la importancia del diseño compacto, regular y simétrico de todo circuito analógico a nivel layout. Sólo para propósitos ilustrativos, la figura 9 muestra el diseño de una rama PPN en el que los transistores PMOS son de gran valor, y por tal razón incluyen un diseño de “centroide común” y usa la técnica “interdigital” [Saint, 2002].

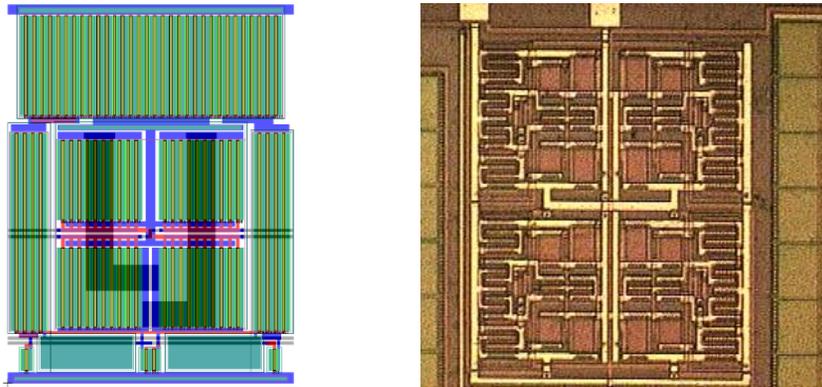


Figura 9 Layout de una rama PPN y acercamiento de un diseño centroide común.

Esta propuesta minimiza las resistencias parásitas de líneas de polisilicio, minimiza la no uniformidad del óxido de compuerta, favorece el flujo de corriente en un sentido y minimiza los errores por la anisotropía del semiconductor. En otras palabras, un diseño es incompleto si no se hace realiza la simulación del circuito eléctrico equivalente que se extrae del diseño a nivel layout; esta etapa de todo flujo de diseño se denomina layout vs esquemático.

## 5. Conclusiones

Se han presentado consideraciones de diseño para construir paso a paso un Amplificador Miller. Si bien este amplificador es únicamente una de varias opciones de amplificación, se usó como objeto de estudio no sólo porque es muy usado en libros de texto para introducir el diseño de amplificadores, sino porque incluso en documentos más especializados pareciera que su diseño es “magia negra” y no la puesta en práctica de un método. Por tal razón, el objetivo de esta contribución fue

resaltar dieciséis consideraciones fundamentales de diseño que deben atenderse y cuáles no lo son sencillamente porque su efecto es nulo en el desempeño del amplificador. En esta contribución el método de diseño está soportado en el uso de la Ley de Ohm, su extensión en las Leyes de Kirchhoff y se favoreció mostrar el desempeño en el dominio de la frecuencia. El énfasis en esta contribución fue considerar el análisis en CD, pero no del sistema bajo diseño, sino el que corresponde a la celda básica de construcción: la rama PPN. Esta celda está bajo el absoluto control del diseñador, y para su dimensionamiento él propone qué potenciales requiere en cada nodo. Esta propiedad, y el uso de réplicas favorece su conexión y asegura en consecuencia su acoplamiento. El análisis del circuito eléctrico equivalente, por otro lado, aunque sólo ilustra las prestaciones que la red bajo diseño proporcionará, consta de elementos de pequeña señal cuyos valores son función de la polarización. Esta característica resalta la importancia del análisis en CD y conduce al saber-hacer, evitando el dimensionamiento de transistores a prueba-y-error hasta lograr la respuesta deseada, lo que no es un método de diseño. Los resultados que se presentan basados en las facilidades de una tecnología CMOS estándar  $0.5\ \mu\text{m}$ ,  $\pm 2.5\ \text{V}$ , y soportadas en simulación Tspice. El objeto de estudio, el Amplificador Miller, se construyó siguiendo un flujo de diseño ordenado, describiendo a detalle qué y cómo hacer, y la mejora en su desempeño se enfocó en asegurar su estabilidad, lo que dio oportunidad para rescatar bondades del amplificador y señalar aquellas técnicas (de diseño) que no deben aplicarse porque sencillamente son innecesarias y complican el diseño en sí. Un objetivo añadido de esta contribución es que resulte útil para todos aquellos que gusten del diseño analógico y deseen incorporarse al diseño CMOS.

## **6. Bibliografía y Referencias**

- [1] Allen P. E. and Holberg D. R., CMOS Analog Circuit Design, Oxford University Press, 1987.
- [2] Cárdenas Castellón S. D., Diseño de un filtro Pasa-Banda CMOS, programable en el rango audible, Ingeniería Eléctrica. Tesis de maestría, Cinvestav, Unidad Guadalajara, 2020.

- [3] Baker R. J., CMOS: Circuit Design, Layout, and Simulation, IEEE Series on Microelectronic Systems. Third Edition. Wiley 2010.
- [4] Chanapromma Ch., and Mahattanakul J., Improved Design Procedure for Two-Stage CMOS Op Amp Employing Current Buffer, 17th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology, pp. 384-387, 2020.
- [5] Desoer Ch. A., Basic circuit theory, Mc Graw-Hill, 1969.
- [6] Gray Paul R. and Meyer Robert G., Analysis and Design of Analog Integrated Circuits, John Wiley & Sons, Inc. 2009.
- [7] Gregorian R. and Temes G. C., Analog MOS integrated circuits for signal processing, USA: John Wiley & Sons, 1990.
- [8] Johns D. and Martin K., Analog integrated circuits design, John Wiley & Sons, 1997.
- [9] Ju H. and Lee M., A Hybrid Miller-Cascode Compensation for Fast Settling in Two-Stage Operational Amplifiers, IEEE Trans. on Very Large Scale Integration (VLSI) Systems, vol. 28, Issue 8, pp. 1770-1781, 2020.
- [10] Kinget P. R., Device mismatch and tradeoffs in the design of analog circuits, IEEE J. of Solid-State Circuits, vol. 40, No. 6, pp. 1212-1224, June 2005
- [11] MOSIS, (2020). [www.mosis.com](http://www.mosis.com). Servicio de fabricación de circuitos integrados.
- [12] Razavi B., Design of Analog CMOS Integrated Circuits, McGraw-Hill, 2001.
- [13] Saint C. and Saint J., IC Mask Design: Essential Layout Techniques, McGraw-Hill, 2002.
- [14] Sandoval Ibarra F., Experiencia de un centro de investigación en la formación de nuevos ingenieros-Diseño de circuitos integrados en silicio, X Congreso Iberoamericano de Educación Científica, Montevideo, Uruguay, 2019.
- [15] Sandoval Ibarra F., Diseño de Circuitos Integrados CMOS: Una Aproximación desde la Perspectiva de la Ley de Ohm, VII Semana Nacional de Ingeniería Electrónica, pp. 104-112, 2011.
- [16] Vlach J., Network theory and CAD, IEEE Trans. on Education, vol. 36, no. 1, pp. 23-27, 1993.