

PROCEDIMIENTO DE CALIBRACIÓN DEL BANCO DE SINTONIZACIÓN DE IMPEDANCIA “LOAD-PULL” PARA LA CARACTERIZACIÓN DE TRANSISTORES DE RF

CALIBRATION PROCEDURE OF THE LOAD-PULL TEST BENCH FOR THE CHARACTERIZATION OF RF TRANSISTORS

Daniel Fernández Ramón

Centro de Investigación y Estudios Avanzados del Politécnico Nacional, México
fernandez@gdl.cinvestav.mx

José Raúl Loo Yau

Centro de Investigación y Estudios Avanzados del Politécnico Nacional, México
rloo@gdl.cinvestav.mx

Recepción: 6/noviembre/2019

Aceptación: 4/diciembre/2019

Resumen

En este trabajo se presenta a detalle la implementación física del banco de medición experimental de sintonización de impedancia (LP, por sus siglas en inglés). El banco de LP es de extrema utilidad para el diseño y caracterización de amplificadores de potencia de radiofrecuencia (APRF) ya que determina la impedancia de salida óptima que requiere un transistor para obtener la máxima potencia de salida, eficiencia o ganancia. La obtención de la impedancia de carga óptima depende de un proceso de calibración que desplaza el coeficiente de reflexión generado por el sintonizador de impedancia hasta las terminales del transistor. Para validar el banco de LP se diseñó un APRF con los datos obtenidos del banco de medición LP para máxima eficiencia de potencia añadida (PAE) a 1.8 GHz, empleando un transistor PHEMT encapsulado modelo ATF38143. Los resultados experimentales del APRF mostraron una gran correlación con los datos del banco de LP.

Palabras Claves: Amplificadores de potencia de radio frecuencia (APRF), analizador de redes vectorial (ARV), dispositivo bajo prueba (DBP), eficiencia de potencia añadida (PAE, por sus siglas en inglés), Load-Pull(LP).

Abstract

In this paper is presented in detail the physical implementation of the Load Pull (LP) test bench. The LP test bench is extremely useful for the design and characterization of radio frequency (RF) power amplifiers since it determines the optimum output impedance required by a transistor to obtain maximum output power, efficiency or gain. Obtaining the optimum load impedance depends on a calibration process that shifts the reflection coefficient generated by the impedance tuner right up to the terminals of the transistor. To validate the LP test bench, an APRF was designed with the data from the LP test bench for the maximum added power efficiency (PAE) at 1.8 GHz, using a packaged PHEMT GaAs FET ATF38143 transistor. The experimental results of the RF amplifier showed a great correlation with the data obtained with the LP test bench.

Keywords: *Radio frequency power amplifier (RF Power Amplifier), Vector Network Analyzer (VNA), Device Under Test (DUT), Power-Added Efficiency (PAE), Load-Pull (LP).*

1. Introducción

Un amplificador de potencia de radio frecuencia (APRF) es un sistema electrónico de dos puertos cuya función principal es el de entregar a su salida una señal con mayor potencia con respecto a la señal de entrada. El APRF tiene dos regiones de operación que son la región lineal y la no lineal.

Cuando la potencia de salida crece linealmente con la potencia de entrada, entonces, decimos que el APRF está trabajando en la región lineal, de hecho, en esta región la ganancia del sistema se mantiene constante. Sin embargo, llega un momento en el que la potencia de salida deja de aumentar linealmente y comienza a saturarse, y por consecuencia la ganancia comienza a disminuir. Cabe mencionar que cuando la ganancia, en la región no lineal, disminuye 1 dB con respecto a la ganancia en la región lineal, se llega a una figura de mérito conocida como el punto de compresión de 1 dB (P_{1dB}), Cuando esto sucede se dice que el APRF está operando en la región no lineal. La figura 1 describe las dos regiones de operación

mencionadas anteriormente. Además de la potencia de salida, es necesario cuantificar la eficiencia y la linealidad en los APRF.

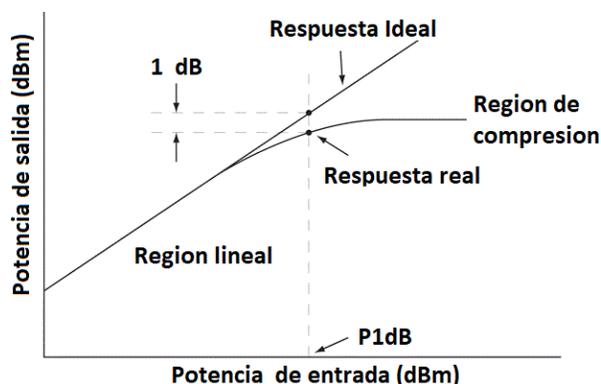


Figura 1 Punto de compresión a 1 dB.

La eficiencia está relacionada con la cantidad de energía de corriente directa que se transforma en energía de RF, mientras que la linealidad tiene que ver con el grado de distorsión que se obtiene de la señal de salida con respecto a la señal de entrada [Aaen, 2007].

En la mayoría de los casos los APRF están operando cerca del P_{1dB} o un poco más allá, esto debido a que se quiere obtener la máxima potencia de salida con la máxima eficiencia. Sin embargo, se tiene que a medida que el APRF esté operando cerca del P_{1dB} o más allá entonces la distorsión aumentará, es decir, el APRF será menos lineal. Si, por el contrario, el APRF está operando en la región lineal, entonces, se tendrá menos potencia de salida y menor eficiencia, pero la linealidad será alta, es decir, la distorsión es baja.

De acuerdo a lo anterior se puede observar que no es posible diseñar un APRF que tenga la máxima eficiencia y la mejor linealidad [Sokal, 1997]. Por lo tanto, se opta por diseñar un APRF con la mejor eficiencia posible, sabiendo que la linealidad será muy pobre. Sin embargo, para subsanar este problema se emplean técnicas de linealización, donde la técnica de pre-distorsión digital es la más usada en los sistemas actuales de comunicaciones.

Diseñar un APRF de alta eficiencia no es una tarea sencilla, ya que estos APRF están trabajando en la región no lineal, por lo que las técnicas lineales no son

válidas. Por lo tanto, se hace uso de herramientas computacionales (simuladores de circuitos de alta frecuencias) para poder diseñar los APRF lo más óptimo posible. Sin embargo, para usar los simuladores se requiere un modelo no lineal del transistor. Este modelo debe de ser capaz de predecir el comportamiento eléctrico del transistor bajo diferentes condiciones de excitación. Obtener este tipo de modelo es sin duda un trabajo arduo y en ocasiones muy tedioso.

Una alternativa al modelo, es emplear la técnica de sintonización de impedancia de salida, conocida mejor por su nombre en inglés “*Load-Pull*” (LP). Básicamente esta técnica consiste en presentar diferentes impedancias de salida al transistor, bajo las condiciones a la cual trabajará el APRF. Para cada impedancia de carga que se le presente al transistor, se procede a medir la potencia de salida y la eficiencia, de tal manera que se pueda saber la respuesta del transistor para cada impedancia de carga determinada. Realizar esta técnica requiere un proceso de calibración para establecer el plano de la medición justo en la terminal de salida del transistor [Lord,2019].

En este trabajo se presenta a detalles todo el proceso de calibración que se tiene que realizar para obtener la impedancia de carga óptima para obtener la máxima potencia y la mejor eficiencia. Para validar la técnica se diseñará un APRF a 1.8 GHz utilizando los datos obtenidos del Load-Pull.

2. Métodos

Técnica Sintonizadora de carga (Load-Pull)

Esta técnica es totalmente experimental y consiste en caracterizar el comportamiento eléctrico del dispositivo bajo prueba (DBP) (potencia de salida, corriente, eficiencia, etc.) bajo diferentes condiciones de impedancias de carga. La figura 2 describe en general el banco de medición, obsérvese que se tiene un sintonizador de impedancia. Este sintonizador de impedancia es el encargado de generar las diferentes impedancias de carga [Hashmin, 2011].

Idealmente, se busca que el sintonizador de impedancia pueda generar un barrido de impedancias, tal que cubra toda la carta de Smith. Como consecuencia se tiene información suficiente para generar sobre la carta de Smith contornos que indican

el valor de la variable eléctrica de interés para cada impedancia de carga, la impedancia óptima de carga maximiza la variable de interés (potencia de salida, eficiencia de potencia añadida (PAE) o ganancia). Alrededor de esta impedancia óptima existe un conjunto de impedancias que generan la misma respuesta eléctrica relativa a la máxima. La figura 3 muestra contornos de potencia de salida, donde la primera curva del contorno corresponde a una potencia de salida de 18.916 dBm, la segunda corresponde a 16.574 dBm y así sucesivamente; noté que existe una sola impedancia en el cual se tiene la máxima potencia de salida la potencia de salida cuyo valor es de 21.258 dBm.

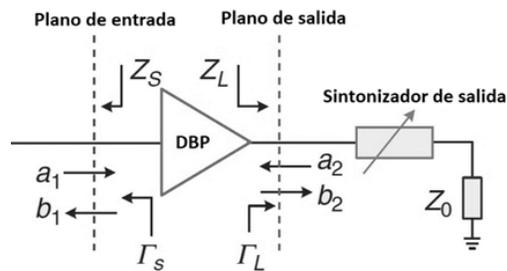


Figura 2 Esquema básico para representar la técnica como Source/ Load Pull.

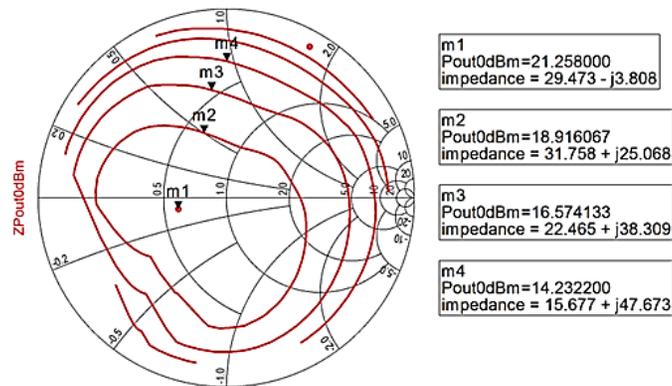


Figura 3 Contorno de potencia de LP.

El banco de medición de LP puede ser activo o pasivo. Sin embargo, este trabajo se centra en el caso pasivo, donde se tiene dos maneras de implementarlo:

- **Pre-caracterización del sintonizador de impedancia:** Como su nombre lo refiere, este método pre-caracteriza el sintonizador de impedancia. De tal manera que se conoce a priori el valor de cada impedancia para los

diferentes códigos de control del sintonizador de impedancia. Esta técnica es la más sencilla para hacer mediciones de LP. Sin embargo, es imperativo que el sintonizador sea repetitivo.

- **Tiempo real:** En esta técnica la impedancia se mide cada vez que se le manda un comando de control al sintonizador de impedancia. Por lo tanto, no es necesario que el sintonizador sea repetitivo. La impedancia de carga es determinada por medio de un proceso de calibración.

De los dos bancos de LP, la técnica de tiempo real es la más recomendable, ya que mide directamente la impedancia de salida del transistor y se hace independiente del sintonizador de impedancia.

Implementación Física del Banco de LP en Tiempo Real

Conceptualmente hablando, la técnica de LP no es muy complicada. Sin embargo, la implementación física de un banco de LP en tiempo real requiere un cuidadoso proceso de calibración, particularmente en el caso de DBP montados sobre una base de prueba. En este banco de medición, además del sintonizador de impedancia, es necesario contar con un analizador de redes vectorial. La figura 4 muestra el esquema para el banco medición en tiempo real, con los diferentes planos de medición que lo componen (A, B, C, D y E).

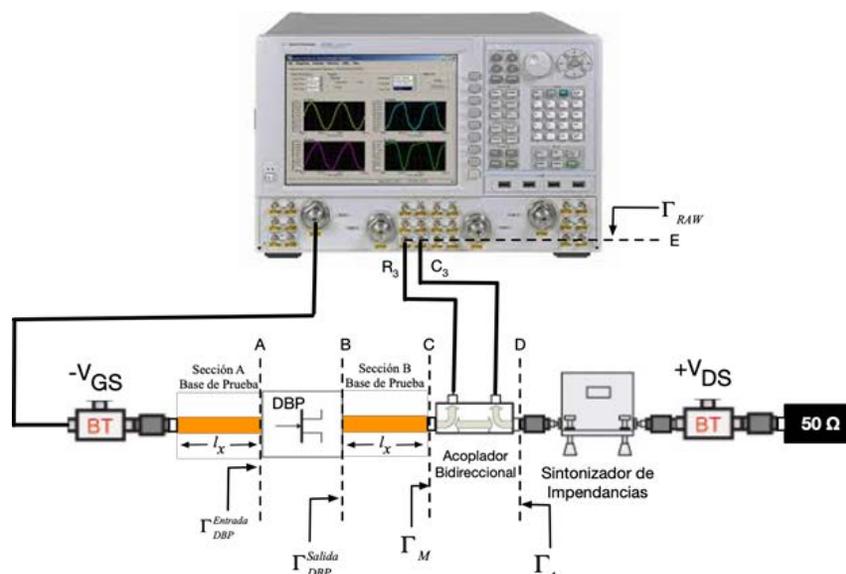


Figura 4 Banco de medición LP.

Cada uno de estos planos se calibra de diferentes maneras. Además, obsérvese que la base de prueba del DBP consta de dos secciones, que, por lo regular, son líneas de microcinta de longitud l_x . El banco consta de un Analizador de Redes Vectorial (ARV) PNA-X N5242A, sintetizador de impedancias MPT-1818, dos acopladores bidireccionales modelo ZGDC35-93HP+, y 2 tee de polarización modelo Keysight 11612A.

Calibración de los Planos de Referencias

El objetivo principal de la calibración en tiempo real es desplazar el coeficiente de reflexión Γ_t (generado por el sintonizador de impedancia) que está presente en el plano D al plano B. Para esto se necesita conocer el valor preciso de Γ_t , que se mide por medio del ARV usando los puertos R3 y C3. Una vez conocido Γ_t , se procede a determinar el valor de Γ_M , es decir, se desplaza del plano D al plano C. Por último, se tiene que conocer el valor de Γ_{DBP}^{Salida} , esto equivale a desplazarse del plano C al plano B. El primer paso es modelar el acoplador bidireccional como una caja de error visto desde el plano C al D y del plano D al E.

Caja de Error del Plano C al D

Se procede a modelar el acoplador bidireccional por medio de un diagrama de flujo, tal como se muestra en la figura 5, donde se tienen cuatros términos de errores que se definen como: error de directividad (E_{00}), error de desacoplamiento (E_{11}) y los errores de la respuesta en frecuencia en directa (E_{10}) e inversa (E_{01}).

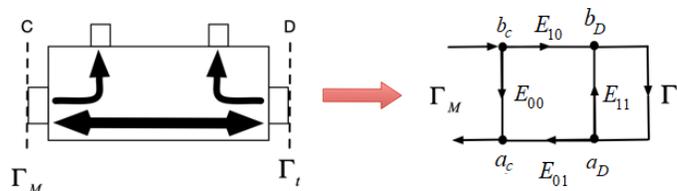


Figura 5 Caja de error del acoplador bidireccional del plano C al D.

Cabe destacar que Γ_M se obtiene al conectar el puerto 1 calibrado del ARV en el plano C. Dicha Γ_M es una función de los términos de error y de la Γ_t del plano D.

Por simplicidad se realizan los cambios de variables $a_y = E_{10}E_{01} - E_{00}E_{11}$, $b_y = E_{00}$ y $c_y = -E_{11}$ [Rytting, 1982], por lo que se obtiene Γ_M , ecuación 1.

$$\Gamma_M = \frac{\Gamma_t a_y + b_y}{1 + \Gamma_t c_y} \quad (1)$$

Expandiendo la ecuación 1 se llega a ecuación 2.

$$\Gamma_t a_y + b_y - \Gamma_t \Gamma_M c_y = \Gamma_M \quad (2)$$

De la ecuación 2 se puede plantear un sistema de ecuaciones con tres incógnitas para encontrar los coeficientes de error. Para esto se utilizará tres coeficientes de reflexión, que se colocan en el plano D, que servirán como referencia, y son: un circuito abierto ($\Gamma_t^0 = 1 \angle 180^\circ$), un corto circuito ($\Gamma_t^S = 1 \angle 0^\circ$) y una carga de 50 Ω ($\Gamma_t^L = 0 \angle 0^\circ$); Bajo estas condiciones los tres términos de a_y, b_y y c_y se pueden determinar mediante ecuación 3.

$$\begin{bmatrix} a_y \\ b_y \\ c_y \end{bmatrix} = \begin{bmatrix} \Gamma_t^0 & 1 & -\Gamma_M^0 \Gamma_t^0 \\ \Gamma_t^S & 1 & -\Gamma_M^S \Gamma_t^S \\ \Gamma_t^L & 1 & -\Gamma_M^L \Gamma_t^L \end{bmatrix}^{-1} \begin{bmatrix} \Gamma_M^0 \\ \Gamma_M^S \\ \Gamma_M^L \end{bmatrix} \quad (3)$$

Una vez que se conocen a_y, b_y y c_y , el valor de Γ_M puede ser conocido para cualquier valor de Γ_t .

Caja de Error del Plano E al D

Se realiza un procedimiento muy similar al anterior, la figura 6 muestra el diagrama de flujo, para la caja de error del plano E al D.

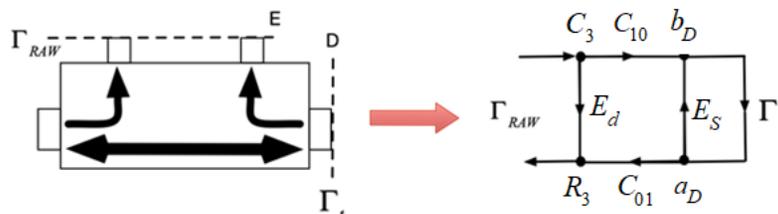


Figura 6 Caja de error del acoplador bidireccional del plano D al E.

Al igual que en el caso anterior se realiza un cambio de variable donde $a_x = C_{10}C_{01} - E_d E_s$, $b_x = E_d$ y $c_x = -E_s$. Consideré que Γ_{RAW} se puede encontrar

experimentalmente por medio de la relación de R_3 con C_3 , y que dicho valor se puede expresar en función de los términos de error y la Γ_t del plano D, ecuación 4.

$$\Gamma_{RAW} = \frac{R_3}{C_3} = \frac{\Gamma_t a_x + b_x}{1 + \Gamma_t c_x} \quad (4)$$

Se realiza una expansión de la ecuación 4 y se obtiene ecuación 5.

$$\Gamma_t a_x + b_x - \Gamma_t \Gamma_{RAW} c_x = \Gamma_{RAW} \quad (5)$$

Empleando una vez más, en el plano D, los coeficientes reflexión ($\Gamma_t^{O,S,L}$) se genera un sistema de ecuaciones de tres incógnitas para determinar los tres términos de errores a_x , b_x y c_x , ecuación 6.

$$\begin{bmatrix} a_x \\ b_x \\ c_x \end{bmatrix} = \begin{bmatrix} \Gamma_t^O & 1 & -\Gamma_{RAW}^O \Gamma_t^O \\ \Gamma_t^S & 1 & -\Gamma_{RAW}^S \Gamma_t^S \\ \Gamma_t^L & 1 & -\Gamma_{RAW}^L \Gamma_t^L \end{bmatrix}^{-1} \begin{bmatrix} \Gamma_{RAW}^O \\ \Gamma_{RAW}^S \\ \Gamma_{RAW}^L \end{bmatrix} \quad (6)$$

Una vez que se conocen a_x , b_x y c_x el valor del coeficiente de reflexión Γ_t puede ser despejado en función de cualquier coeficiente de reflexión Γ_{RAW} de la ecuación 4.

Caja de Error del Plano B al C

La última parte de este proceso es conocer Γ_{DBP}^{Salida} en función de la Γ_M . Este proceso requiere de una caracterización previa de la sección B de la base de prueba del transistor, con el fin de conocer los parámetros S de dicha sección, se requiere hacer una calibración de dos puertos del ARV por medio de la técnica SOLT [Ferrero, 1992]. Esta técnica establece el plano de referencia hasta las puntas de los cables coaxiales del ARV. Seguidamente se emplea la técnica TRL [Engen, 1979], en donde se utiliza dos líneas de microcinta una de longitud $2l_x$ y la otra a una longitud física mayor a $2l_x$, además se emplea circuito abierto o un corto circuito a una distancia l_x . Asumiendo que cada sección es recíproco ($S_{12} = S_{21}$) entonces es posible encontrar los parámetros S de la sección B.

Una vez que se conoce los parámetros de la sección B, Γ_{DBP}^{Salida} se determina por medio de la ecuación 7. Donde son los parámetros S de la sección B.

$$\Gamma_{DBP}^{Salida} = S_{11B} + \frac{S_{12B} S_{21B} \Gamma_M}{1 - S_{22B} \Gamma_M} \quad (7)$$

Calibración de la Potencia de Salida

Hasta este momento se debe tener claro que para medir la potencia de una señal con exactitud en un plano es necesario realizar una calibración eléctrica y de potencia [Goff, 1990]. La potencia que debe ser monitoreada en el análisis de LP es la potencia consumida por la carga es decir la potencia que sale del DUT menos la potencia que es reflejada, esta será la potencia útil de salida. Por ejemplo si el coeficiente de reflexión Γ_{DBP}^{Salida} que se presenta al DUT está en la periferia de la carta de Smith la mayoría de la potencia está siendo reflejada.

De las cajas de error mostradas en las figuras 5 y 6 se puede obtener una relación que exprese la potencia útil de salida en el plano C de la figura 4, es decir la potencia consumida por la carga, esta relación se muestra en la ecuación 8 [Ferrero, 1993].

$$P_{out} = |C_3|^2 \frac{|C_{10}|^2}{|E_{10}E_{01}|} \left| \frac{1 + \Gamma_t C_y}{1 + \Gamma_t C_x} \right|^2 (1 - |\Gamma_M|^2) \quad (8)$$

Para resolver la ecuación 8, se necesita conocer el termino C_{10} y para esto se requiere un análisis más detallado debido a que la caja de error del acoplador bidireccional del plano D al E no tiene simetría, para obtener el valor del término $|C_{10}|^2$ se conecta un medidor de potencia (MP) en el plano D, obteniendo el diagrama de flujo de la figura 7. Esto permite encontrar una relación para obtener la constante C_{10} a partir de la potencia que marque el medidor de potencia P_{MP} y su coeficiente de reflexión Γ_{MP} , éste último se obtiene de manera experimental conectando el puerto 1 calibrado del ARV a la entrada del medidor de potencia. Con estos datos se generan las ecuaciones 9 a 11 para determinar el valor $|C_{10}|^2$.

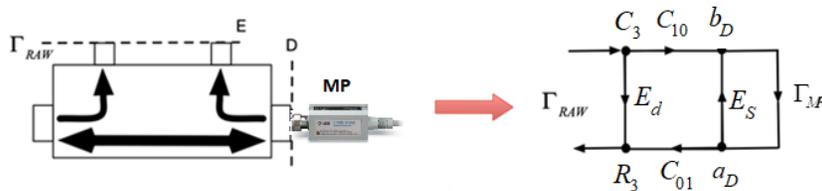


Figura 7 Caja de error de los receptores vectorial al MP.

$$P_{MP} = |b_D|^2 - |a_D|^2 = |b_D|^2(1 - |\Gamma_{MP}|^2) \quad (9)$$

$$C_3 C_{10} - a_D C_x = b_D \quad (10)$$

$$a_D = \Gamma_{MP} b_D \quad (11)$$

Sustituyendo ecuación 11 en ecuación 10 y despejando el valor de b_D , se sustituye en la ecuación 9, se obtiene como resultado ecuación 12.

$$|C_{10}|^2 = \frac{P_{MP} |(1 + \Gamma_{MP} C_x)|^2}{|C_3|^2 (1 - |\Gamma_{MP}|^2)} \quad (12)$$

Con esto ya se tiene todos los elementos necesarios de la ecuación (8) para medir la potencia de salida real y comenzar el análisis de LP en tiempo real en el transistor.

3. Resultados

La figura 8 muestra el banco de medición de LP en tiempo real que se implementó en nuestro laboratorio.



Figura 8 Esquema experimental para la técnica como LP de un solo tono.

El DBP utilizado en este trabajo fue un transistor PHEMT modelo ATF38143 y fue polarizado con un voltaje $V_{GS} = -0.5 \text{ V}$ y $V_{DS} = 3.5 \text{ V}$. La potencia de entrada para la prueba fue de 10 dBm a una frecuencia central de 1.8 GHz.

Contornos de potencia de salida, ganancia y máxima eficiencia de potencia añadida (PAE) del ATF38143 se muestran en las figuras 9, 10 y 11, respectivamente. Observe que para cada figura se presenta un conjunto de contornos sobre la carta de Smith de diferentes valores. Cada uno de los contornos de valor constante representa el conjunto de impedancias de carga que el DBP necesita para producir dicha respuesta. Cabe señalar que solamente existe una impedancia óptima para obtener la potencia de salida, PAE y ganancia máxima.

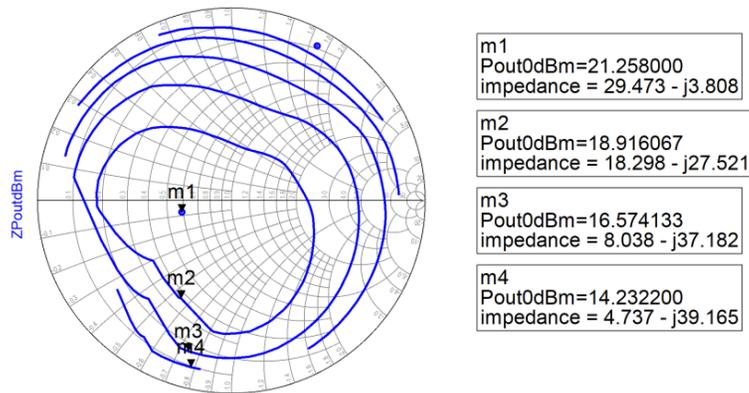


Figura 9 Impedancia óptima para maximizar la potencia de salida.

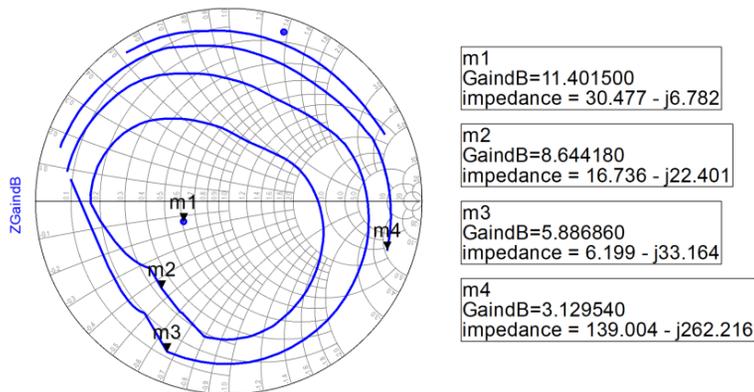


Figura 10 Impedancia óptima para encontrar la máxima ganancia.

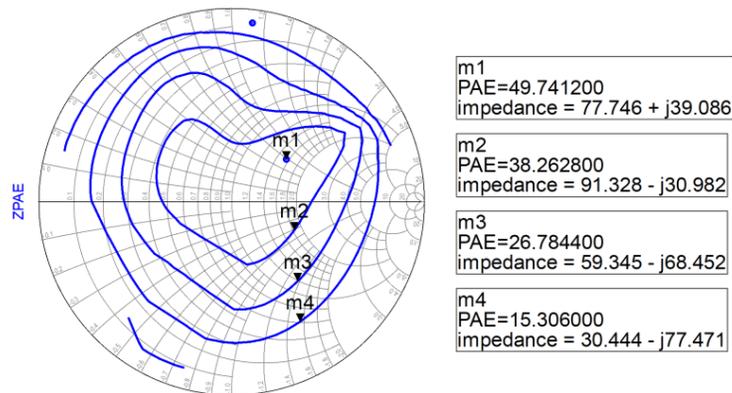


Figura 11 Impedancia óptima para maximizar eficiencia.

Una manera de validar las mediciones del banco de LP es por medio del diseño de un amplificador de potencia para máxima PAE a 1.8 GHz. De acuerdo a la figura 10 la PAE máxima al punto de polarización, frecuencia, y potencia de entrada es de

49.74% para una impedancia de carga óptima de $77.7 + j39.1 \Omega$. Para el caso de la impedancia de entrada se tomó el dato del parámetro S_{11} medido del DBP. Seguidamente se procedió a diseñar las redes de adaptación empleando líneas de transmisión sobre el material Rogers 4003, con una permitividad típica de 3.55, pérdidas tangenciales de 0.0027 y un espesor de 1.524 mm. La figura 12 muestra una imagen del amplificador construido [Baylis, 1998].

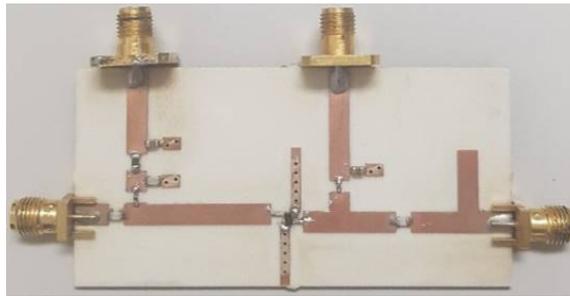


Figura 12 Amplificador de potencia a 1.8 GHz.

En la tabla 1 se compara los valores medidos del amplificador construido con los datos obtenidos del banco de LP.

Tabla 1 Datos medidos.

F=1.8 GHz	LP experimental	APRF implementado
Impedancia optima de salida F	$77.7+39.1*j$	$82.058+38.47*j$
Impedancia optima de salida 2F	$14.7+8.5*j$	$2.36+25*j$
PAE	49.74%	52.3%
Pin (dB)	10.0080	10
Pout (dB)	18.6907	18.7
Ganancia	8.6827	8.7
VDS (V)	3.5006	3.5
IDS (mA)	36.7295	35

4. Discusión

Como se puede apreciar en la tabla 1 la PAE tiene un incremento de 2.6% al que se obtuvo en la medición del banco de LP. Sin embargo, la potencia de salida medida del amplificador corresponde con la medición del banco de LP. Para explicar el hecho de que la PAE es superior al esperado se realizó un análisis de las

impedancias de la red de salida del amplificador a 1.8 GHz y 3.6 GHz (segundo armónico). Como se puede observar a 1.8 GHz existe una diferencia aproximada del 5% en la parte real de la impedancia de salida del amplificador comparado con el banco de LP. Sin embargo, a la segunda armónica (3.6 GHz) se puede observar que las impedancias son diferentes. Este hecho sugiere que la impedancia de carga a la segunda armónica tiene un efecto sobre la PAE, por lo cual se debe realizar estudios sobre el efecto en la impedancia de carga que genera la segunda armónica.

5. Conclusiones

En este trabajo se presentó el procedimiento de calibración para el banco de medición del método de sintonización de impedancia de carga, mejor conocido como "Load-Pull". Esta técnica consiste en determinar la impedancia de carga óptima para obtener una respuesta específica del transistor. Es importante recalcar que la exactitud de los bancos de LP se ve afectada por una mala técnica de calibración. Los resultados se pueden representar en contornos de potencia de salida, eficiencia de potencia añadida y ganancia para el diseño de APRF. Estos parámetros se ven afectados no solo por la impedancia en la frecuencia fundamental, sino también por la impedancia a la segunda armónica.

Como trabajo futuro se pretende:

- Realizar estudios sobre el efecto en la impedancia de carga que genera la segunda armónica.
- Aplicar la metodología descrita a sistemas de Load-Pull para la caracterización de transistores de alta potencia de RF.

6. Bibliografía y Referencias

- [1] Aaen, P., Plá, J., & Wood, J. (2007). Modeling and Characterization of RF and Microwave Power FETs (The Cambridge RF and Microwave Engineering Series). Cambridge: Cambridge University Press.
- [2] Engen G. F. and Hoer C. A., "Thru-Reflect-Line: An Improved Technique for Calibrating the Dual Six-Port Automatic Network Analyzer," IEEE

- Transactions on Microwave Theory and Techniques, vol. 27, no. 12, pp. 987-993, December 1979.
- [3] Baylis Charles, Lawrence Dunleavy, William Clausen. Design of Bias Tees for a Pulse Bias Pulsed RF Test System. Microwave Journal. Microwave Journal. January, 1998.
- [4] Ferrero A. and Pisani U., "Two-port network analyzer calibration using an unknown 'thru'," in IEEE Microwave and Guided Wave Letters, vol. 2, no. 12, pp. 505-507, December 1992.
- [5] Ferrero A. and Pisani U., "An improved calibration technique for on-wafer large-signal transistor characterization," in IEEE Transactions on Instrumentation and Measurement, vol. 42, no. 2, pp. 360-364, April 1993.
- [6] Goff, M.E.P and Barratt, C.A., "Power Calibratio DC to 40 GHz MMIC power sensor", November 1990.
- [7] Hashmi, Dr. Mohammad & Ghannouchi, F.M. & Tasker, Paul & Rawat, K. 2011. Highly Reflective Load-Pull. Microwave Magazine.
- [8] Lord, A. (s.f.). Advanced RF Calibration Techniques. Cascade Microtech Europe, February 2019.
- [9] Rytting K., D, "An analysis of vector measurement accuray enhancement techniques", January 1982.
- [10] Sokal N. O., "RF power amplifiers, classes A through S-how they operate, and when to use each," Professional Program Proceedings. Electronic Industries Forum of New England, Boston, MA, USA, 1997, pp. 179-252.