

DESARROLLO DE UN BANCO DE SUPERCAPACITORES CON RED DE BALANCEO Y COMUNICACIÓN CAN

DEVELOPMENT OF A SUPERCAPACITORS BANK WITH BALANCING NETWORK AND CAN BUS COMMUNICATION

Edgar Peralta Sánchez

Benemérita Universidad Autónoma de Puebla
edgarps@ieee.org

Manuel Tlapa Juárez

Benemérita Universidad Autónoma de Puebla
mtlapa202@hotmail.com

Gerardo Mino Aguilar

Benemérita Universidad Autónoma de Puebla
gmino44@ieee.org

Beatriz Eugenia Graniel García

Benemérita Universidad Autónoma de Puebla
bgraniel@yahoo.com

Félix Quirino Morales

Benemérita Universidad Autónoma de Puebla
fquirino@live.com.mx

Resumen

Los sistemas de almacenamiento de energía basados en supercapacitores que pueden ser aplicados en redes inteligentes, vehículos eléctricos y ferrocarriles, entre otros, requieren ser diseñados de manera robusta y confiable, por esta razón en el presente artículo se presenta el diseño e implementación de un banco de supercapacitores (BSCs) conformado por 18 celdas, se diseña su circuito de balanceo de voltajes, implementando tres topologías de balanceo para evaluar el tiempo de balanceo de voltajes en cada supercapacitor. Se implementa un sistema de monitoreo de voltajes y temperatura a través de una red CAN conformada por 3 nodos esclavos y un nodo maestro que recibe la información de dichas variables a una interfaz gráfica utilizando una pantalla LCD. Las pruebas experimentales de la red CAN implementada muestran el correcto envío de información de las variables

medidas y las distintas topologías de balanceo implementadas muestran las ventajas y desventajas que conllevan a la selección más adecuada a implementar en el BSCs.

Palabras Claves: Balanceo de voltajes, CAN bus, supercapacitor.

Abstract

Energy storage systems based in supercapacitors that can be applied in smart grids, electric vehicles and railways, among others, require to be design in a reliable and robust way, for this reason this paper presents the design and implementation of a supercapacitor bank (SB) conformed by 18 cells, its voltage balancing circuit was designed, implementing three balancing topologies to evaluate the voltage balancing time in each supercapacitor. A voltage and temperature monitoring system is implemented through a CAN network consisting of 3 slave nodes and a master node that receives the information and send to a graphic interface using a LCD screen. The experimental tests of the CAN network implemented shows the correct sending of the information of the variables measures, on the other hand, the voltage balancing circuits implemented shows the advantages and disadvantages that lead to the most appropriate selection to implement in the SB.

Keywords: CAN bus, supercapacitor, voltage balancing.

1. Introducción

Los supercapacitores (SCs) también conocidos como condensadores electroquímicos de doble capa (EDLC) son capacitores que presentan una alta densidad de energía en comparación a los capacitores convencionales. Los supercapacitores pueden presentar capacitancias de hasta 3000 F, esto refleja un incremento de 6 órdenes de magnitud en comparación a los capacitores convencionales que presentan capacitancias en el orden de μF . El inconveniente que presentan estos dispositivos es su voltaje nominal muy bajo entre 2.3 y 2.7 V [Dixon, 2002].

En un supercapacitor (SC), los electrodos son sustratos conductores comúnmente hechos de carbono poroso lo cual permite aumentar la superficie específica hasta

$2000 \text{ m}^2/\text{g}$, cada uno con un colector de corriente asociado, mientras el separador es una matriz porosa no conductora. Los huecos, tanto en los electrodos como en el separador, están rellenos con una solución electrolítica (figura 1). Según el electrolito utilizado, pueden alcanzarse entre 1 y 2.7 V de voltaje de salida [Yanqing, 2007].

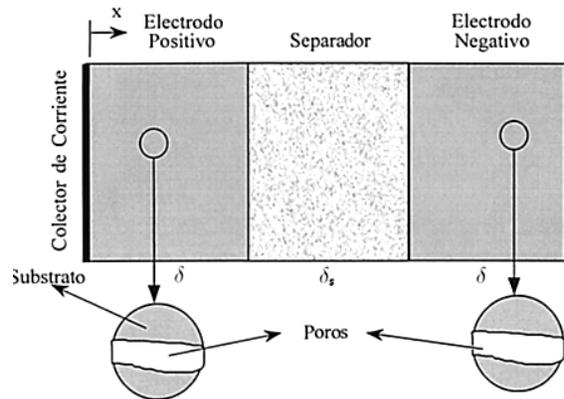


Figura 1 Celda de un supercapacitor.

El modelo del circuito equivalente para un supercapacitor se muestra en la figura 2. Este modelo está compuesto por una resistencia equivalente en serie y una resistencia equivalente en paralelo como se muestra en la figura 2.

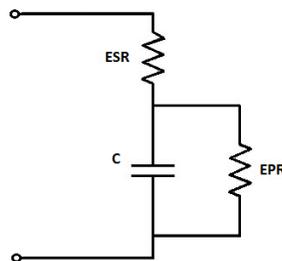


Figura 2 Circuito equivalente de un supercapacitor.

La resistencia equivalente en serie (ESR) representa las pérdidas por conducción, esta resistencia es muy pequeña en un rango de 1-10 mΩ. En cuanto a la resistencia equivalente en paralelo (EPR), representa las pérdidas por corriente de fuga, y estas corrientes son usualmente muy pequeñas, en un rango de 1-10 mA. En aplicaciones de alta frecuencia las impedancias mencionadas son consideradas, sin embargo,

en alta aplicaciones de potencia la EPR es mucho mayor que la ESR por lo que la EPR se puede despreciar [Nikkhoo, 2016].

Al presentar la limitación de bajo voltaje, se requiere de una conexión en serie de diversas celdas para alcanzar mayores voltajes y de esta manera ser aplicadas en algún sistema en específico. Es importante considerar que el voltaje en una conexión serie/paralelo de estos dispositivos no es igualmente distribuido, lo cual, puede llevar a un voltaje asimétrico entre estos, por lo tanto, es necesario implementar un circuito que equilibre los voltajes de estas celdas.

Existen dos formas para realizar el balanceo de voltajes en una conexión de más de dos SCs conectados en serie; pasiva y activa. Los métodos de balanceo de voltaje pasivo eliminan el exceso de voltaje de los elementos totalmente cargados a través de elementos pasivos como pueden ser resistencias, bobinas, etc., hasta que el voltaje coincide con el voltaje de referencia que se espera en cada celda [Ibanez, 2013].

Los métodos activos de balanceo de voltajes transfieren instantáneamente la energía de las celdas que presentan un sobrevoltaje a otras celdas con la finalidad de igualar el voltaje de las celdas. En estos circuitos de balanceo se ocupan amplificadores, transistores etc [Barrade, 2002].

Los sistemas de almacenamiento de energía basados en supercapacitores juegan un papel muy importante en distintas aplicaciones como apoyo energético, vehículos eléctricos o híbridos por mencionar algunas. Para estas aplicaciones se requiere monitorear el estado de carga y la temperatura para mantener las celdas dentro del rango permitido y prolongar su tiempo de vida. Generalmente estos sistemas de almacenamiento de energía consisten en un número considerable de celdas interconectadas [Lu, 2009]. Si estas variables fueran medidas por un sistema microcontrolador, se presentarían problemas considerando que el voltaje de las celdas conectadas en serie puede llegar a ser cientos de volts dependiendo de la aplicación, estas diferencias pueden dañar el microcontrolador. En segundo lugar, es difícil para un microcontrolador procesar la adquisición de estos datos en tiempo real para cientos de parámetros, y en tercer lugar asegurar la precisión del estado de carga, por tanto, los tiempos de muestreo tienen que ser cortos [Choi, 2011].

El protocolo de comunicación bus CAN que es utilizado en la industria, vehículos y sistemas BMS por mencionar algunos, se debe a las ventajas que ofrece al poder transmitir la información de manera robusta y segura ofreciendo una alta inmunidad ante interferencias, requiriendo solamente de un par cables como medio de transmisión lo cual representa un ahorro físico al implementarlo en un sistema [Salunkhe, 2016].

En el presente trabajo se evalúan experimentalmente distintas topologías de balanceo de voltajes para SCs conectados en serie y posteriormente se muestra el diseño y construcción de un sistema de monitoreo de voltajes, estado de carga y temperatura para un banco de SCs conformado por 18 celdas basado en una unidad central, que se comunica con 3 unidades esclavas a través del protocolo de comunicación CAN. Cada unidad esclava recopila el voltaje y temperatura de cada celda. La unidad central se encarga de recoger los datos de las unidades esclavas para posteriormente ser mostrados en una pantalla LCD.

2. Métodos

Balanceo de voltajes con diodos

Una de las soluciones más sencillas para realizar el balanceo de voltajes en supercapacitores conectados en serie, es conectando tres diodos en serie que a su vez se conectan en paralelo a cada SC como se muestra en la figura 3 para una rama de 5 SCs en serie [Uno, 2013].

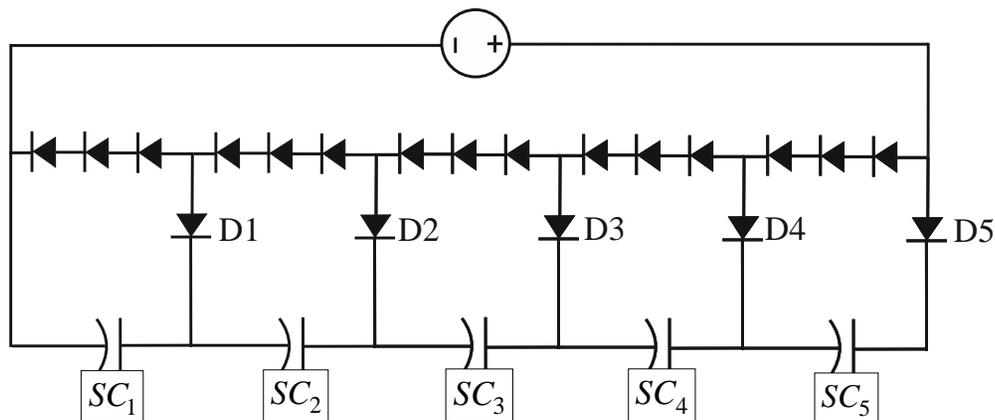


Figura 3 Diagrama de circuito de balanceo con diodos.

Cada uno de los diodos tiene un voltaje de polarización directa de 0.7 V. Una vez que la diferencia de voltaje entre ánodo y cátodo alcanza los 0.7 V, el diodo empieza a conducir corriente eléctrica, por lo tanto, si se tiene una conexión de 3 diodos conectados en serie se tendría un voltaje total de 2.1 V en cada SC. Los diodos D1-D5 funcionan como protección para permitir que la corriente fluya de la fuente de alimentación a cada SC y no de manera inversa.

Para obtener la capacitancia total real de la conexión en serie de 5 SCs de la figura 2 se utiliza la ecuación 1 considerando los valores reales de resistencia equivalente en serie total (ESR_T) y capacitancia real en cada celda mostrados en la tabla 1.

$$\frac{1}{C_T} = \frac{1}{SC_1} + \dots + \frac{1}{SC_5} = 635.51 \quad (1)$$

Tabla 1 Valores de capacitancia y ESR para 5 SCs.

Supercapacitor	Capacidad (F)	ESR (mΩ)	Voltaje nominal (V)
1	3164.3	0.266	2.7
2	3171.6	0.203	2.7
3	3184.1	0.199	2.7
4	3185.3	0.205	2.7
5	3190.2	0.205	2.7
Capacitancia total	635.81		
Resistencia total		1.078	
Voltaje nominal total			13.5

El voltaje total de carga (V_{carga}) máximo es de 10.5 V debido a las limitantes de voltaje que permite la topología, por lo tanto proponiendo un voltaje nominal para cada celda de 2.7 V se obtiene el voltaje total de 13.5 V (V_T), entonces se puede calcular con la ecuación 2 el estado de carga (E_{carga}) máximo para esta topología de balanceo:

$$E_{carga} = \frac{(V_{carga})(100)}{V_T} = \frac{(10.5 V)(100)}{13.5 V} = 77\% \quad (2)$$

Si el banco de SCs puede alcanzar el 77.7 % de su capacidad total entonces con la ecuación 3 se determina la cantidad de capacitancia total para esta topología de balanceo (C_{T1}).

$$C_{T1} = \frac{(E_{carga})(C_T)}{100} = \frac{(77.7\%)(635.81 F)}{100} = 494.02 \quad (3)$$

Con la ecuación 4 se calcula el tiempo aproximado que llevará en cargarse el banco de SCs proponiendo una corriente constante de 15 A (I_{carga}):

$$T_{carga} = \left[\left(\frac{V_{carga}}{I_{carga}} \right) - ESR_T \right] C_T = \left[\left(\frac{10.5 V}{15 A} \right) - 1.078 m\Omega \right] 494.02 F = 345.2 s \quad (4)$$

BQ33100

Otra solución para realizar el balanceo de voltajes es utilizando el chip BQ33100 mostrado en la figura 4 fabricado por Texas instruments, que permite controlar, monitorear y establecer una protección por sobre voltaje, sobre corriente y temperatura de 5 SCs conectados en serie [TI, 2018]. El chip viene integrado en el módulo EVMBQ33100 que contiene toda la instrumentación para conectar y balancear el voltaje de hasta 5 SCs conectados en serie.

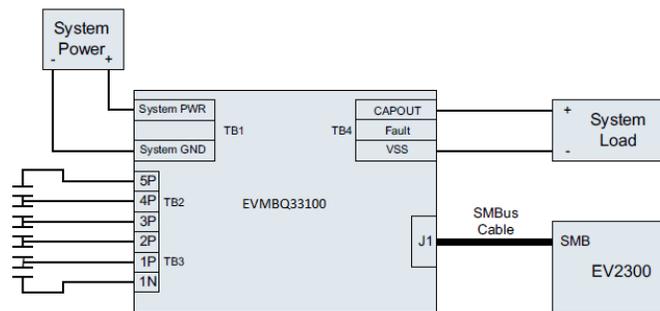


Figura 4 Topología de balanceo utilizando chip BQ33100 [TI, 2018].

Se requiere de una fuente externa para poder alimentar el circuito de balanceo, así como un módulo externo (EV2300) para establecer la comunicación y configurar los parámetros de balanceo desde la computadora. El balanceo de voltajes de este módulo es de tipo activo.

El estado de carga para 5 SCs conectados en serie para esta topología de balanceo se calcula utilizando nuevamente la ecuación 2 proponiendo un voltaje de balanceo máximo de 2 V por celda:

$$E_{carga} = \frac{(10\text{ V})(100)}{13.5\text{ V}} = 74.07\%$$

Dado que la conexión de SCs puede alcanzar el 74.07% de su capacidad total entonces con la ecuación 3 se puede determinar la cantidad de capacitancia total (C_{T2}), tomando en cuenta el resultado de la ecuación 1 que corresponde al cálculo de la capacitancia total (C_T) para la conexión de 5 SCs conectados en serie med:

$$C_{T2} = \frac{(74.07\%)(635.81\text{ F})}{100} = 470.9\text{ F}$$

Balanceo de voltajes activo con amplificador operacional

Esta topología de balanceo de voltajes comprende un amplificador operacional, un divisor de voltaje conformado por dos resistencias que comparten el nodo común conectado a la entrada no inversora del amplificador, una resistencia limitadora de corriente conectada a la salida de cada amplificador y una resistencia de retroalimentación negativa conectada desde la entrada inversora del amplificador a la salida de este. En la figura 5 se muestra el diagrama de este circuito de balanceo [Thrap, 2004].

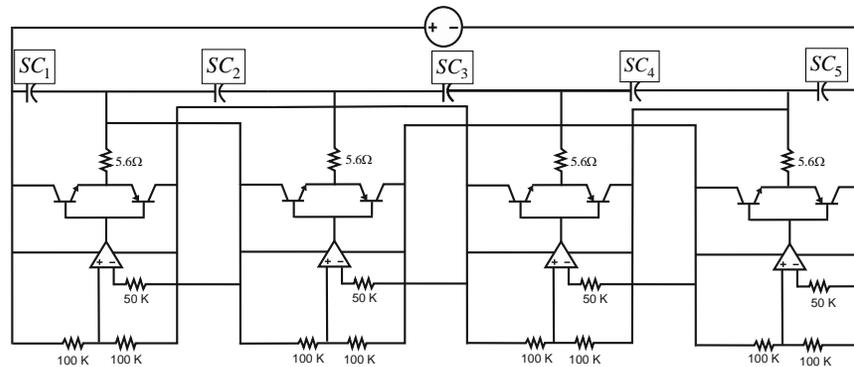


Figura 5 Diagrama esquemático de circuito de balanceo activo con amplificadores.

Los dos transistores conectados a la salida de cada amplificador npn y pnp proporcionan una etapa de ganancia para aumentar la salida de corriente del amplificador operacional al que están conectados y así poder reducir el tiempo en que se equilibran los voltajes en cada SC, principalmente cuando se tienen conectados supercapacitores con capacidades de 50 a 3000 F.

La configuración de los transistores es seguidor-emisor npn y pnp, las bases de los transistores están unidas entre sí mientras que el colector del transistor pnp está conectado al nodo negativo y el transistor npn conectado al nodo positivo correspondiente al circuito que está equilibrando el voltaje de uno de los SCs conectados. La etapa de ganancia está configurada para proporcionar una corriente de 300 mA en la salida de cada amplificador [Thrap, 2004].

Las resistencias en el divisor de voltaje son iguales para dividir igualmente el voltaje de carga a través de los supercapacitores, en este caso de 100 kΩ, la resistencia de retroalimentación es de aproximadamente la mitad de las resistencias divisoras (50 kΩ) de tal manera que esta resistencia pueda cancelar una entrada de corriente polarizada suministrada al amplificador operacional, la resistencia limitadora de corriente está diseñada para proteger los dos transistores pnp y npn en un valor de 5.6 Ω. Este circuito de balanceo tiene la ventaja de poder conectarse en cascada para poder equilibrar el voltaje de un número considerable de SCs conectados en serie [Thrap, 2004].

El voltaje total de carga para el circuito mostrado en la figura 4 es de 12.5 V (V_{carga}) debido a que esta topología de balanceo tiene la limitante de poder balancear cada supercapacitor con un máximo voltaje de 2.5 V como se mencionó anteriormente. Utilizando la ecuación 2 se calcula estado de carga para esta topología de balanceo:

$$E_{carga} = \frac{(12.5 V)(100)}{13.5 V} = 92.59 \%$$

Si el banco de SCs está cargado al 92.59% de su capacidad total entonces se ocupa la ecuación 3 para determinar la cantidad de capacitancia almacenada (C_{T3}) nuevamente tomando el valor de la capacitancia total por la ecuación 1:

$$C_{T3} = \frac{(92.59 \%)(635.81 F)}{100} = 588.69 F$$

Utilizando la ecuación 4 se calcula el tiempo aproximado que llevara en cargarse el banco de SCs a una corriente constante de 15 A:

$$T_{carga} = \left[\left(\frac{12.5 V}{15 A} \right) - 1.078 m\Omega \right] 588.69 F = 489.9 s$$

Dimensionamiento del banco de SCs y diseño de la red CAN bus

Para el dimensionamiento del módulo de SCs propuesto en este trabajo se considera la conexión de 18 SCs conectados en serie de un valor de 3000 F a 2.7 V cada SC, por lo tanto, la capacitancia total para este número de celdas se obtiene ocupando la ecuación 1:

$$\frac{1}{C_T} = \frac{1}{SC_1} + \dots + \frac{1}{SC_{18}} = 177.46 F$$

Considerando el valor de capacitancia real de cada SC proporcionado por el fabricante. El voltaje total (V_T) se calcula mediante ecuación 5.

$$V_T = V_1 + \dots + V_{18} = 48.6 V \quad (5)$$

Posteriormente con la ecuación 6 se calcula la cantidad de energía almacenada (E).

$$E = \frac{1}{2} C_T V_T^2 = 209576 J \quad (6)$$

Los dispositivos programables para implementar la red CAN es el microcontrolador PIC18F458 y dsPIC30F4013, ambos dispositivos cuentan con el controlador CAN integrado. Para determinar el dimensionamiento del número de nodos CAN necesarios para implementar el sistema de monitoreo, este se obtiene a partir del número de SCs conectados en serie. Por lo tanto, se utilizan 2 nodos CAN (esclavos) que reciben los valores de voltajes de 8 supercapacitores por nodo y un tercer nodo que recibe el voltaje de los últimos 2 SCs, el voltaje total de todas las celdas conectadas en serie y la temperatura del módulo.

La información recibida en los 3 nodos CAN viaja por el medio de transmisión CAN y llega a un cuarto nodo que es la unidad principal conformado por el dsPIC30F4013 que procesa la información recibida para enviarla a una pantalla LCD. En la figura 6 se muestra el diseño del sistema de monitoreo del módulo de SCs.

En la tabla 2 de manera detallada se muestran las características de la red CAN implementada para el monitoreo del banco de SCs. Se asigna un identificador para cada nodo esclavo y se especifica el tamaño del código de longitud de datos (DLC) por nodo, el número de byte asignado a cada entrada, así como el formato para la transmisión de datos estándar y la velocidad a 125 kbps.

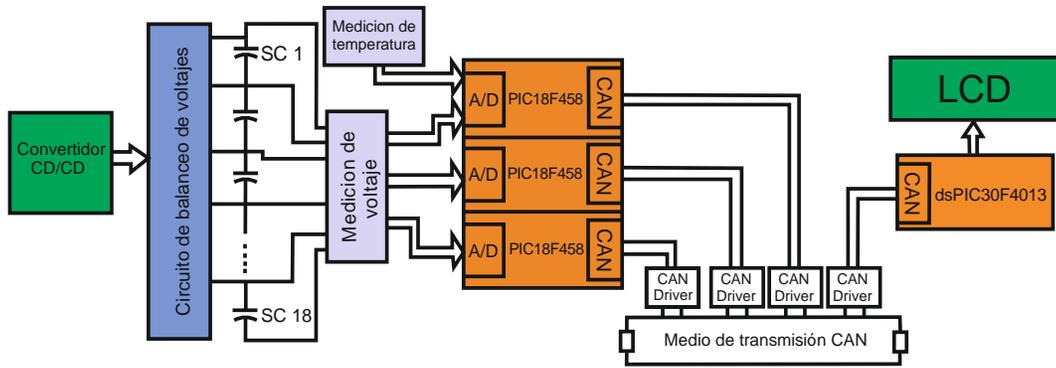


Figura 6 Diagrama a bloques sistema de monitoreo de banco de supercapacitores, red CAN.

Tabla 2 Características de la red CAN implementada en el banco de SCs.

Variable	ID	DLC	No. Byte	Nodo destino	Formato	Velocidad
Voltaje SC1-SC8	1	8	1-8	4	Estándar	125 Kbps
Voltaje SC9-SC16	2	8	1-8	4	Estándar	125 Kbps
Voltaje SC17-SC18	3	4	1-2	4	Estándar	125 Kbps
Voltaje total	3	4	3	4	Estándar	125 Kbps
Temperatura	3	4	4	4	Estándar	125 Kbps

3. Resultados

Se realizaron pruebas experimentales para cada una de las topologías presentadas anteriormente, implementando el arreglo de 5 SCs conectados en serie conformado por celdas de 3000 F a 2.7 V de la Marca Maxwell Technologies. Para realizar el proceso de carga y descarga se utilizó un convertidor CD/CD buck/boost (reductor/elevador) que trabaja con un voltaje variable hasta 50 V a una corriente constante máxima de 15 A y una potencia de 2 kW controlado por un DSP que genera las señales PWM para la conmutación de los transistores dependiendo del modo en que se requiera trabajar el convertidor, figura 7.

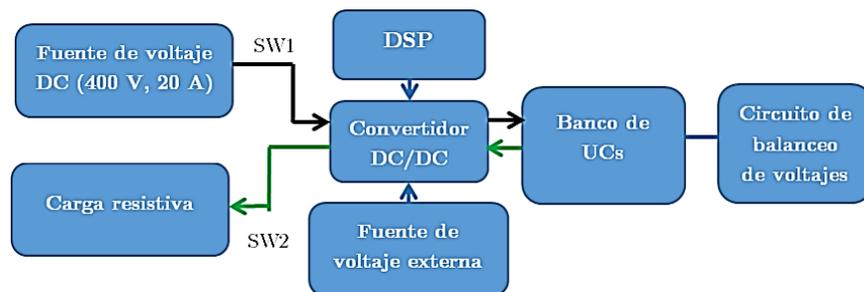


Figura 7 Diagrama a bloques del sistema para la carga y descarga de los SCs.

En la figura 8 se distinguen con puntos de color verde los elementos que integran el sistema para las pruebas de carga y descarga de los SCs: 1. Convertidor DC/DC Buck-Boost, 2. DSP, 3. Banco de SCs, 4. Fuentes de alimentación, 5. Interruptores, 6. Puntas de osciloscopio diferenciales.

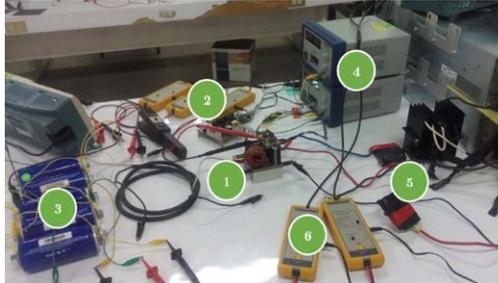


Figura 8 Implementación de sistema de carga del banco de SCs.

En la figura 9 se muestran la implementación de las 3 topologías de balanceo de voltajes propuestas en este trabajo, cada una conectada al módulo conformado por 5 SCs. En la figura 9a se muestra la implementación del circuito de balanceo pasivo con diodos, en la figura 9b se muestra la implementación del circuito de balanceo activo con amplificadores y en la figura 9c se muestra la implementación de la topología de balanceo activa utilizando el chip BQ33100.



a) balanceo de voltajes pasivo con diodos. b) balanceo de voltajes activo con amplificadores

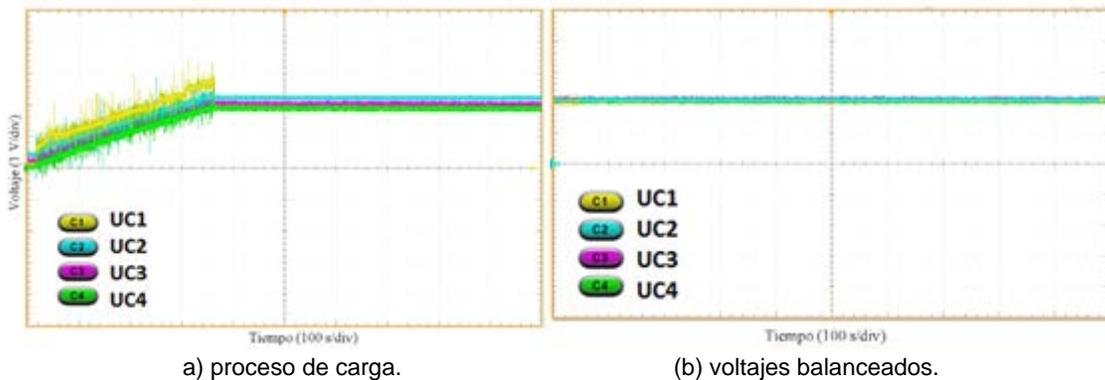


c) balanceo de voltajes activo con el chip BQ33100.

Figura 9 Implementación de las topologías de balanceo de voltajes.

Las pruebas de carga para cada topología de balanceo se realizan a una corriente constante de 15 A. En el primer ciclo de carga y descarga el voltaje inicial para cada supercapacitor es distinto, para tener un cálculo real de la capacitancia total del banco de SCs se consideran los valores reales de resistencia equivalente en serie (ESR) y capacitancia real de cada celda proporcionado por el fabricante.

En la figura 10 se observa el voltaje en cada celda durante el primer ciclo de carga para la topología de balanceo pasiva con diodos. Se realizó el monitoreo de 4 SCs (UC1-UC4) ajustando el osciloscopio a 100 s/div y 1 V/div. El tiempo aproximado en el que se cargan los SCs a una corriente constante de 15 A es de 350s que es aproximado a los cálculos obtenidos. Se puede observar la diferencia de voltajes desde el comienzo de la carga hasta finalizar la carga, después de un tiempo de 4 horas se observa en la figura 10b que los voltajes de cada celda están balanceados.



a) proceso de carga.

(b) voltajes balanceados.

Figura 10 Proceso de carga balanceo pasivo con diodos.

Para obtener los resultados utilizando el chip BQ33100, este cuenta con su propia interfaz gráfica para poder monitorear los voltajes. En la figura 11 se muestra la comparación en la lectura de los voltajes de cada SC antes de iniciar el balanceo de voltajes y después de que el módulo balanceara los voltajes. El tiempo aproximado para la realización de balanceo fue de 15 minutos.

En la figura 12 se observa el voltaje en cada SC durante el primer ciclo de carga para la topología de balanceo activa con amplificadores. Se realizó el monitoreo de 4 SCs (UC1-UC4) ajustando el osciloscopio a 100 s/div y 1 V/div. El tiempo aproximado en el que se cargan los SCs a una corriente constante de 15 A es de

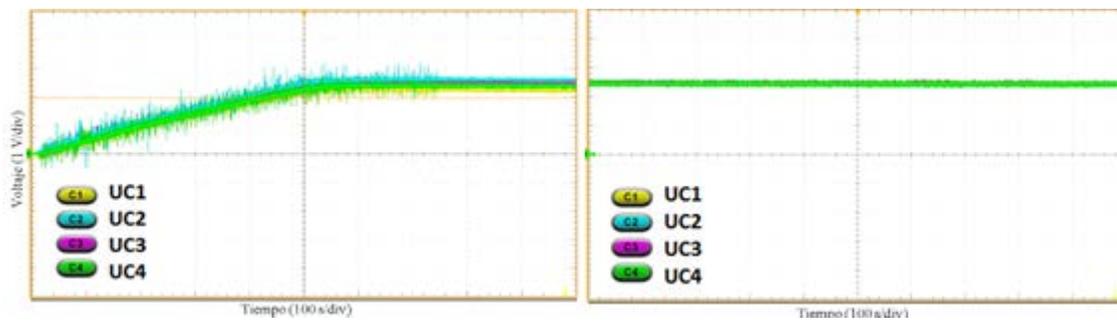
500 s que es aproximado a los cálculos obtenidos. Se puede observar la diferencia de voltajes desde el comienzo de la carga hasta finalizar la carga, después de un tiempo de 40 minutos se observa en la figura 12 b que los voltajes de cada celda están balanceados.

Name	Value	Unit	Log	Scan	Name	Value	Unit	Log	Scan
Capacitor Voltage 5	2042	mV	<input type="checkbox"/>	<input checked="" type="checkbox"/>	Capacitor Voltage 5	1999	mV	<input type="checkbox"/>	<input checked="" type="checkbox"/>
Capacitor Voltage 4	2051	mV	<input type="checkbox"/>	<input checked="" type="checkbox"/>	Capacitor Voltage 4	2000	mV	<input type="checkbox"/>	<input checked="" type="checkbox"/>
Capacitor Voltage 3	1900	mV	<input type="checkbox"/>	<input checked="" type="checkbox"/>	Capacitor Voltage 3	2000	mV	<input type="checkbox"/>	<input checked="" type="checkbox"/>
Capacitor Voltage 2	1910	mV	<input type="checkbox"/>	<input checked="" type="checkbox"/>	Capacitor Voltage 2	1999	mV	<input type="checkbox"/>	<input checked="" type="checkbox"/>
Capacitor Voltage 1	2100	mV	<input type="checkbox"/>	<input checked="" type="checkbox"/>	Capacitor Voltage 1	2000	mV	<input type="checkbox"/>	<input checked="" type="checkbox"/>

a) sin balanceo.

b) con balanceo.

Figura 11 Voltaje en cada supercapacitor.



a) proceso de carga.

b) voltajes balanceados.

Figura 12 Proceso de carga balanceo activo con amplificadores

Después de haber realizado las pruebas experimentales de cada topología de balanceo se determinó cuál de estas topologías sería la más adecuada a implementar en el prototipo final del banco con 18 SCs. En la tabla 3 se muestran las características generales de cada topología de balanceo implementada.

Tabla 3 Características generales de las topologías de balanceo de voltajes.

Topología	Tipo	Limitación de voltaje	Alimentación externa	Costo
Diodos	Pasivo	2.1 V	No	Bajo
Amplificador	Activo	2.5 V	No	Medio
BQ33100	Activo	No	Si	Alto

Tomando en cuenta las características y resultados obtenidos para cada topología, se selecciona la topología de balanceo con amplificador a implementar en el módulo de 18 SCs debido a que proporciona un buen funcionamiento reflejado en las pruebas experimentales, el costo y complejidad se encuentran en un rango viable para su implementación, y a pesar de tener como limitante de carga para cada SC a un voltaje de 2.5 V esto representa un estado de carga máximo del 92.59%.

En figura 13 se muestra el prototipo del banco de SCs conformado por 18 celdas conectadas en serie, la pantalla LCD permite observar el voltaje para cada celda, así como el voltaje total y temperatura. Si existe algún sobrecalentamiento o sobrevoltaje el módulo cuenta con indicadores que se activan ante estos valores no deseados.



Figura 13 Prototipo de banco de supercapacitores.

Para corroborar el funcionamiento de la red CAN diseñada para el banco de SCs se analizan las tramas de datos CAN que correspondan a la red planteada (tabla 2). Los resultados se muestran en la figura 14 donde se puede observar el número de identificador, DLC y la trama de datos para cada nodo.

Para verificar que las tramas de datos CAN de los tres nodos esclavo son recibidos por el nodo 4 de la red, se utilizó un analizador CAN de microchip. En la figura 15 se observan las tramas datos recibidas por el nodo 4 (RX). Los 3 identificadores (1x,2x,3x) y DLC corresponden a los 3 nodos esclavos encargados de enviar los valores de voltaje y temperatura del banco de SCs.

En figura 16 se puede observar el monitoreo del banco de SCs durante proceso de carga observando la temperatura, voltaje por celda y voltaje total del banco de SCs.

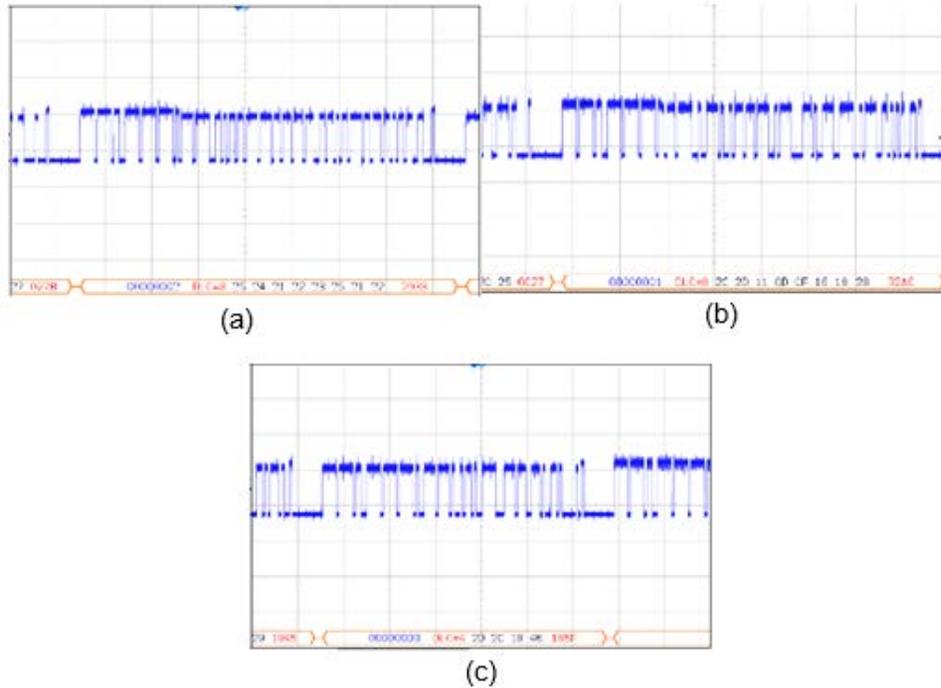


Figura 14 Trama de datos CAN (a) Nodo 1, (b) Nodo 2 y (c) Nodo 3.

CAN BUS Analyzer											
File View Tools Setup Help											
Rolling Trace											
TRACE	ID	DLC	DATA 0	DATA 1	DATA 2	DATA 3	DATA 4	DATA 5	DATA 6	DATA 7	TIME STAMP (sec)
RX	1x	8	0x00	4000.4502							
RX	2x	8	0x00	0x01	4000.4482						
RX	3x	4	0x01	0x00	0x01	0x42					4000.4462
RX	1x	8	0x00	4000.4452							
RX	2x	8	0x00	0x01	4000.4432						
RX	3x	4	0x01	0x00	0x01	0x41					4000.4413
RX	1x	8	0x00	0x01	0x00	0x00	0x00	0x00	0x00	0x00	4000.4402
RX	2x	8	0x00	0x01	4000.4382						
RX	1x	8	0x00	4000.4372							
RX	3x	4	0x01	0x00	0x01	0x41					4000.4352
RX	2x	8	0x00	0x01	4000.4342						
RX	1x	8	0x01	0x00	0x00	0x00	0x00	0x00	0x00	0x01	4000.4322
RX	3x	4	0x01	0x00	0x01	0x3F					4000.4302
RX	2x	8	0x00	0x01	4000.4252						
RX	1x	8	0x01	0x00	0x00	0x00	0x00	0x00	0x00	0x01	4000.4222

Figura 15 Trama de datos CAN del nodo 4.



Figura 16 Sistema de monitoreo voltajes y temperatura, comunicación CAN banco de SCs.

4. Discusión

Las topologías de balanceo de voltajes planteadas en este documento permitieron observar las ventajas y desventajas que puede ofrecer cada una al realizar su implementación, entre las características más importantes es el tiempo en que se realiza el balanceo de voltajes, la complejidad del circuito de balanceo y las pérdidas de energía que pueden presentarse en el caso de usar elementos pasivos como diodos. Un aspecto importante por mencionar es que una vez que los voltajes de cada SCs conectados en serie están equilibrados estos no necesitan ser balanceados durante varios ciclos de carga y descarga posteriores debido a que una vez balanceados los voltajes las condiciones iniciales de voltaje no cambian. Cuando se diseña un banco de supercapacitores es importante considerar la topología de balanceo a implementar debido a que esto determinará un balance entre el costo de su implementación y los requerimientos de la aplicación ya que pueden existir aplicaciones donde no sea necesario implementar un circuito de balanceo muy complejo. En lo que se refiere a la red CAN implementada con microcontroladores PIC18F458 y dsPIC30F4013 es bastante robusta, confiable y económica a parte de ofrecer la ventaja tener integrado el controlador CAN lo cual reduce tiempo en diseño, conexiones y espacio para su implementación.

5. Conclusiones

La metodología aplicada para el diseño e implementación del banco de supercapacitores propuesto en este trabajo funcionó correctamente, se validó el funcionamiento de la topología de balanceo activa con amplificadores y se confirmó el envío de datos por el protocolo de comunicación CAN de la red implementada. Es importante mencionar que la integración de sistemas de monitoreo en módulos de almacenamiento de energía es indispensable para poder proteger los dispositivos y poder actuar en caso de tener un descontrol de estas. El uso de protocolo de comunicación CAN es una de las mejores opciones para enviar y recibir información en sistemas de monitoreo debido a su robustez y confiabilidad para poder transmitir grandes cantidades de información sin presentar pérdidas de datos.

Como futuros trabajos que puedan ofrecer un mejoramiento al sistema propuesto es la reducción de nodos CAN para el envío información de voltaje por celda, utilizando multiplexores con la intención de disminuir el número de nodos debido que para una aplicación donde el número de celdas de supercapacitores sea muy grande es más factible reducir el número de nodos. En lo que refiere al estudio de topologías de balanceo de voltajes sería importante profundizar un estudio de topologías de balanceo para conexiones en serie/paralelo ya que existen aplicaciones donde se requiere grandes cantidades de corriente y capacitancia que se logra realizando este tipo de arreglos.

6. Bibliografía y Referencias

- [1] Barrade, P. Series connection of supercapacitors: Comparative study of solutions for the active equalization of the voltages, Proceedings of 7th International Conference on Modeling and Simulation of Electric Machines, Converters and Systems, IEEE, 2002.
- [2] Choi, W. F., Yeung, Y. P., Cheng, K. W. E., & Wang, S. X. (2011, June). Energy management system using ultra-capacitor as energy buffer. In Power Electronics Systems and Applications (PESA). 4th International Conference on (pp. 1-3). IEEE. 2011.
- [3] Ibanez, F., Vadillo, J., Echeverria, J. M., & Fontan. Design methodology of a balancing network for supercapacitors. In Innovative Smart Grid Technologies Europe (ISGT EUROPE), 2013 4th IEEE/PES (pp. 1-5). IEEE.2013.
- [4] Salunkhe, A. A., Kamble, P. P., & Jadhav, R. Design and implementation of CAN bus protocol for monitoring vehicle parameters. In Recent Trends in Electronics, Information & Communication Technology (RTEICT), IEEE International Conference on (pp. 301-304). IEEE.2016.
- [5] Nikkhoo, M., Farjah, E., & Ghanbari, T. A simple method for parameters identification of three branches model of supercapacitors. In Electrical Engineering (ICEE), 2016 24th Iranian Conference on (pp. 1586-1590). IEEE.2016.

- [6] Lu, R. G., Pei, L., Ma, R., & Zhu, C. B. EV energy storage monitoring system based on distributed data acquisition. In Vehicle Power and Propulsion Conference, 2009. VPPC'09. IEEE (pp. 1386-1389). IEEE.2009.
- [7] Texas instruments. <http://www.ti.com/product/BQ33100> [consulta: miércoles 2 de mayo del 2018].
- [8] Rojas Dixon, W Juan. Diseño y construcción de conversor DC-DC para control de ultracapacitores en un vehículo eléctrico, Tesis de Licenciatura. Escuela de ingeniería, Pontifica Universidad Católica de Chile, 2002.
- [9] Thrap, Guy C. Charge balancing circuit. U.S. Patent No. 6,806,686, 19 Oct. 2004.
- [10] Uno, M. Energy storage-technologies and applications. (pp. 149-159).2013.
- [11] Yanqing Qu, Jianguo Z, Jiefeng Hu, Overview of Supercapacitor Cell Voltage Balancing Methods for an Electric Vehicle, IEEE, 2007.