

PBL, un caso de estudio: Diseño de un reloj digital con base en un FPGA y un monitor VGA

Francisco Juárez León

Instituto Tecnológico de Celaya, Av. Tecnológico S/N, Celaya, Gto., CP 38080, (461) 6127442
f.ale_juarez@hotmail.com

Agustín Ramírez Agundis

Instituto Tecnológico de Celaya, Av. Tecnológico S/N, Celaya, Gto., CP 38080, (461) 6127442
agustin.ramirez@itcelaya.edu.mx

Javier Díaz Carmona

Instituto Tecnológico de Celaya, Av. Tecnológico S/N, Celaya, Gto., CP 38080, (461) 6127442
javier.diaz@itcelaya.edu.mx

Resumen

Este artículo describe, como caso de estudio de Aprendizaje Basado en Proyectos (PBL, por sus siglas en inglés), el desarrollo de un proyecto llevado a cabo como parte de la asignatura *Diseño Digital con VHDL*. El proyecto consiste en el diseño e implementación de un reloj digital en un FPGA, con despliegue en un monitor VGA, empleando un RTC (*Real Time Clock*) con comunicación I2C (*Inter-Integrated Circuit*), en el cual de manera estructurada se aplicaron los conocimientos y la metodología de diseño adquiridos, así como el uso de herramientas electrónicas que facilitan en gran medida el aprendizaje y la mejora continua en el desarrollo de sistemas digitales.

Palabras Claves: Aprendizaje Basado en Proyectos, Diseño Digital con VHDL, RTC, I2C, FPGAs.

1. Introducción

En las últimas décadas se ha venido implantando en México la formación basada en competencias. En el contexto de la educación superior, se puede definir una competencia como “la capacidad demostrada de utilizar conocimientos, destrezas y habilidades personales, sociales y metodológicas, en situaciones de trabajo o estudio y en el desarrollo profesional y personal” [1]. Por eso, cuando se evalúa el rendimiento del estudiante, interesa no sólo el conocimiento, como es el caso en la educación tradicional, sino también lo que el estudiante es capaz de hacer utilizando ese conocimiento y cómo. Por “cómo” se pretende indicar la forma en la que se usan valores y estándares metodológicos [2].

La formación por competencias tiene como centro de su proceso el aprendizaje del estudiante, los métodos de la pedagogía activa son los más compatibles y los más coherentes con la formación por competencias. Las fórmulas pedagógicas que se utilizan con mayor frecuencia en los programas que contemplan el desarrollo por competencias son el aprendizaje por medio de problemas y el estudio de casos, la simulación clínica y la interpretación de roles, el grupo de discusión, el aprendizaje basado en proyectos y las prácticas profesionales en el medio de trabajo. Lo que todas estas fórmulas tienen en común es que ponen en acción a los estudiantes en situaciones significativas y cercanas a la realidad profesional a la que se enfrentarán después de haber obtenido su título. La mayoría de estas fórmulas pedagógicas se sustentan en el trabajo en equipo y la colaboración, dos de las competencias transversales que la mayoría de los programas académicos buscan desarrollar [3].

Sin dejar de hacer notar la importancia que tienen las asignaturas de las áreas denominadas Ciencias Básicas y Ciencias de la Ingeniería, en las cuales de manera natural el aprendizaje se centra en la teoría y en el análisis, es evidente la relevancia que adquiere el aprendizaje basado en proyectos (PBL, por las siglas de Project Based Learning) que debiera ser un enfoque obligado en las asignaturas del área de Ingeniería Aplicada. El PBL requiere asignar proyectos de diseño con un objetivo y un alcance bien definidos pero, a la vez, con una amplia apertura a la metodología utilizada para la solución. Este tipo de proyectos promueve el aprendizaje autodirigido, las habilidades de comunicación, y la capacidad para integrar sintéticamente los conocimientos y las técnicas adquiridos en varios cursos y disciplinas. Este

último aspecto se aborda de manera informal o bien a través de la integración en el programa educativo de varias asignaturas por medio de proyectos comunes [4]. El PBL, de manera natural, reúne las características propias de la formación por competencias.

Una de las características de un proyecto apropiado para el PBL consiste en que pueda ser dividido en varios pasos o etapas con el propósito de que los estudiantes que integran el equipo de trabajo lo comprendan y distribuyan las tareas de manera apropiada. El diseño de sistemas digitales basados en dispositivos programables y algún lenguaje de descripción de hardware intrínsecamente satisface este requerimiento, en tanto que los diseños se estructuran en unidades, módulos y bloques. Es por esto que se han publicado diversos casos de estudio de PBL alrededor del diseño de sistemas digitales con VHDL [5, 6].

El proyecto que se presenta consiste en el diseño e implementación de un reloj digital en un FPGA utilizando un RTC con comunicación I2C y un monitor VGA donde se realiza el despliegue de la hora. El artículo está estructurado de manera que en la sección 2 se describe a grandes rasgos cada uno de los elementos que conforman el proyecto así como una pequeña descripción de su funcionamiento; los resultados se abordan en la sección 3, considerando aspectos tales como: el reloj en funcionamiento, las tramas de lectura y escritura a través del bus I2C, la ocupación de recursos del FPGA; por último, en la sección 4 se exponen las conclusiones del trabajo, tomando en cuenta el punto de vista del profesor y del alumno.

2. Desarrollo

En este proyecto se realizó el diseño e implementación de un reloj digital en formato 24 horas usando los conocimientos y metodología de diseño adquiridos en la materia de Diseño Digital con VHDL. Para esto, se empleó una tarjeta de desarrollo de sistemas digitales basados en un FPGA (Basys de Digilent, Inc) [7], un reloj en tiempo real que se comunica mediante el protocolo de comunicación I2C, botones e interruptores que incluye la tarjeta para hacer la configuración del RTC y un monitor VGA para el despliegue de horas, minutos y segundos; siendo la parte fundamental del proyecto, el diseño e implementación del módulo de

comunicación I2C en lenguaje VHDL. En la Fig. 1 se muestra la estructura del diseño que incluye los bloques más importantes.

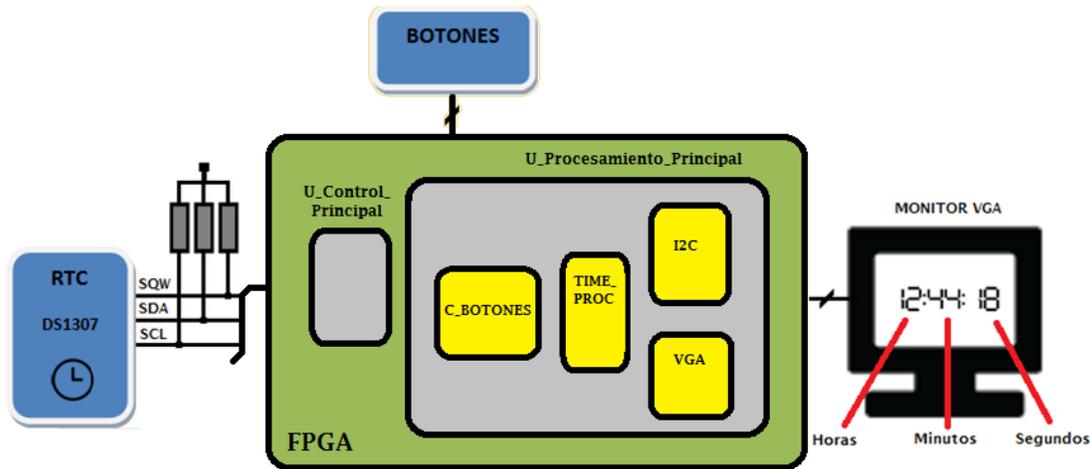


Fig. 1. Estructura del diseño.

La tarjeta Basys utilizada es una herramienta de desarrollo muy útil que contiene un FPGA Spartan 3E de la empresa Xilinx. Esta tarjeta además incluye diversos puertos y dispositivos de entrada y salida (ver Fig. 2), en ella se realizó la implementación en hardware de los diferentes bloques que conforman el diseño de la unidad de control y procesamiento del reloj digital. El diseño elaborado permite la comunicación y configuración de un RTC que cumple perfectamente con muchas de las necesidades normales en la adquisición y registro del tiempo, siendo éste el circuito integrado DS1307.

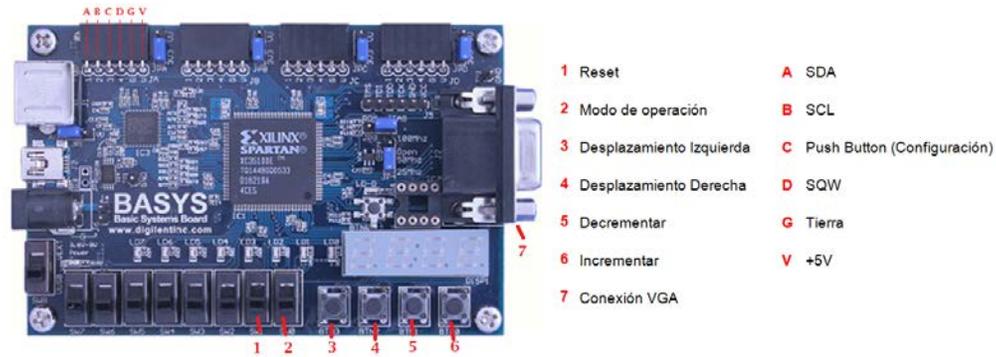


Fig. 2. Tarjeta de desarrollo Basys y elementos utilizados.

El DS1307 [8] es un circuito de ocho terminales con líneas de conexión a un bus I2C [9], lo cual lo hace sumamente versátil. Cuenta los segundos, los minutos, las horas, los días de la semana, los días del mes, los meses y los años, con validez hasta el año 2100. Tiene un byte de dirección que lo distingue de otros dispositivos esclavos que estén conectados al bus I2C. Proporciona los datos en formato BCD para trabajar directamente con ellos y, en caso de que la alimentación principal falle, es capaz de mantener el tiempo y la fecha actualizados, lo cual ocurre gracias a una batería de respaldo, lo mismo sucede cuando el sistema esté apagado.

Para el monitor VGA se usó el puerto VGA que incluye la tarjeta Basys, el cual utiliza 10 líneas del FPGA para controlarlo, 8 de éstas para el color y 2 para las señales de sincronía vertical y horizontal del monitor, con una resolución de trabajo de 640 x 480 píxeles. El driver VGA se desarrolló también en VHDL y se implementó en el FPGA.

Finalmente, para visualizar solamente la hora con formato 24 horas, se implementó un módulo dentro del diseño en VHDL para desplegarla en el monitor VGA. Este módulo permite efectuar la lectura de la hora desde el RTC (modo de lectura) o ejecutar la configuración de éste (modo configuración). Uno de los interruptores deslizantes de la tarjeta permite elegir el modo vigente, en la posición superior selecciona el modo configuración y en la posición inferior el modo lectura.

La configuración se realiza mediante cuatro botones de la tarjeta (ver Fig. 2), dos se utilizan para seleccionar uno de los tres campos, siendo éstos el de las horas, el de los minutos y el

de los segundos. Una vez seleccionado un campo, el par de botones restantes permite incrementar o decrementar el dato del campo seleccionado en el monitor. Cuando se ha fijado correctamente el valor de cada uno de los campos, se debe presionar el botón ubicado en la placa de circuito impreso (ver Fig. 3) para efectuar la configuración, de modo que el RTC reanudará su operación en el valor establecido y posteriormente se puede regresar a la posición inferior el interruptor deslizante para realizar la lectura de la hora. La placa de circuito impreso construida incluye, por la parte superior, el RTC, un cristal de cuarzo de 32.768 kHz para su señal de reloj, un LED que enciende y apaga de acuerdo a la señal cuadrada de 1 Hz generada en la terminal SQW y un capacitor cerámico de 100 nF para eliminar las posibles variaciones de voltaje. Por la parte inferior se encuentran dos resistores de pull-up de 4.7 k Ω para las líneas SDA y SCL del bus I2C, una resistencia de 10 k Ω para el botón y una resistencia de 220 Ω para limitar la corriente que circula por el LED. Además tiene un conector de cinco terminales para introducirlo en alguno de los puertos de expansión de la tarjeta Basys.

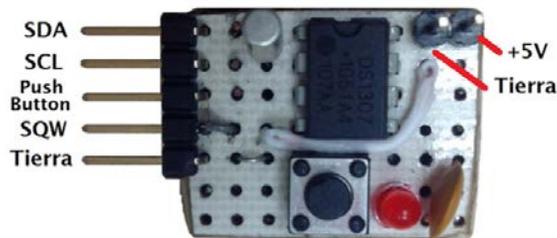


Fig. 3. Placa de circuito impreso desarrollada.

En síntesis, el diseño del hardware en el FPGA se estructura como se puede visualizar en la Fig. 4 y en la Fig. 5. La Fig. 4 muestra el esquemático RTL en el nivel más alto del diseño y se puede observar cada uno de los puertos de entrada y salida utilizados por el sistema.

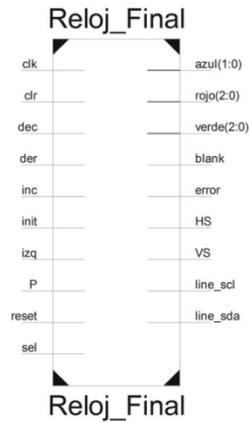


Fig. 4. RTL primer nivel.

La Fig. 5 muestra el diseño en forma estructural, en donde se observan los dos módulos principales (U1 y U2). U1 es la máquina de control principal del sistema que se encarga de controlar el modo de funcionamiento y de indicar cuándo realizar una lectura o escritura del RTC y U2 es el bloque de procesamiento principal. Este, a su vez, incluye los siguientes cuatro bloques importantes:

- C_BOTONES
- TIME_PROC
- I2C
- VGA

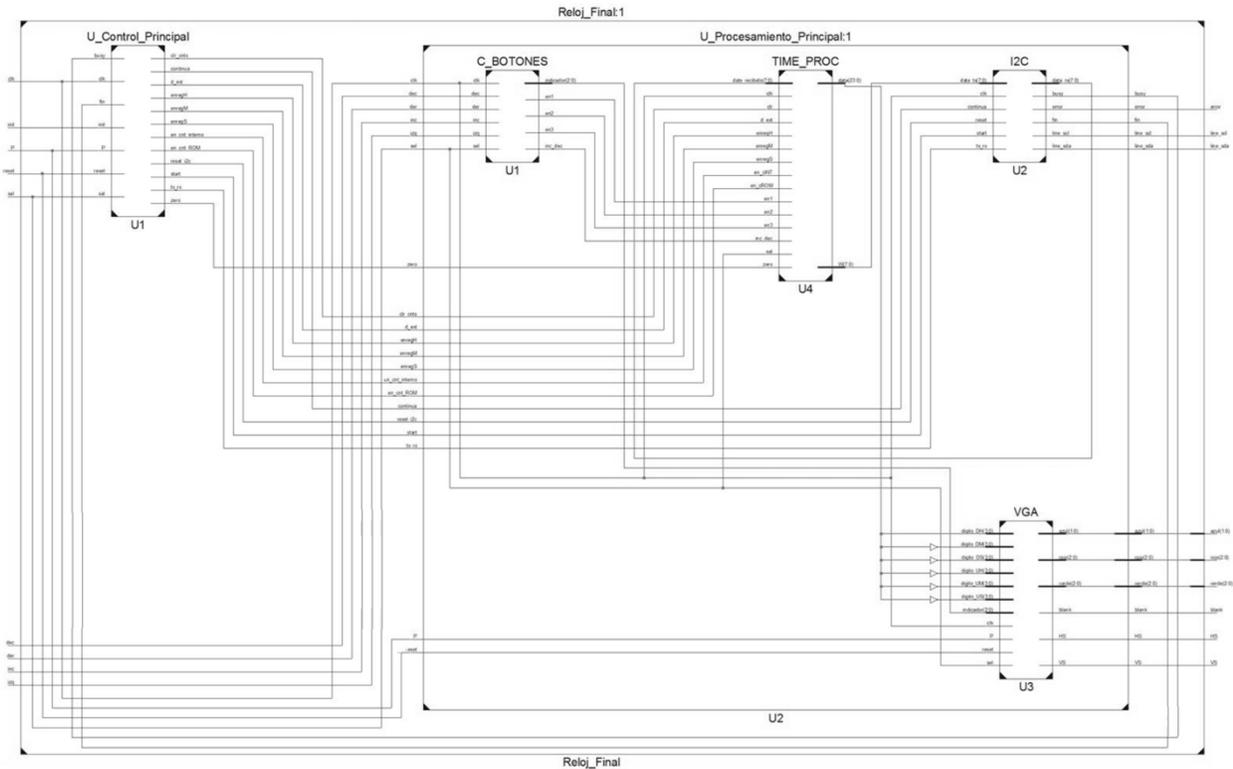


Fig. 5. Diseño en forma estructural.

El bloque C_BOTONES tiene como finalidad eliminar los rebotes que pudieran introducir los botones y modificar los parámetros de configuración para el RTC (horas, minutos y segundos). Para esto, tiene incorporado un divisor de frecuencia y un multiplexor para elegir cuál parámetro modificar en función del campo que esté seleccionado en el monitor VGA, como se mencionó líneas atrás en referencia a los modos de operación.

TIME_PROC es un bloque importante del diseño. Incluye una memoria ROM de 8x8 donde están almacenados los datos necesarios para la interacción con el reloj en tiempo real. Tiene también un módulo de contadores BCD para que el usuario pueda determinar la hora a la cual desea configurar el RTC. Éstos modifican su valor gracias al bloque C_BOTONES. Finalmente, cuenta con un multiplexor encargado de poner a su salida la información que se debe mostrar en el monitor VGA en función del modo de funcionamiento (modo configuración o lectura). Cuando se está en modo configuración, el multiplexor selecciona los datos proporcionados por los contadores BCD y éstos se

muestran en el monitor VGA para posteriormente proceder a realizar la configuración. Cuando se está en modo lectura, los datos transmitidos por el RTC son almacenados en 3 registros e inmediatamente el multiplexor coloca a su salida esta información mostrándose en la pantalla.

El bloque denominado I2C es la parte fundamental del proyecto. En comparativa, es relativamente sencillo entablar una comunicación mediante este protocolo cuando se está diseñando en software. Cuando se diseña en hardware es necesario tener conocimiento a detalle del modo de funcionamiento, tiempos de operación, tramas de datos, etc. Así, este bloque está conformado por varios temporizadores que determinan dichos tiempos, con lo cual se puede trabajar a una velocidad de transferencia de 100 kbit/s. Incluye también un contador que lleva el conteo de los bits que han sido transmitidos y un bloque para controlar los niveles lógicos de la línea de datos (SDA).

El bloque VGA utiliza un driver VGA que, con base en temporizadores y a partir de una señal de reloj de 25 MHz, entrega en cada momento el renglón y la columna del monitor en el que se encuentra el pixel activo; esto además de generar las señales de sincronía vertical y horizontal. El renglón y la columna proporcionados por el driver VGA se comparan con los correspondientes a los pixeles que conforman los segmentos del exhibidor para decidir si éstos se encienden o se apagan. Este bloque contiene también un decodificador de BCD a siete segmentos.

3. Resultados

En cuanto al diseño propiamente dicho, el proyecto se concluyó con la realización de las pruebas funcionales. Básicamente, éstas consistieron, por una parte, en corroborar la correcta operación de la configuración del reloj mediante los interruptores de botón de la tarjeta. Esta parte de la prueba implicó comprobar el funcionamiento del sistema digital en lo que corresponde al manejo de los botones y a la operación de escritura del dispositivo maestro, el FPGA, en el dispositivo esclavo, el RTC. La Fig. 6 muestra la trama de escritura I2C, comprobándose en ésta que se satisfacen los requerimientos

establecidos por el protocolo. En la trama de escritura se puede constatar que ocurre la transmisión de 10 bytes. El primero contiene la dirección del dispositivo (7 bits) y el bit de operación RW, '0' en este caso por tratarse de una escritura. En seguida se tiene la dirección del registro en el cual se escribirá. Los restantes bytes corresponden, respectivamente, a los segundos, minutos, horas, día de la semana, día del mes, mes, año y el byte de configuración del RTC.

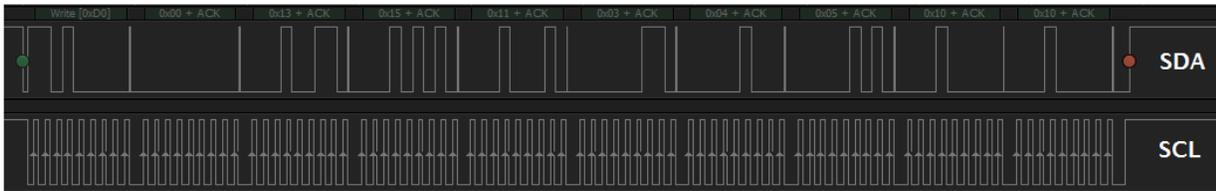


Fig. 6. Trama de escritura.

Por la otra parte, se realizó la prueba para corroborar el funcionamiento del reloj, lo cual implicó confirmar la correcta operación de lectura I2C. En la Fig. 7 se muestra la trama de lectura, confirmando también que cumple con los requisitos establecidos por el protocolo. En esta Fig. 7 se observa que realmente se tienen dos tramas, una de escritura para establecer en el RTC el puntero del registro a leer (dos bytes para esta trama) y una trama propiamente de lectura constituida por 4 bytes, que corresponden a la dirección del dispositivo esclavo, con RW igual a '1', seguida de los bytes para los segundos, minutos y horas, respectivamente.

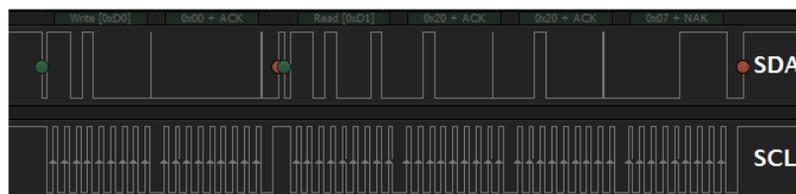


Fig. 7. Trama de lectura.

En la Fig. 8 se observa el despliegue del reloj en el monitor VGA. La imagen de la izquierda corresponde a la operación de visualización del reloj en tiempo real, mientras que la de la derecha atañe a la operación de configuración. Como se puede observar, en esta última aparece en la parte inferior un curso que se mueve lateralmente con los botones para elegir el campo que se quiere ajustar.

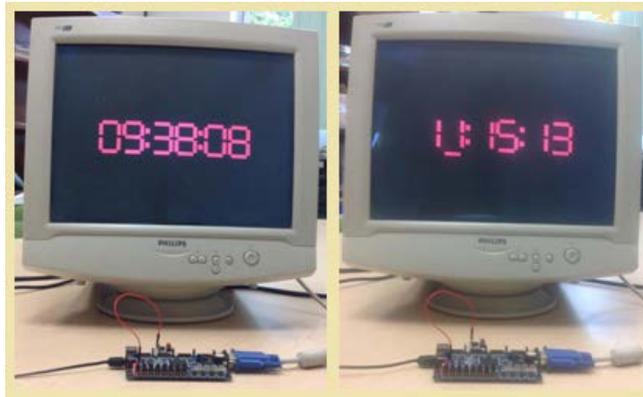


Fig. 8. Despliegue del reloj en el monitor VGA.

En la Fig. 9 se visualiza la ocupación de recursos disponibles del FPGA Spartan 3E XC3S100E, destacando la baja utilización de éstos para una aplicación particular como lo es la implementación de un reloj digital. Si se realizara una comparación con las tecnologías de hace algunos años, llevar a cabo este proyecto hubiese sido muy complicado y poco factible de completarlo en un periodo de un semestre.

Device Utilization Summary (estimated values)				[...]
Logic Utilization	Used	Available	Utilization	
Number of Slices	436	960	45%	
Number of Slice Flip Flops	284	1920	14%	
Number of 4 input LUTs	802	1920	41%	
Number of bonded IOBs	24	108	22%	
Number of GCLKs	2	24	8%	

Fig. 9. Ocupación de recursos.

4. Conclusiones

Desde el punto de vista del estudiante, el aprendizaje del diseño digital con VHDL basado en el desarrollo de proyectos, tomando como experiencia este caso de estudio particular, trae consigo las siguientes ventajas y complicaciones:

- La implementación en hardware de un protocolo de comunicación como lo es el I2C en el FPGA fue en parte algo difícil, se debe tener un gran dominio sobre los tiempos y los tipos de transferencia de datos. Como ventaja se puede mencionar la característica de paralelismo de un FPGA, que a diferencia de un microcontrolador o microprocesador lo hace mucho más rápido y versátil.
- El módulo de comunicación I2C desarrollado puede incluirse fácilmente en otros proyectos electrónicos, sin embargo, es importante aclarar que debe elaborarse una unidad de control y procesamiento que lo acompañen para cualquier caso en particular, teniendo en cuenta cada uno de los puertos que se deben de controlar y un conocimiento previo sobre dicho protocolo de comunicación.
- El desarrollo paso a paso de este proyecto amplió en gran medida el conocimiento sobre el diseño estructurado de sistemas digitales mediante un lenguaje de descripción de hardware como lo es el VHDL.

Desde la óptica del profesor, los aspectos importantes a destacar en cuanto a este caso de estudio del PBL son los que se señalan a continuación:

- La selección del proyecto es una tarea a la que el profesor debe dedicarle un gran cuidado, tomando en cuenta los siguientes puntos:

Su simplicidad, de modo que sea factible llevarlo a cabo hasta su conclusión exitosa en 12 semanas.

Su alcance, es importante que el desarrollo del proyecto llegue hasta la construcción y prueba física del diseño y no se quede únicamente en su simulación, esto para satisfacer

el requerimiento del PBL en cuanto a la cercanía de los estudiantes con los problemas reales encontrados en la práctica profesional.

La disponibilidad de recursos, es decir, tarjetas de desarrollo, equipo de instrumentación, componentes, etc., considerando también el costo de los elementos que deban adquirir los estudiantes.

- La estructuración de los equipos de trabajo es otra tarea importante para el profesor, atendiendo cuestiones como el número de integrantes y su composición, de manera que se logre esa competencia transversal del trabajo en equipo.
- El seguimiento del proyecto es quizás la tarea más importante, con el objetivo de evaluar y controlar el avance de modo que en el corto tiempo disponible se concluya exitosamente el proyecto.
- Considerando sus características fundamentales, el diseño de sistema digitales sobre FPGAs es sumamente afín con el PBL, esto debido a que la descripción de hardware digital está basada en estructuras jerárquicas conformadas por módulos, bloques y componentes, por lo cual el trabajo en equipo y su integración es una tarea ad hoc.
- En particular, el proyecto que se presenta permitió que los estudiantes alcanzaran las siguientes competencias: 1) Interpretar hojas de datos para dispositivos de mediana complejidad como lo es el RTC DS1307; 2) Comprender para su aplicación un protocolo de comunicación, como lo es el I2C, de los más utilizados para la interconexión de circuitos integrados; 3) Dominar las herramientas de desarrollo para el diseño digital sobre dispositivos configurables; 4) Implementar un sistema digital estructurado con base en una unidad de control y una de procesamiento; 5) Diseñar máquinas de estado para la secuencialización y temporización del procesamiento; 6) Ejecutar procedimientos de prueba utilizando un analizador lógico; 7) Redactar el reporte final; 8) Exponer el proyecto ante el grupo.

5. Referencias

- [1] European Commission, Guía del Usuario del ECTS 2009, p. 6; consultado en <http://ec.europa.eu/education/lifelong>, en mayo de 2014.
- [2] J. E. Pérez Martínez, J. García Martín, A. Sierra Alonso; Desarrollo y evaluación de competencias genéricas en los títulos de grado; *REDU: Revista de Docencia Universitaria*, Vol 11, pp. 175-196, 2013.
- [3] A. Legault, ¿Una enseñanza universitaria basada en competencias? ¿Por qué? ¿Cómo?, *Revista Electrónica de Desarrollo de Competencias*, Vol 5(9), 2012.
- [4] L. Slivovsky, A. Liddicoat, J. Harris, J. Pan; Curricular Enhancement to Support Project-Based Learning in Computer and Electrical Engineering; *Proceedings of the American Society for Engineering Education Annual Conference*, 2008.
- [5] V. Kiray, S. Demir, M. Zhaparov; Improving Digital Electronics Education with FPGA Technology, PBL and Micro Learning Methods, *Teaching, Assessment and Learning for Engineering, 2013 IEEE International Conference on*, pp. 445-448, 2013.
- [6] F. Machado , S. Borromeo, N. Malpica; Project based learning experience in VHDL digital electronic circuit design; *Microelectronic Systems Education, IEEE International Conference on*, pp. 49-52, 2009.
- [7] Digilent Basys Board Reference Manual, Digilent Inc, USA, 2007.
- [8] Maxim Integrated, DS1307 64 x 8, Serial I2C Real-Time Clock, Data Sheet, consultado en <http://datasheets.maximintegrated.com/en/ds/DS1307.pdf>, en mayo 2014.
- [9] Leens, F., "An introduction to I²C and SPI protocols," *Instrumentation & Measurement Magazine, IEEE*, Vol 12(1), pp. 8-13, 2009.

6. Autores

Francisco Alejandro Juárez León. Es estudiante de la carrera de Ingeniería Electrónica en Instituto Tecnológico de Celaya.

Agustín Ramírez Agundis. En 2008 obtuvo el grado de Doctor en Diseño de sistemas Digitales por la Universidad Politécnica de Valencia, España. Es profesor-investigador del Departamento de Ingeniería Electrónica del Instituto Tecnológico de Celaya, su trabajo se orienta a la instrumentación de máquinas industriales y sistemas de hardware basados en redes neuronales.

Javier Díaz Carmona. Obtuvo el grado de doctor en 2003 por el Instituto Nacional de Astrofísica, Óptica y Electrónica. Es profesor-investigador en el Departamento de Ingeniería Electrónica del Instituto Tecnológico de Celaya. Sus áreas de interés abarcan el procesamiento digital de señales, así como desarrollo de soluciones basadas en sistemas digitales empleando FPGAs, microcontroladores y procesadores DSP.